

TEMA 9

Peligros y Carreras en circuitos asíncronos. Asignación de estados. Realización de circuitos asíncronos utilizando lógica programable. Descripción mediante VHDL de Tablas de Flujo. Simulación lógica utilizando VHDL. Otros tipos de circuitos secuenciales asíncronos.

Peligros en circuitos secuenciales asíncronos

Peligros (“hazards”)

Peligro:

Transitorio indeseado (“glitch”, “spike”) en una señal de un circuito **combinacional** provocado por retrasos de propagación diferentes través de distintos caminos.

Peligro estático:

Un sólo transitorio en una señal de salida que debería permanecer estática en respuesta a un cambio en las entradas.

Peligro dinámico:

Un transitorio múltiple en una señal de salida que debería cambiar una sola vez en respuesta a un cambio en las entradas.

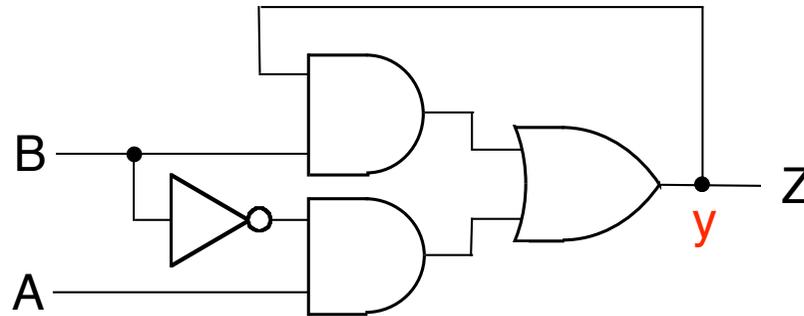
Peligro esencial:

Error de operación que causa una transición a un estado impropio en respuesta a un cambio en las entradas, generalmente causado por un retraso excesivo en una variable realimentada.

Peligros en circuitos secuenciales asíncronos

Peligros estáticos (1)

Ejemplo:



		AB			
		00	01	11	10
y	0	0	0	0	1
	1	0	1	1	1

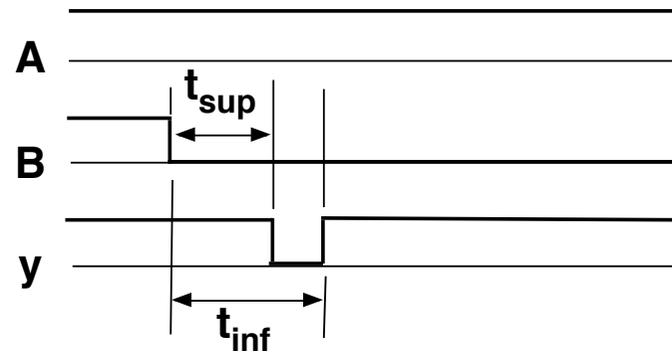
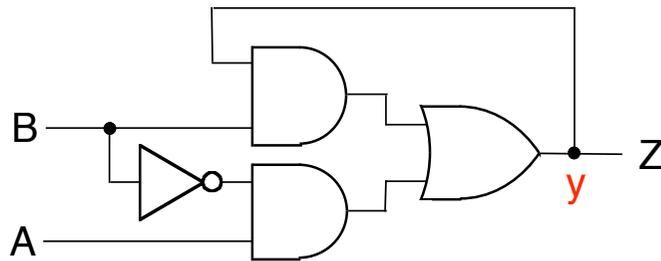
$$Y = Z$$

$$Y = B \cdot y + \neg B \cdot A$$

Peligros en circuitos secuenciales asíncronos

Peligros estáticos (2)

Ejemplo:



$$t_{\text{sup}} = t_{\text{AND}} + t_{\text{OR}}$$

$$t_{\text{inf}} = t_{\text{NOT}} + t_{\text{AND}} + t_{\text{OR}}$$

$$Y = B \cdot y + \neg B \cdot A$$

		AB			
		00	01	11	10
y	0	0	0	0	1
	1	0	1	1	1

$$Y = Z$$

Peligros en circuitos secuenciales asíncronos

Peligros estáticos (3)

Ejemplo:

$$Y = B \cdot y + /B \cdot A$$

$$t_{\text{sup}} = t_{\text{AND}} + t_{\text{OR}}$$

$$t_{\text{inf}} = t_{\text{NOT}} + t_{\text{AND}} + t_{\text{OR}}$$

$$t = 0^-, AB y = 111$$

$$Y = 1 \cdot 1 + /1 \cdot 1 = 1 + 0 = 1$$

$$t = 0, B: 1 \rightarrow 0$$

$$t = t_{\text{sup}}:$$

$$Y = 0 \cdot 1 + /1 \cdot 1 = 0 + 0 = 0$$

$$t = t_{\text{inf}}:$$

$$Y = 0 \cdot 1 + /0 \cdot 1 = 0 + 1 = 1$$



Peligro estático

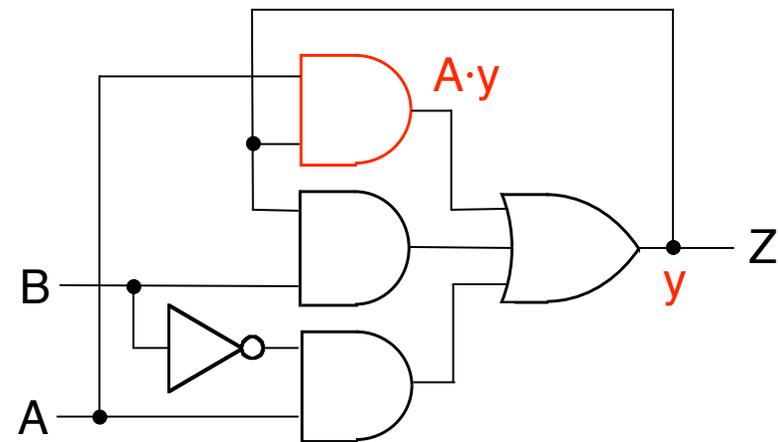
Peligros en circuitos secuenciales asíncronos

Peligros estáticos (4)

Ejemplo:

		AB			
		00	01	11	10
y	0	0	0	0	1
	1	0	1	1	1

$$Y = B \cdot y + \neg B \cdot A + A \cdot y$$



Peligros en circuitos secuenciales asíncronos

Peligros esenciales (1)

- ◇ **Existen solamente en circuitos secuenciales con dos o más lazos de realimentación**
- ◇ **Si existen, resultan de una combinación de retrasos y especificaciones de diseño**

Ciertos requerimientos secuenciales dan lugar a circuitos que “poseen la posibilidad” de tener un peligro esencial

Peligros en circuitos secuenciales asíncronos

Peligros esenciales (2)

Ejemplo:

Tabla de Flujo Reducida y Asignación de Variables de estado

$y_1 y_0$	NS	
	0	1
00	(A)	B
01	C	(B)
11	(C)	D
10	A	(D)

$y_1 y_0$	C	
	0	1
00	(00)	01
01	11	(01)
11	(11)	10
10	00	(10)

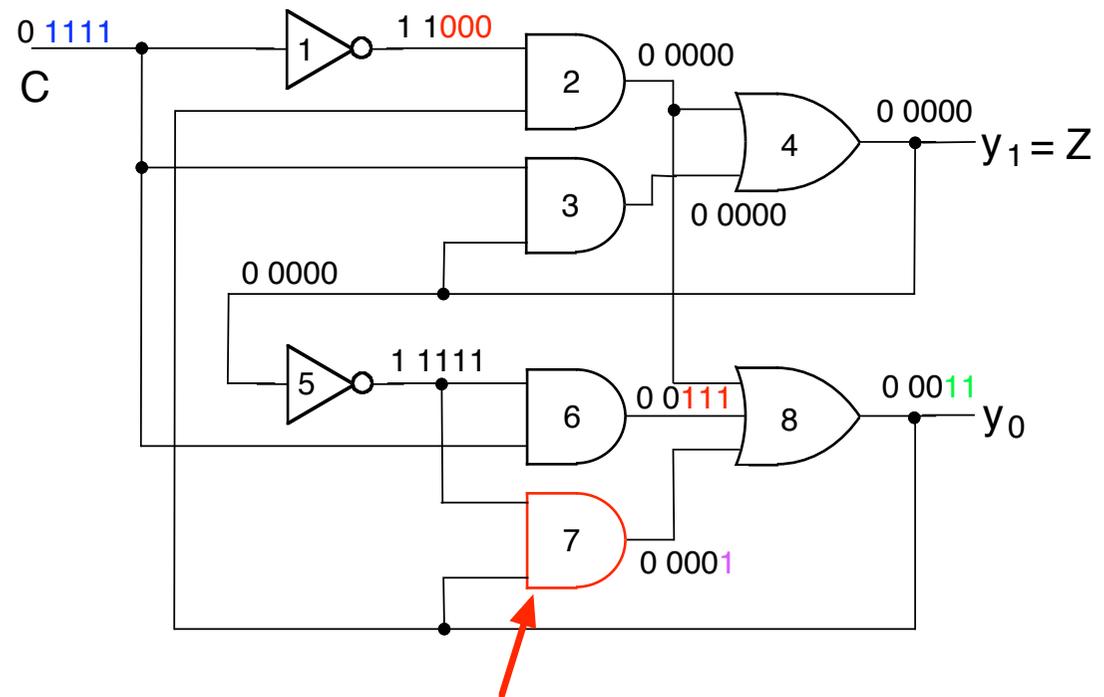
Tabla de Transición de Estados

Peligros en circuitos secuenciales asíncronos

Peligros esenciales (3)

Ejemplo:

$y_1 y_0$	C	
	0	1
00	00	01
01	11	01
11	11	10
10	00	10



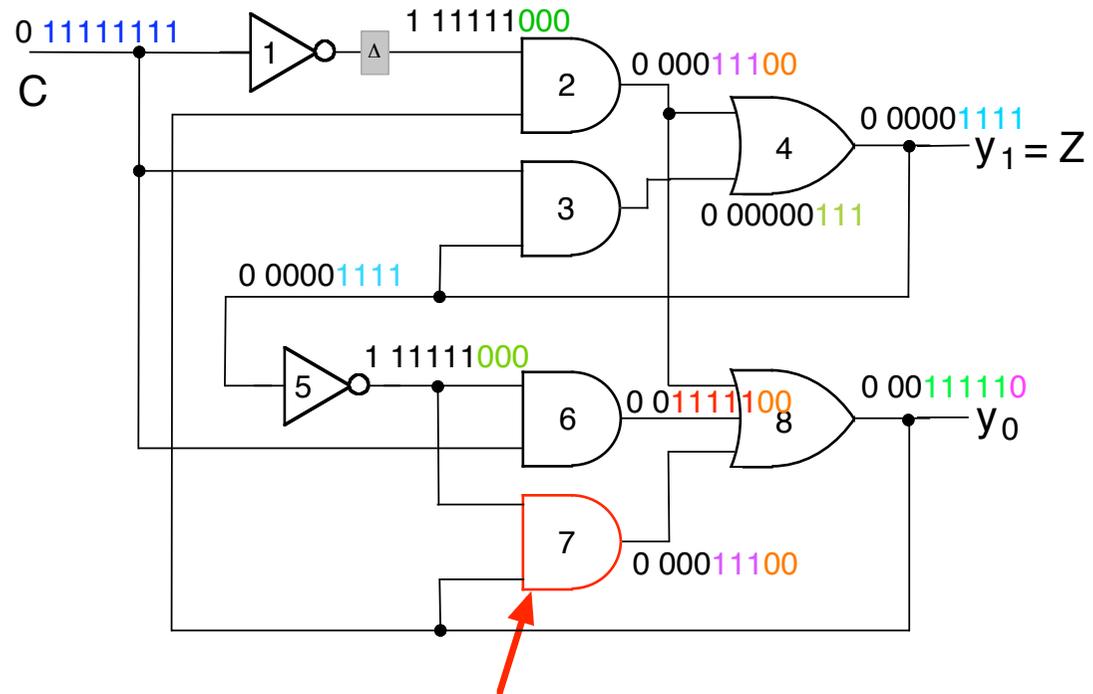
Cubre peligro estático

Peligros en circuitos secuenciales asíncronos

Peligros esenciales (4)

Ejemplo: Si el retardo de la NOT 1 es mucho mayor que el de las demás puertas

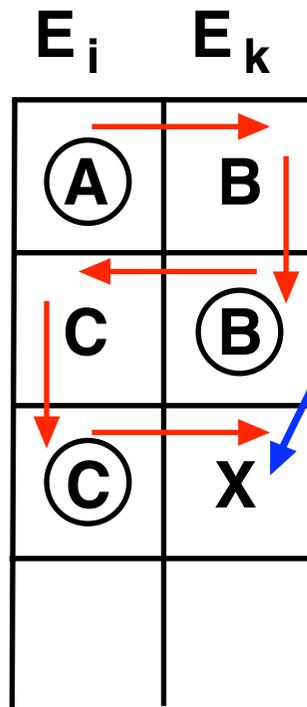
$y_1 y_0$	C	
	0	1
00	00	01
01	11	01
11	11	10
10	00	10



Cubre peligro estático

Peligros en circuitos secuenciales asíncronos

Peligros esenciales (5)



Si X es distinto de B, existe la posibilidad de peligro esencial

Procedimiento:
Partiendo de un estado estable

- realizar un cambio en una entrada: $E_i \rightarrow E_k$
- realizar un número impar de cambios dicha entrada de la forma: $E_i \rightarrow E_k$, $E_k \rightarrow E_i$, $E_i \rightarrow E_k$

Si el estado estable final en dichos casos es distinto
 \Rightarrow Existe la posibilidad de peligro esencial

Si se detecta la posibilidad de existencia de peligro esencial, se requiere simulación para determinar la existencia o no del peligro

Carreras en circuitos secuenciales asíncronos

Ciclos y Carreras (1)

Un cambio en una señal de entrada puede provocar una transición a través de más de un estado inestable, hasta llegar a un estado estable final.

Si para dos estados estables inicial y final, la secuencia de estados inestables intermedios inestables es única, la transición se denomina ciclo.

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
1	1,0	2	—	2
2	2,0	2,0	3	3
3	—	2	3,1	5
4	1	—	5	4,0
5	5,1	2	5,0	4

Tabla de Flujo reducida

$y_2 y_1 y_0$	$Y_2 Y_1 Y_0$ $X_1 X_2$			
	00	01	11	10
000	000,0	001	—	001
001	001,0	001,0	011	011
011	—	001	011,1	010
110	000	—	010	110,0
010	010,1	001	010,0	110

Asignación de estados y Tabla de Excitación

ciclo

$y_2 y_1 y_0$: 000 -> 001 -> 011 -> 010 -> 110 -> 110 => Cambia una sola variable secundaria en cada transición

Carreras en circuitos secuenciales asíncronos

Ciclos y Carreras (2)

Cuando en una transición de estados la Tabla de Excitación especifica el **cambio simultáneo de más de una variable de estado**, la situación resultante se denomina **carrera**, o se dice que existe **condición de carrera**.

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
①	①,0	2	—	2
②	②,0	②,0	3	3
③	—	2	③,1	5
④	1	—	5	④,0
⑤	⑤,1	2	⑤,0	4

Tabla de Flujo reducida

$y_2 y_1 y_0$	$Y_2 Y_1 Y_0$ $X_1 X_2$			
	00	01	11	10
① 000	① 000,0	001	—	001
② 001	② 001,0	② 001,0	011	011
③ 011	—	001	③ 011,1	010
④ 110	000	—	010	④ 110,0
⑤ 010	⑤ 010,1	001	⑤ 010,0	110

Asignación de estados y Tabla de Excitación

Carrera
no crítica

$y_2 y_1 y_0$: 010 -> 011 -> 001 -> 001 => Con cambio de una sola variable secundaria en cada transición
 $y_2 y_1 y_0$: 010 -> 000 -> 001 -> 001 => Con cambio de una sola variable secundaria en cada transición

Carreras en circuitos secuenciales asíncronos

Ciclos y Carreras (3)

Cuando en una transición de estados la Tabla de Excitación especifica el **cambio simultáneo de más de una variable de estado**, y el cambio en secuencia de las variables puede dar lugar a un funcionamiento erróneo: **carrera crítica**.

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
①	①,0	2	—	2
②	②,0	②,0	3	3
③	—	2	③,1	5
④	1	—	5	④,0
⑤	⑤,1	2	⑤,0	4

$\neq 1, \dots, 5$

Tabla de Flujo reducida

$y_2 y_1 y_0$	$Y_2 Y_1 Y_0$ $X_1 X_2$			
	00	01	11	10
① 0 0 0	① 000,0	001	—	001
② 0 0 1	② 001,0	② 001,0	011	011
③ 0 1 1	—	001	③ 011,1	010
④ 1 1 0	000	—	010	④ 110,0
⑤ 0 1 0	⑤ 010,1	001	⑤ 010,0	110

100

Asignación de estados y Tabla de Excitación

Carrera crítica

$y_2 y_1 y_0: 110 \rightarrow 010 \rightarrow 010 \Rightarrow$ (Cambia una sola variable en cada transición.) Estado final erróneo
 $y_2 y_1 y_0: 110 \rightarrow 100 \rightarrow ? \Rightarrow$ (Cambia una sola variable en cada transición.) Estado final ¿?

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

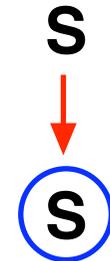
Objetivo:

Conseguir una asignación de estados tal que:

- Cada transición conlleva un cambio de estado en el que **sólo cambia una variable de estado** (estados con asignamientos **adyacentes**) o
- El cambio de estado conlleva un cambio de variables de estado que **no tiene como resultado una carrera crítica.**

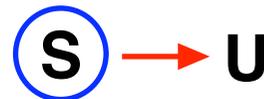
Observar la Tabla de Flujo reducida por columnas:

El estado (presente) correspondiente a la fila en que se encuentra S y su correspondiente estado estable deben ser adyacentes



Observar Tabla de Flujo reducida por filas:

El estado (presente) correspondiente a la del estado de partida S y su próximo estado U deben ser adyacentes



Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Ejemplo:

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a ,0	c ,0	a ,0	a ,0
b	a ,0	c ,0	b ,0	b ,0
c	c ,1	c ,1	b ,1	a ,1

Col. 00: **b** adyacente **a**
 Col. 01: **a** adyacente **c**, **b** adyacente **c**
 Col. 11: **c** adyacente **b**
 Col. 10: **c** adyacente **a**

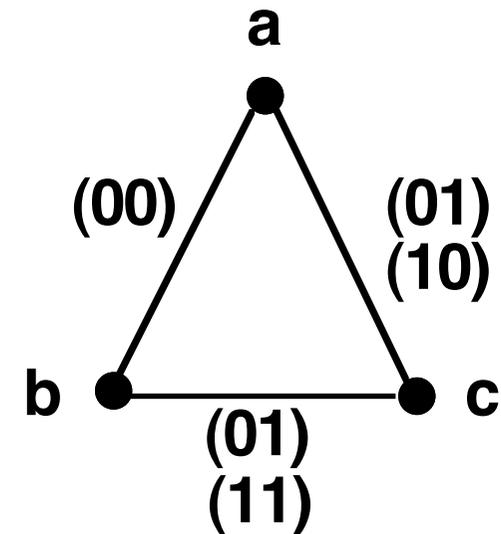


Diagrama de Transición

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Ejemplo (cont.):

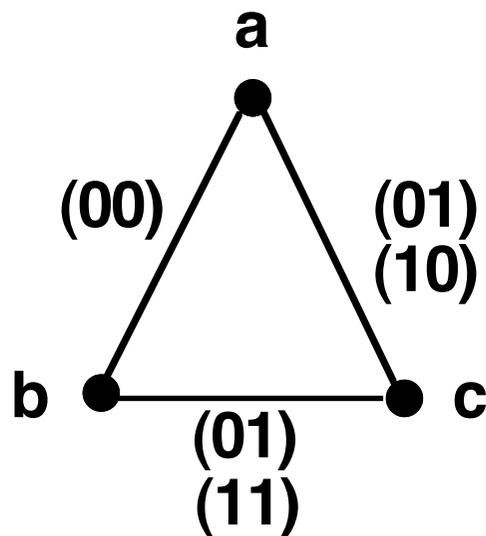


Diagrama de Transición

Cada par de estados en vértices adyacentes deben tener asignados códigos adyacentes

Si p. ej. se asigna al estado a $y_1y_0=00$ ó $y_1y_0=11$
(nº par de 1's) \Rightarrow
b código con nº impar de 1's \Rightarrow
c código con nº par de 1's \Rightarrow
a código con nº impar de 1's \Rightarrow imposible

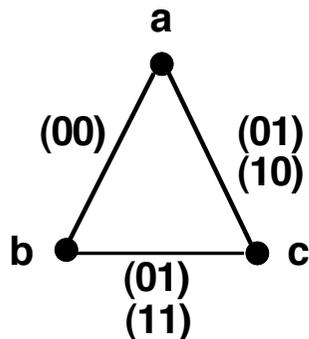
Carreras en circuitos secuenciales asíncronos

Asignación de Estados

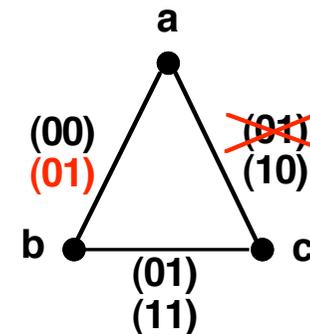
Introducción de ciclos

Modificar estados inestables intermedios o Utilizar casillas inespecificadas

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a,0	c,0	a,0	a,0
b	a,0	c,0	b,0	b,0
c	c,1	c,1	b,1	a,1



P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a,0	b,0	a,0	a,0
b	a,0	c,0	b,0	b,0
c	c,1	c,1	b,1	a,1



Modificado un estado inestable intermedio

insuficiente en este caso

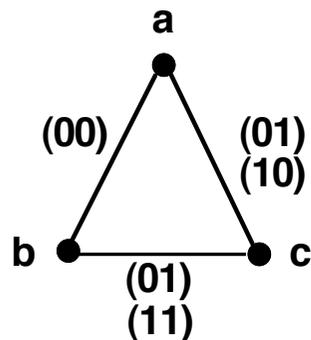
Carreras en circuitos secuenciales asíncronos

Asignación de Estados

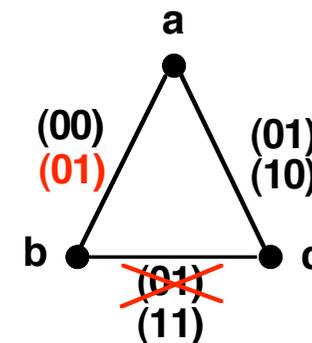
Introducción de ciclos

Modificar estados inestables intermedios o Utilizar casillas inespecificadas

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a ,0	c,0	a ,0	a ,0
b	a,0	c,0	b ,0	b ,0
c	c ,1	c ,1	b,1	a,1



P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a ,0	c,0	a ,0	a ,0
b	a,0	a ,0	b ,0	b ,0
c	c ,1	c ,1	b,1	a,1



Modificado un estado inestable intermedio

insuficiente en este caso

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

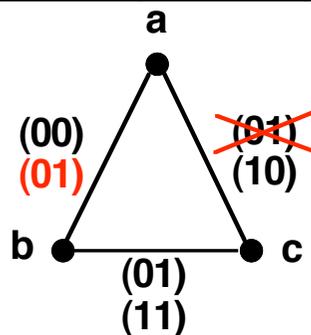
Introducción de ciclos. Filas compartidas

Aumentar la Tabla de Flujo (para generar y Utilizar las casillas inespecificadas)

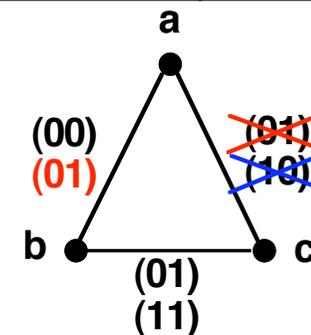
P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a,0	c,0	a,0	a,0
b	a,0	c,0	b,0	b,0
c	c,1	c,1	b,1	a,1
	—	—	—	—

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a,0	b,0	a,0	a,0
b	a,0	c,0	b,0	b,0
c	c,1	c,1	b,1	a,1
	—	—	—	—

Modificado un estado inestable intermedio



insuficiente en este caso



Filas compartidas

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Introducción de ciclos. Filas compartidas

Aumentar la Tabla de Flujo (para generar y Utilizar las casillas inespecificadas)

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a,0	b,0	a,0	a,0
b	a,0	c,0	b,0	b,0
c	c,1	c,1	b,1	a,1
	—	—	—	—

Introducido ciclo
(modificación estado inestable intermedio)

$y_1 y_0$	$Y_1 Y_0$ $X_1 X_2$			
	00	01	11	10
00	00,0	01,0	00,0	00,0
01	00,0	11,0	01,0	01,0
11	11,1	11,1	01,1	10,1
10	—	—	—	00,1

Introducido ciclo
Filas compartidas

No asignada a ningún estado

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

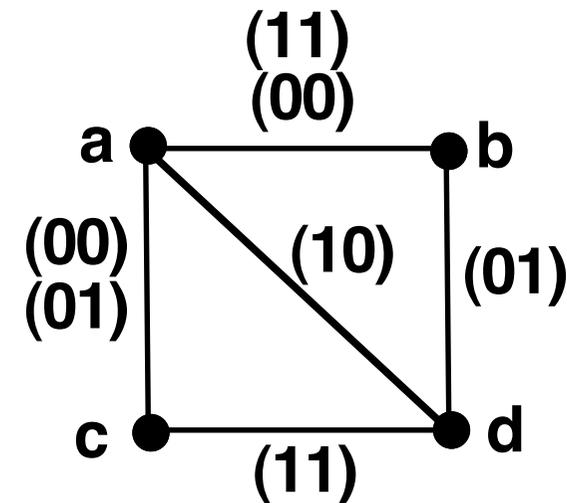
Introducción de ciclos. Filas compartidas

Aumentar la Tabla de Flujo (para generar y Utilizar las casillas inespecificadas)

Peor caso: Incremento del número de variables de estado

P.S.	N.S.			
	00	01	11	10
a	a ,0	a ,0	b,0	a ,0
b	a,0	d,0	b ,0	b ,1
c	a,0	a,1	c ,1	c ,1
d	d ,0	d ,0	c,1	a,0

Introduciendo un ciclo
(modificando un estado inestable intermedio)
No se consigue nada



a y d deben ser
adyacentes a los otros 3
estados: imposible

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

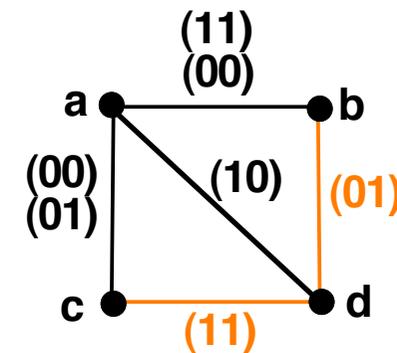
Introducción de ciclos. Filas compartidas

Aumentar la Tabla de Flujo (para generar y Utilizar las casillas inespecificadas)

Peor caso

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a,0	a,0	b,0	a,0
b	a,0	d,0	b,0	b,1
c	a,0	a,1	c,1	c,1
d	d,0	d,0	c,1	a,0

$y_2 y_1$ y_0	00	01	11	10
0	a	c	q	d
1	b			p



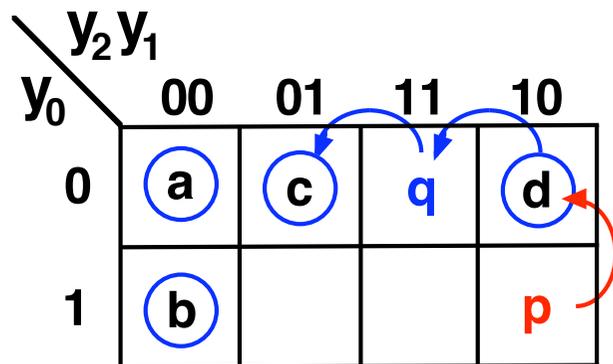
Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Introducción de ciclos. Filas compartidas

Aumentar la Tabla de Flujo (para generar y Utilizar las casillas inespecificadas)

Peor caso



$y_2 y_1 y_0$	P.S.	N.S. $X_1 X_2$			
		00	01	11	10
000	a	a,0	a,0	b,0	a,0
001	b	a,0	p,0	b,0	b,1
011					
010	c	a,0	a,1	c,1	c,1
q 110				c,1	
111					
p 101			d,0		
100	d	d,0	d,0	q,1	a,0

Carreras en circuitos secuenciales asíncronos

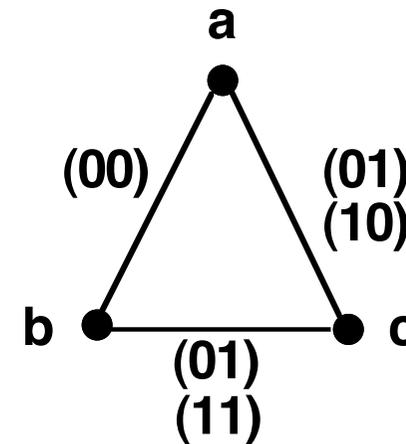
Asignación de Estados

Asignación múltiple a estados (y ciclos)

Aumentar la Tabla de Flujo (para generar nuevas asignaciones)

Ejemplo anterior

P.S.	N.S. $X_1 X_2$			
	00	01	11	10
a	a ,0	c ,0	a ,0	a ,0
b	a ,0	c ,0	b ,0	b ,0
c	c ,1	c ,1	b ,1	a ,1



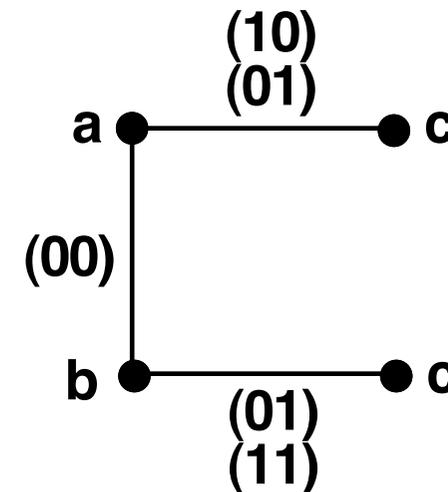
Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Asignación múltiple a estados (y ciclos)

Aumentar la Tabla de Flujo (para generar nuevas asignaciones)

P.S.	N.S.			
	00	01	11	10
(a)	(a),0	c,0	(a),0	(a),0
(b)	a,0	c,0	(b),0	(b),0
(c)	(c),1	(c),1	b,1	a,1
(c)	(c),1	(c),1	b,-	a,-



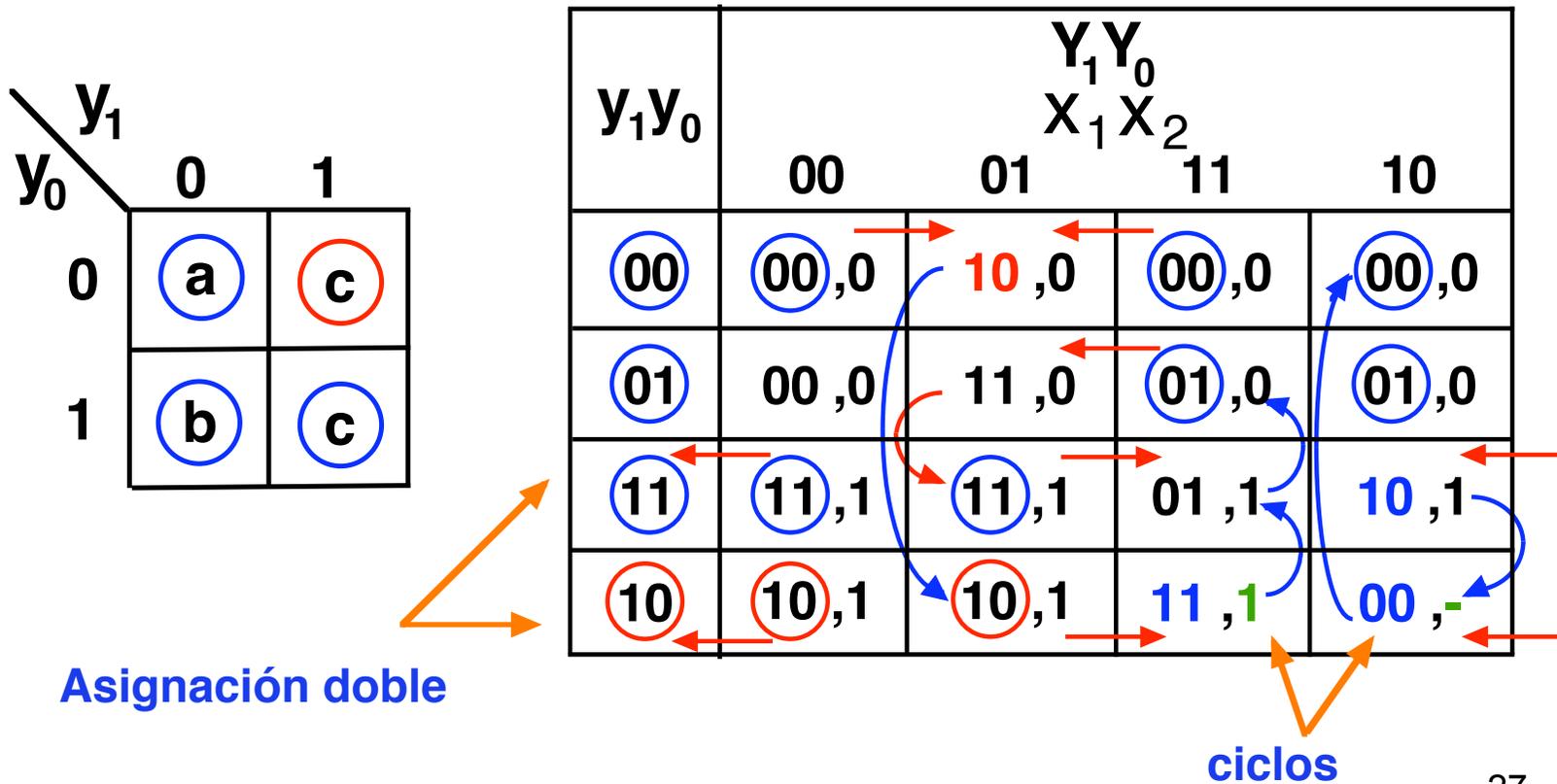
Se debe comportar del mismo modo en ambas copias de c

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Asignación múltiple a estados (y ciclos)

Aumentar la Tabla de Flujo (para generar nuevas asignaciones)



Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Asignación doble a todos los estados (caso particular)

Aumentar la Tabla de Flujo (para generar nuevas asignaciones)

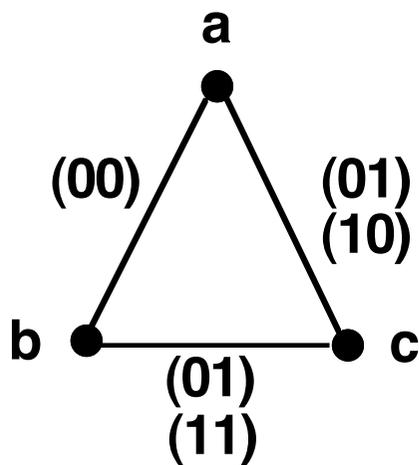


Diagrama de Transición

$y_2 y_1$	00	01	11	10
0	a	c	B	
1	b	C	A	

Sin ciclos

Carreras en circuitos secuenciales asíncronos

Asignación de Estados

Asignación doble a todos los estados (caso particular)

Aumentar la Tabla de Flujo (para generar nuevas asignaciones)

		$y_2 y_1$			
		00	01	11	10
y_0	0	a	c	B	
	1	b	C	A	

Sin ciclos

$y_2 y_1 y_0$	$\begin{matrix} Y_2 Y_1 Y_0 \\ X_1 X_2 \end{matrix}$			
	00	01	11	10
000	000,0	010,0	000,0	000,0
001	000,0	011,0	001,0	001,0
011	011,1	011,1	001,1	111,1
010	010,1	010,1	110,1	000,1
110	111,0	010,0	110,0	110,0
111	111,0	011,0	111,0	111,0
101				
100				

Carreras en circuitos secuenciales asíncronos

Descripción VHDL

Ejemplo

Asignación
de estados:

A: 00
B: 01
C: 10
D: 11

P.S.	N.S., z x_1x_2			
	00	01	11	10
A	A, 0	C, 0	B, 0	C, 0
B	A, 0	C, 0	B, 0	C, 0
C	A, 0	D, 1	A, 0	C, 0
D	A, 0	D, 1	B, 1	C, 0

ciclos
carreras no críticas

Carreras en circuitos secuenciales asíncronos

Descripción VHDL

Ejemplo

P.S.	N.S., z x_1x_2			
	00	01	11	10
(A)	(A),0	C,0	B,0	C,0
(B)	A,0	C,0	(B),0	C,0
(C)	A,0	D,1	A,0	(C),0
(D)	A,0	(D),1	B,1	C,0

1

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.numeric_std.ALL;

ENTITY asinc IS
PORT
    (    xuno, xdos    : IN STD_LOGIC;
        zeta : OUT   STD_LOGIC
    );
END asinc;
    
```

2

```

ARCHITECTURE tdf OF asinc IS
    TYPE tipo_estado IS (A,B,C,D);
    attribute enum_encoding : string;
    attribute enum_encoding of tipo_estado : type is "00 01 10 11";
    SIGNAL estado: tipo_estado := A;

BEGIN
PROCESS (xuno, xdos, estado)
    BEGIN
        CASE estado IS
            WHEN A =>
                IF (xuno = '0' and xdos = '0') THEN
                    estado <= A;           --(after 15 ns)
                    zeta <= '0';         --(after 10 ns)
                ELSIF (xuno = '1' and xdos = '1') THEN
                    estado <= B;
                    zeta <= '0';
                ELSE
                    estado <= C;
                    zeta <= '0';
                END IF;
            WHEN B =>
                IF (xuno = '0' and xdos = '0') THEN
    
```

Carreras en circuitos secuenciales asíncronos

Descripción VHDL

(cont.)

3

```

estado <= A;
zeta <= '0';
ELSIF ((xuno = '0' and xdos = '1') or (xuno = '1' and xdos = '0')) THEN
    estado <= C;
    zeta <= '0';
ELSE
    estado <= B;
    zeta <= '0';
END IF;
WHEN C =>
    IF ((xuno = '0' and xdos = '0') or (xuno = '1' and xdos = '1')) THEN
        estado <= A;
        zeta <= '0';
    ELSIF (xuno = '0' and xdos = '1') THEN
        estado <= D;
        zeta <= '1';
    ELSE
        estado <= C;
        zeta <= '0';
    END IF;
WHEN D =>
    IF (xuno = '0' and xdos = '0') THEN
        estado <= A;
        zeta <= '0';
    
```

P.S.	N.S., z x ₁ x ₂			
	00	01	11	10
(A)	(A),0	C, 0	B, 0	C, 0
(B)	A, 0	C, 0	(B),0	C, 0
(C)	A, 0	D, 1	A, 0	(C),0
(D)	A, 0	(D),1	B, 1	C, 0

4

```

ELSIF (xuno = '0' and xdos = '1') THEN
    estado <= D;
    zeta <= '1';
ELSIF (xuno = '1' and xdos = '1') THEN
    estado <= B;
    zeta <= '1';
ELSE
    estado <= C;
    zeta <= '0';
END IF;
END CASE;
END PROCESS;
END tdf;

```

Carreras en circuitos secuenciales asíncronos

(cont.)

Descripción VHDL

P.S.	N.S., z x_1x_2			
	00	01	11	10
(A)	(A), 0	C, 0	B, 0	C, 0
(B)	A, 0	C, 0	(B), 0	C, 0
(C)	A, 0	D, 1	A, 0	(C), 0
(D)	A, 0	(D), 1	B, 1	C, 0

Compilado y
simulado con
Quartus II

