

TEMA 7

Realización “hardware” de circuitos secuenciales síncronos utilizando componentes discretos. Realización empleando ROM. Realización con PLD.

Realización de circuitos secuenciales síncronos

Ejemplo:

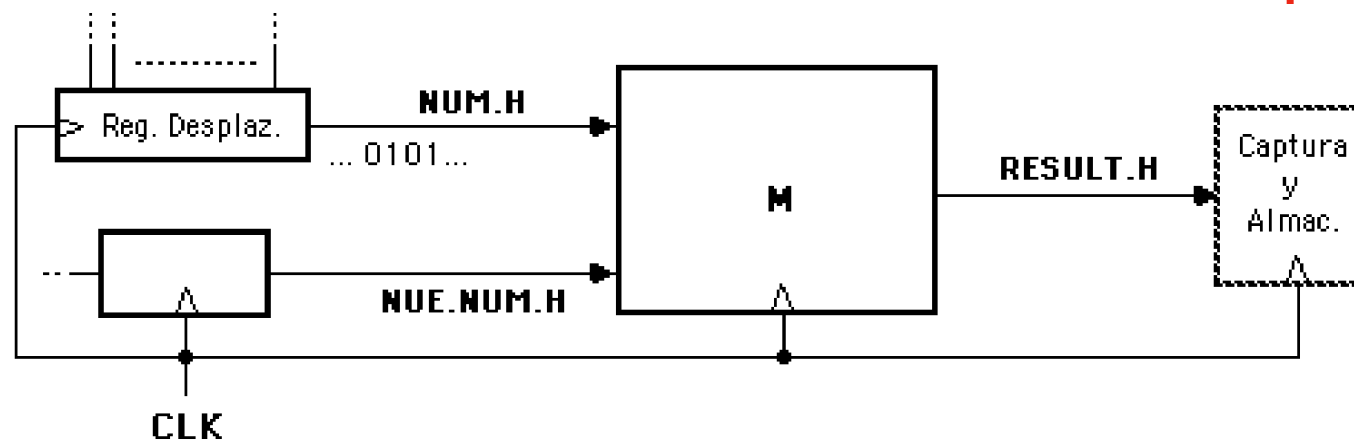
Se desea diseñar un multiplicador serie. El circuito debe ser capaz de multiplicar por 4 un número binario sin signo de cualquier número de bits. En cada ciclo de reloj el circuito debe proporcionar en su salida RESULT.L el bit resultante de sumar el acarreo previamente almacenado al producto por 4 del bit que se encuentra en su entrada NUM.H; además debe obtener el acarreo resultante. El comienzo del número (bit menos significativo) a multiplicar se indica mediante la activación de la señal de entrada NUE_NUM.H; el instante en que dicha señal se desactiva, indica que el último bit aplicado a NUM.H en el ciclo anterior es el bit más significativo del número a multiplicar; en este caso, el multiplicador deberá proporcionar a través de su salida RESULT.L, en sucesivos ciclos de reloj, los valores del acarreo actual antes de poner dicha señal de salida a 0. El multiplicador tiene capacidad de puesta a 0 asíncrona, se pide:

- a) Obtener el Diagrama ASM y la Tabla de Estados reducida del circuito multiplicador.
- b) Encontrar una asignación de estados cuasi-óptima y mostrar una realización del circuito empleando el mínimo número posible de flip-flops de tipo JK disparados por flanco positivo y puertas lógicas HCMOS.
- c) Obtener la expresión para la frecuencia máxima de operación del circuito diseñado.

Análisis y caracterización del problema

Ejemplo (cont):

Analizando el enunciado y
caracterizando el problema



El circuito es **secuencial**:

$$\text{RESULT} = 4 \times \text{NUM} + \text{ACARREO}$$

El resultado **depende** no sólo del bit a multiplicar (**NUM**), sino del **acarreo acumulado** =>

Habrán tantas situaciones diferentes (que caracterizan la respuesta del circuito) como distintos posibles acarreos acumulados

Análisis y caracterización del problema (2)

Ejemplo (cont):

Analizando el enunciado y
caracterizando el problema

Posibles acarreo:

Acarreo inicial 0:	$4 \times 0 + 0 = 0$ (0)	=>	resultado 0	nuevo acarreo 0	(0)
	$4 \times 1 + 0 = 4$ (100)	=>	resultado 0	nuevo acarreo 10	(2)
Acarreo inicial 2:	$4 \times 0 + 2 = 2$ (10)	=>	resultado 0	nuevo acarreo 1	(1)
	$4 \times 1 + 2 = 6$ (110)	=>	resultado 0	nuevo acarreo 11	(3)
Acarreo inicial 1:	$4 \times 0 + 1 = 1$ (1)	=>	resultado 1	nuevo acarreo 0	(0)
	$4 \times 1 + 1 = 5$ (101)	=>	resultado 1	nuevo acarreo 10	(2)
Acarreo inicial 3:	$4 \times 0 + 3 = 3$ (11)	=>	resultado 1	nuevo acarreo 1	(1)
	$4 \times 1 + 3 = 7$ (111)	=>	resultado 1	nuevo acarreo 11	(3)

Análisis y caracterización del problema (3)

Ejemplo (cont):

**Analizando el enunciado y
caracterizando el problema**

Aparentemente, cuando NUE_NUM es 1, 4 situaciones distintas caracterizan el comportamiento del circuito (4 estados, un estado por cada acarreo distinto)

Cuando NUE_NUM sea 0, el valor de NUM no tiene importancia, ya que el circuito deberá ir sacando bit a bit el acarreo acumulado. A todos los efectos es como si el valor entrante de NUM fuera 0. Una vez sacados todos los bits de acarreo pendientes, NUE_NUM puede volver a tomar valor 1

Cuando el circuito saca un bit del acarreo pendiente (el bit menos significativo) a través de la salida RESULT, el circuito deberá ir al estado caracterizado por el nuevo acarreo pendiente

Una vez sacado el último dígito significativo del acarreo a máquina deberá ir a un estado de espera, manteniendo la salida a cero, hasta que se aplique de nuevo NUE_NUM = 1.

Diagrama ASM

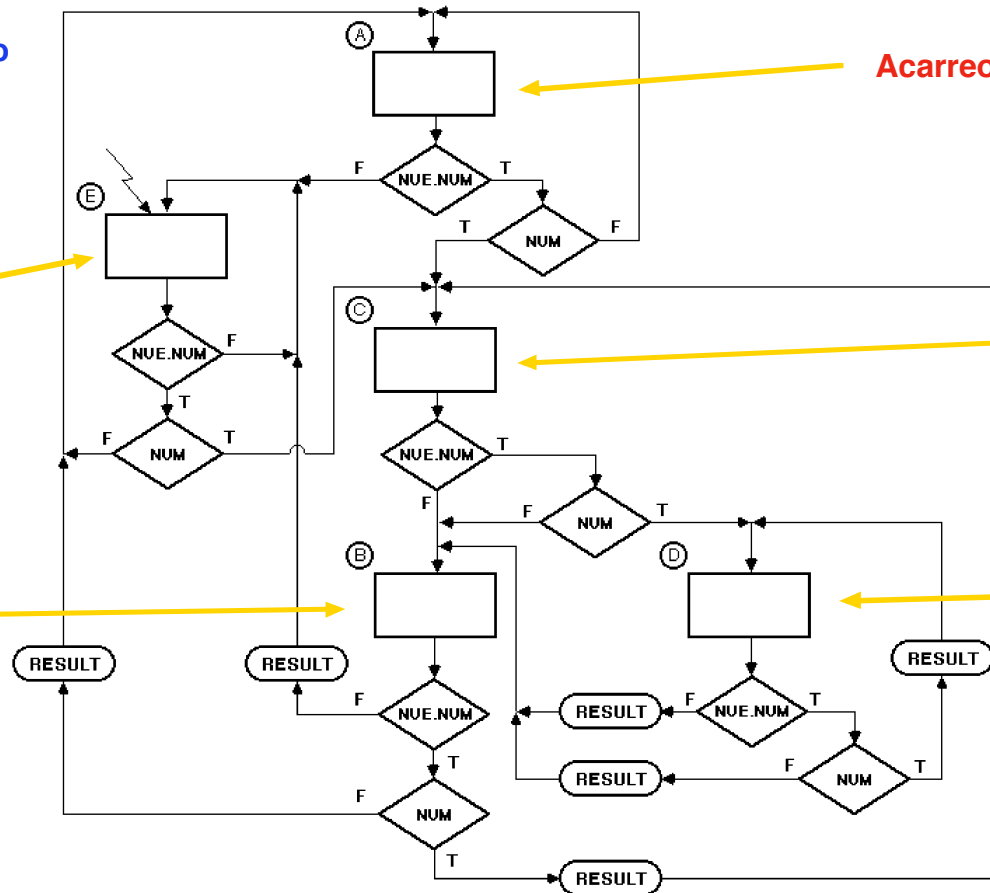
Ejemplo (cont):

Se plantea en principio como Máquina de tipo Mealy o mixta

Estado de "inicio".
A la espera de que se active NUE_NUM
Acarreo 0 (0)

Acarreo 1 (1)

Los estados E y A parecen ser equivalentes



Acarreo 0 (0)

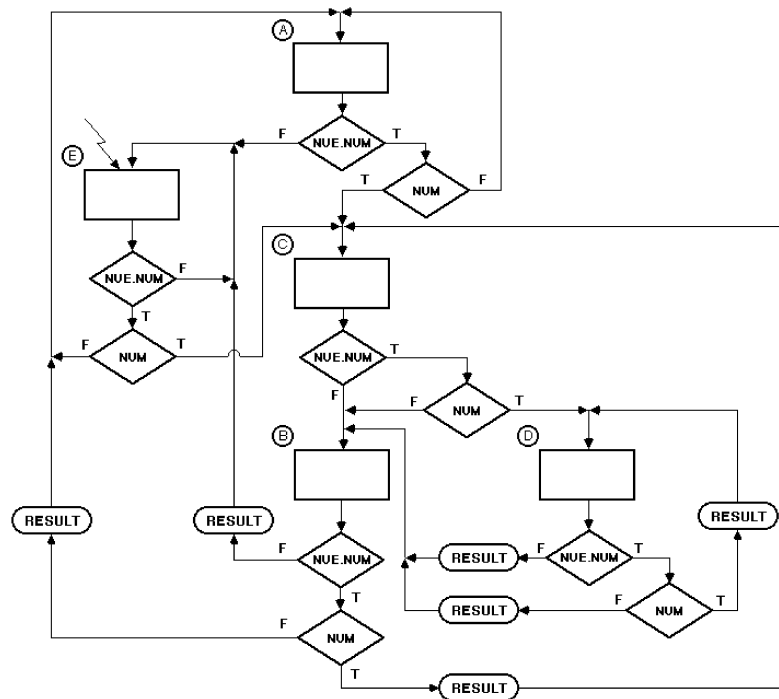
Acarreo 10 (2)

Acarreo 11 (3)

Salida asociada a cada estado independiente de la entrada =>
Máquina de tipo Moore

Tabla de Estados

Ejemplo (cont):



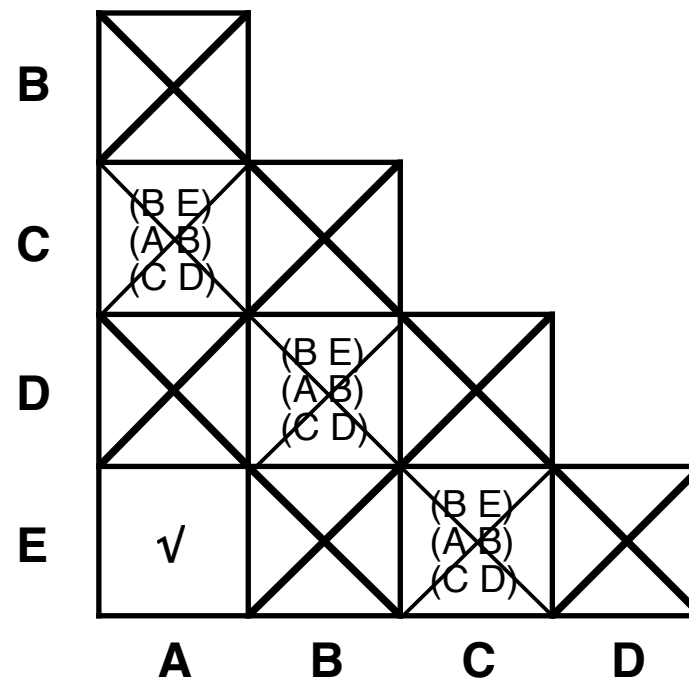
PS	NS, RESULT NUM NUE_NUM			
	00	01	11	10
A	E,0	A,0	C,0	E,0
B	E,1	A,1	C,1	E,1
C	B,0	B,0	D,0	B,0
D	B,1	B,1	D,1	B,1
E	E,0	A,0	C,0	E,0

PS	NS NUM NUE_NUM				RESULT
	00	01	11	10	
A	E	A	C	E	0
B	E	A	C	E	1
C	B	B	D	B	0
D	B	B	D	B	1
E	E	A	C	E	0

Mapa de Absorción

Ejemplo (cont):

PS	NS				RESULT
	NUM NUE_NUM				
	00	01	11	10	
A	E	A	C	E	0
B	E	A	C	E	1
C	B	B	D	B	0
D	B	B	D	B	1
E	E	A	C	E	0



Col. A: (A E)

Conjunto de máximos compatibles: {(A E), (B), (C), (D)}

Lim. Sup. = Lim. Inf. = 4

a b c d

Tabla Reducida

Ejemplo (cont):

PS	NS				RESULT
	NUM		NUE_NUM		
	00	01	11	10	
A	E	A	C	E	0
B	E	A	C	E	1
C	B	B	D	B	0
D	B	B	D	B	1
E	E	A	C	E	0

PS	NS				RESULT
	NUM		NUE_NUM		
	00	01	11	10	
a	a	a	c	a	0
b	a	a	c	a	1
c	b	b	d	b	0
d	b	b	d	b	1

Tabla Reducida

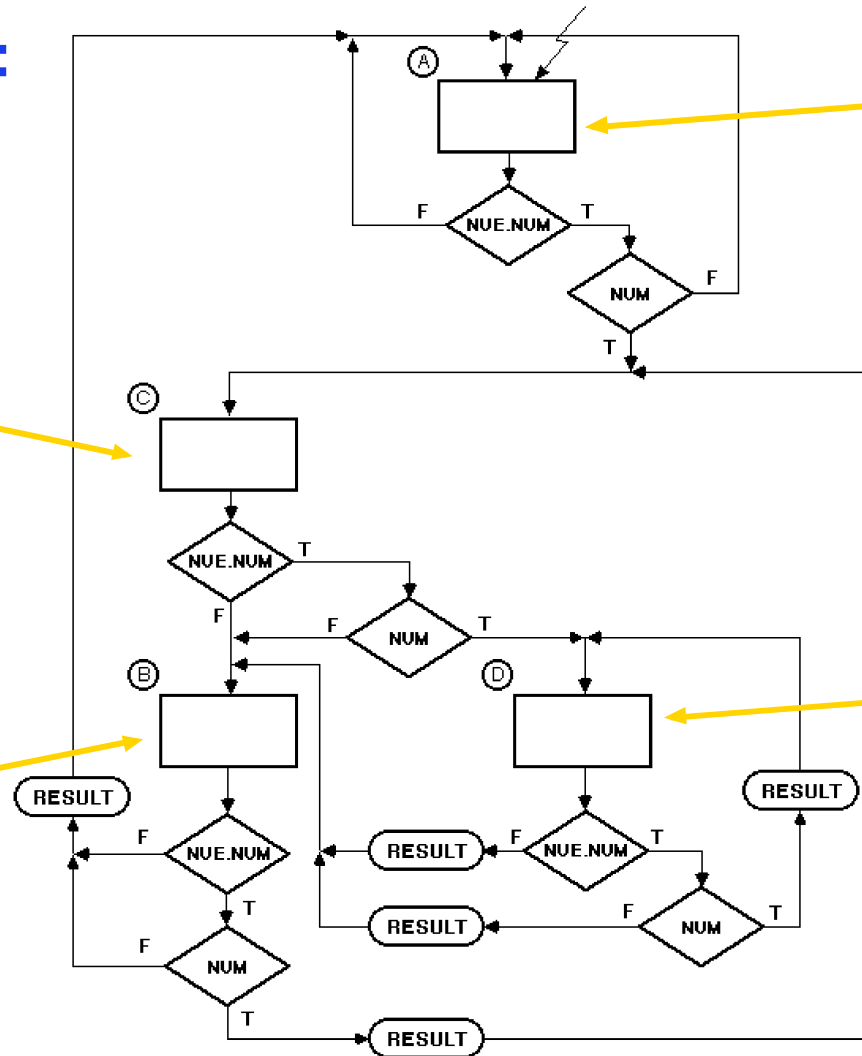
Diagrama ASM Reducido

Ejemplo (cont):

Se plantea en principio
como Máquina de tipo
Mealy o mixta

Acarreo 10 (2)

Acarreo 1 (1)



Estado de "inicio".
A la espera de que
se active NUE_NUM
Acarreo 0 (0)

Acarreo 11 (3)

Salida asociada a cada
estado independiente de
la entrada =>
Máquina de tipo Moore

Asignación de Estados

Ejemplo (cont):

PS	NS				RESULT
	NUM	NUE	NUM		
	00	01	11	10	
a	a	a	c	a	0
b	a	a	c	a	1
c	b	b	d	b	0
d	b	b	d	b	1

D1: (a b)x4 (c d)x4

D2: (a c)x2 (b d)x2

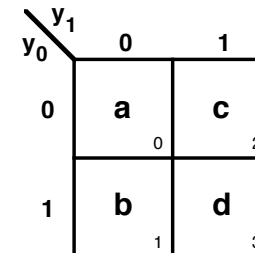
D3: (a c) (b d)

		y ₁	
		0	1
y ₀	0	a 0	c 2
	1	b 1	d 3

Asignación de Estados

Tabla de Transición de Estados

Ejemplo (cont):



PS	NS				RESULT
	NUM NUE_NUM				
	00	01	11	10	
a	a	a	c	a	0
b	a	a	c	a	1
c	b	b	d	b	0
d	b	b	d	b	1

Tabla de Estados

y ₁ y ₀	Y ₁ Y ₀ NUM NUE_NUM				RESULT
	00	01	11	10	
00	00	00	10	00	0
01	00	00	10	00	1
10	01	01	11	01	0
11	01	01	11	01	1

Tabla de Transición de Estados

Tabla de Excitación

Ejemplo (cont):

Tabla Característica
JK-FF

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Q_n^*

$Q_n \rightarrow Q_{n+1}$	J	K
0 0	0	ϕ
0 1	1	ϕ
1 0	ϕ	1
1 1	ϕ	0

Tabla de Excitación
JK-FF

$y_1 y_0$	$Y_1 Y_0$				RESULT	$J_1 K_1$				$J_0 K_0$			
	NUM	NUE	NUM			NUM	NUE	NUM		NUM	NUE	NUM	
	00	01	11	10		00	01	11	10	00	01	11	10
00	00	00	10	00	0	0 ϕ	0 ϕ	1 ϕ	0 ϕ	0 ϕ	0 ϕ	0 ϕ	0 ϕ
01	00	00	10	00	1	0 ϕ	0 ϕ	1 ϕ	0 ϕ	ϕ 1	ϕ 1	ϕ 1	ϕ 1
10	01	01	11	01	0	ϕ 1	ϕ 1	ϕ 0	ϕ 1	1 ϕ	1 ϕ	1 ϕ	1 ϕ
11	01	01	11	01	1	ϕ 1	ϕ 1	ϕ 0	ϕ 1	ϕ 0	ϕ 0	ϕ 0	ϕ 0

Tabla de Transición de Estados

Tabla de Excitación

Funciones de Excitación y de Salida

Ejemplo (cont):

$J_1 K_1$				$J_0 K_0$			
NUM NUE_NUM				NUM NUE_NUM			
00	01	11	10	00	01	11	10
0 ϕ	0 ϕ	1 ϕ	0 ϕ	0 ϕ	0 ϕ	0 ϕ	0 ϕ
0 ϕ	0 ϕ	1 ϕ	0 ϕ	ϕ 1	ϕ 1	ϕ 1	ϕ 1
ϕ 1	ϕ 1	ϕ 0	ϕ 1	1 ϕ	1 ϕ	1 ϕ	1 ϕ
ϕ 1	ϕ 1	ϕ 0	ϕ 1	ϕ 0	ϕ 0	ϕ 0	ϕ 0

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	0 0	0 4	1 12	0 8
01	0 1	0 5	1 13	0 9
11	ϕ 3	ϕ 7	ϕ 15	ϕ 11
10	ϕ 2	ϕ 6	ϕ 14	ϕ 10

$$J_1 = \text{NUM} \bullet \text{NUE.NUM}$$

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	ϕ 0	ϕ 4	ϕ 12	ϕ 8
01	ϕ 1	ϕ 5	ϕ 13	ϕ 9
11	1 3	1 7	0 15	1 11
10	1 2	1 6	0 14	1 10

$$K_1 = \text{NUM} \bullet \text{NUE.NUM} = \overline{J_1}$$

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	0 0	0 4	0 12	0 8
01	1 1	1 5	1 13	1 9
11	1 3	1 7	1 15	1 11
10	0 2	0 6	0 14	0 10

$$\text{RESULT} = y_0$$

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	0 0	0 4	0 12	0 8
01	ϕ 1	ϕ 5	ϕ 13	ϕ 9
11	ϕ 3	ϕ 7	ϕ 15	ϕ 11
10	1 2	1 6	1 14	1 10

$$J_0 = y_1$$

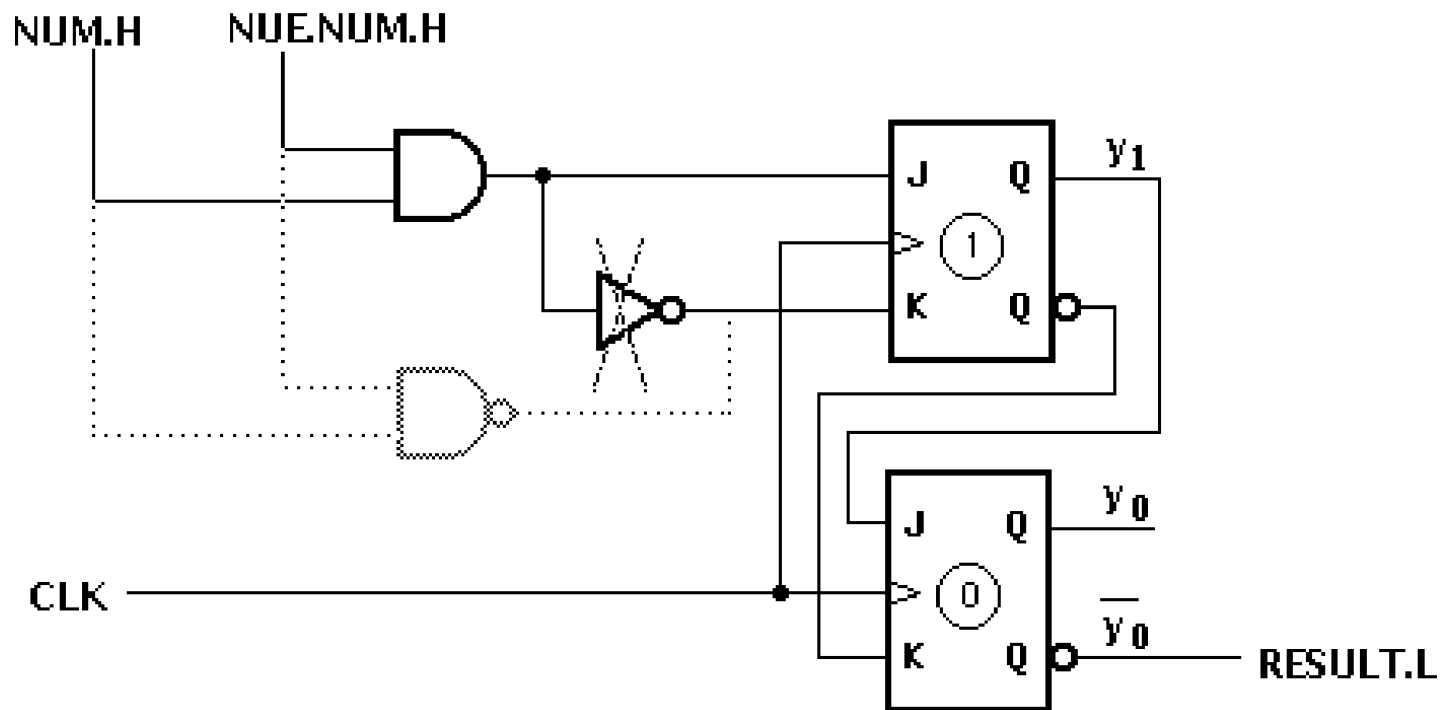
NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	ϕ 0	ϕ 4	ϕ 12	ϕ 8
01	1 1	1 5	1 13	1 9
11	0 3	0 7	0 15	0 11
10	ϕ 2	ϕ 6	ϕ 14	ϕ 10

$$K_0 = \overline{y_1} = \overline{J_0}$$

Realización Circuital

Ejemplo (cont):

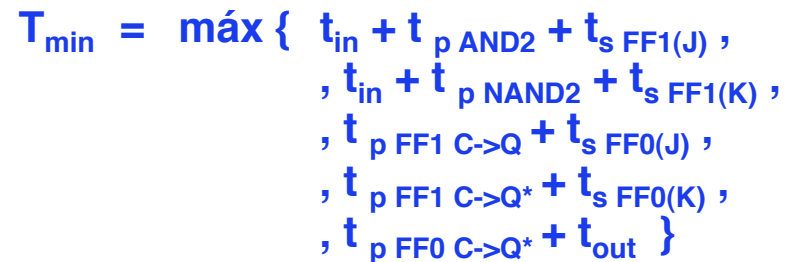


Ejemplo (cont):

$$t_p = \max(t_{p\text{ L-H}}, t_{p\text{ H-L}})$$

$$t_{p \text{ FFi C} \rightarrow \text{Q}} = \max(t_{p \text{ FFi C} \rightarrow \text{Q}}(\text{L}), t_{p \text{ FFi C} \rightarrow \text{Q}}(\text{H}))$$

$$t_{p \text{ FFi } C \rightarrow Q^*} = \max(t_{p \text{ FFi } C \rightarrow Q^* (L)}, t_{p \text{ FFi } C \rightarrow Q^* (H)})$$



16

Efecto de la Asignación de Estados

Ejemplo (cont):

Considérese la Asignación de Estados:

		y_1	
		0	1
y_0	0	a 0	d 2
	1	b 1	c 3

D1: (a b)x4 (c d)x4

D2: (a c)x2 (b d)x2

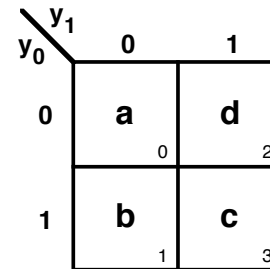
D3: (a c) (b d)

No cumple la directiva D2 (DEC de NS)

No cumple la directiva D3 (DEC de Salida)

Tabla de Transición de Estados

Ejemplo (cont):



PS	NS				RESULT
	NUM NUE_NUM				
	00	01	11	10	
a	a	a	c	a	0
b	a	a	c	a	1
c	b	b	d	b	0
d	b	b	d	b	1

Tabla de Estados

y ₁ y ₀	Y ₁ Y ₀ NUM NUE_NUM				RESULT
	00	01	11	10	
00	00	00	11	00	0
01	00	00	11	00	1
11	01	01	10	01	0
10	01	01	10	01	1

Tabla de Transición de Estados

Tablas de Excitación y de Salida

Ejemplo (cont):

Tabla Característica
JK-FF

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Q_n^*

$Q_n \rightarrow Q_{n+1}$	J	K
0 0	0	ϕ
0 1	1	ϕ
1 0	ϕ	1
1 1	ϕ	0

Tabla de Excitación
JK-FF

y_1y_0	Y_1Y_0 NUM NUE_NUM				RESULT	J_1K_1 NUM NUE_NUM				J_0K_0 NUM NUE_NUM			
	00	01	11	10		00	01	11	10	00	01	11	10
00	00	00	11	00	0	0 ϕ	0 ϕ	1 ϕ	0 ϕ	0 ϕ	0 ϕ	1 ϕ	0 ϕ
01	00	00	11	00	1	0 ϕ	0 ϕ	1 ϕ	0 ϕ	ϕ 1	ϕ 1	ϕ 0	ϕ 1
11	01	01	10	01	0	ϕ 1	ϕ 1	ϕ 0	ϕ 1	ϕ 0	ϕ 0	ϕ 1	ϕ 0
10	01	01	10	01	1	ϕ 1	ϕ 1	ϕ 0	ϕ 1	1 ϕ	1 ϕ	0 ϕ	1 ϕ

Tabla de Transición de Estados

Tabla de Excitación

Funciones de Excitación y de Salida

Ejemplo (cont):

$J_1 K_1$				$J_0 K_0$			
NUM NUE_NUM				NUM NUE_NUM			
00	01	11	10	00	01	11	10
0 ϕ	0 ϕ	1 ϕ	0 ϕ	0 ϕ	0 ϕ	1 ϕ	0 ϕ
0 ϕ	0 ϕ	1 ϕ	0 ϕ	ϕ 1	ϕ 1	ϕ 0	ϕ 1
ϕ 1	ϕ 1	ϕ 0	ϕ 1	ϕ 0	ϕ 0	ϕ 1	ϕ 0
ϕ 1	ϕ 1	ϕ 0	ϕ 1	1 ϕ	1 ϕ	0 ϕ	1 ϕ

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	0 0	0 4	1 12	0 8
01	0 1	0 5	1 13	0 9
11	f 3	f 7	f 15	f 11
10	f 2	f 6	f 14	f 10

$$J_1 = \text{NUM} \bullet \text{NUE.NUM}$$

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	f 0	f 4	f 12	f 8
01	f 1	f 5	f 13	f 9
11	1 3	1 7	0 15	1 11
10	1 2	1 6	0 14	1 10

$$K_1 = \overline{\text{NUM} \bullet \text{NUE.NUM}} = \overline{J_1}$$

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	0 0	0 4	0 12	0 8
01	1 1	1 5	1 13	1 9
11	0 3	0 7	0 15	0 11
10	1 2	1 6	1 14	1 10

$$\text{RESULT} = y_1 \text{EXOR } y_0$$

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	0 0	0 4	1 12	0 8
01	f 1	f 5	f 13	f 9
11	f 3	f 7	f 15	f 11
10	1 2	1 6	0 14	1 10

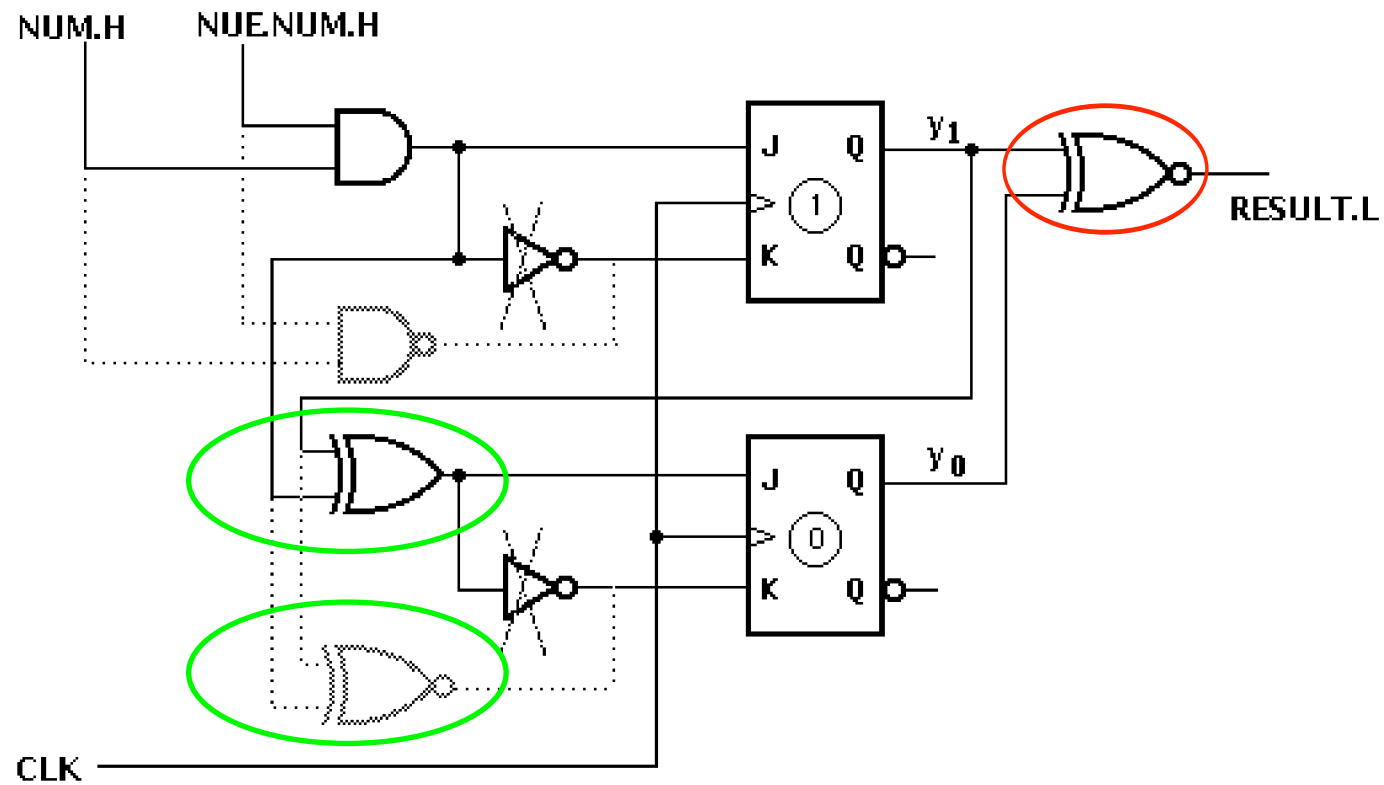
$$J_0 = J_1 \text{EXOR } y_1$$

NUM, NUE.NUM

$y_1 y_0$	00	01	11	10
00	f 0	f 4	f 12	f 8
01	1 1	1 5	0 13	1 9
11	0 3	0 7	1 15	0 11
10	f 2	f 6	f 14	f 10

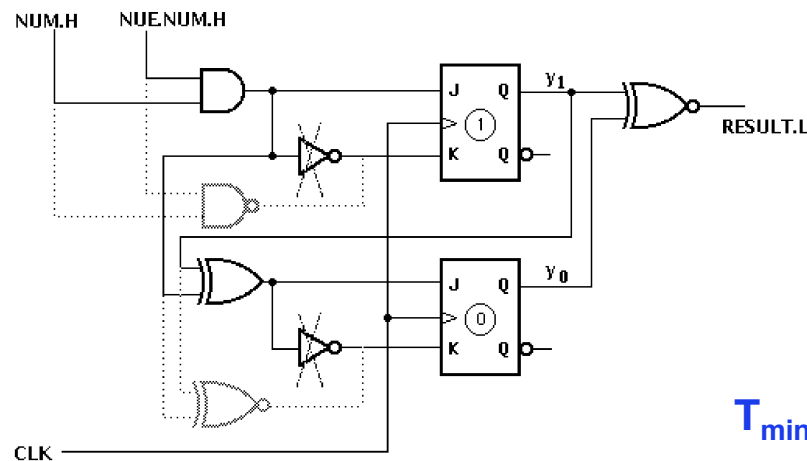
$$K_0 = \overline{J_0}$$

Realización Circuital



Máxima Frecuencia de Operación

Suponiendo que todos los tiempos son los de peor caso:



$$t_p = \max(t_{p\ L-H}, t_{p\ H-L})$$

$$t_{s\ FFi} = \max(t_{s\ FFi\ (L)}, t_{s\ FFi\ (H)})$$

$$t_{p\ FFi\ C \rightarrow Q} = \max(t_{p\ FFi\ C \rightarrow Q\ (L)}, t_{p\ FFi\ C \rightarrow Q\ (H)})$$

$$t_{p\ FFi\ C \rightarrow Q^*} = \max(t_{p\ FFi\ C \rightarrow Q^*\ (L)}, t_{p\ FFi\ C \rightarrow Q^*\ (H)})$$

$$T_{min} = \max \{ \begin{aligned} &t_{in} + t_{p\ AND2} + t_{s\ FF1(J)}, \\ &t_{in} + t_{p\ NAND2} + t_{s\ FF1(K)}, \\ &t_{in} + t_{p\ AND2} + t_{p\ EXOR2} + t_{s\ FF0(J)}, \\ &t_{in} + t_{p\ AND2} + t_{p\ EXNOR2} + t_{s\ FF0(K)}, \\ &t_{p\ FF1\ C \rightarrow Q} + t_{p\ EXOR2} + t_{s\ FF0(J)}, \\ &t_{p\ FF1\ C \rightarrow Q} + t_{p\ EXNOR2} + t_{s\ FF0(K)}, \\ &t_{p\ FF1\ C \rightarrow Q} + t_{p\ EXNOR2} + t_{out}, \\ &t_{p\ FF0\ C \rightarrow Q} + t_{p\ EXNOR2} + t_{out} \end{aligned} \}$$

$$F_{m\acute{a}x} = 1 / T_{m\acute{i}n}$$

Realización de circuitos secuenciales síncronos

Ejemplo:

Se desea diseñar un controlador de RAM dinámica simplificado (sólo genera RAS, CAS, WE y las señales de dirección de filas y columnas), cuyo funcionamiento es como sigue.

Las entradas del circuito son:

ADDI ₁₅ -ADDI ₀ :	16 líneas de direcciones
RD:	Señal de control de lectura
WR:	Señal de control de escritura
/EN:	Señal de habilitación del circuito controlador

Las salidas del circuito son:

ADDO ₇ -ADDO ₀ :	8 líneas de direcciones
/RAS:	“Row Address Strobe”
/CAS:	“Column Address Strobe”
/WE:	Señal de control de escritura

Mientras /EN no se encuentre activada, el controlador no funciona: ADDO₇-ADDO₀ se encuentran en H-Z y /RAS, /CAS y /WE se encuentran a nivel H. Cuando se activa /EN, las señales RD y WR se almacenan en un registro; a continuación en las salidas ADDO₇-ADDO₀ se muestra la dirección de fila y se activa la señal /RAS. Seguidamente aparece en las salidas ADDO₇-ADDO₀ la dirección de columna y se activa la señal /CAS. En el caso de un ciclo de escritura, las señales RD y WR deben ser falsa y cierta respectivamente, en cuyo caso se activa la señal /WE; en cualquier otro caso /WE permanece inactiva.

Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

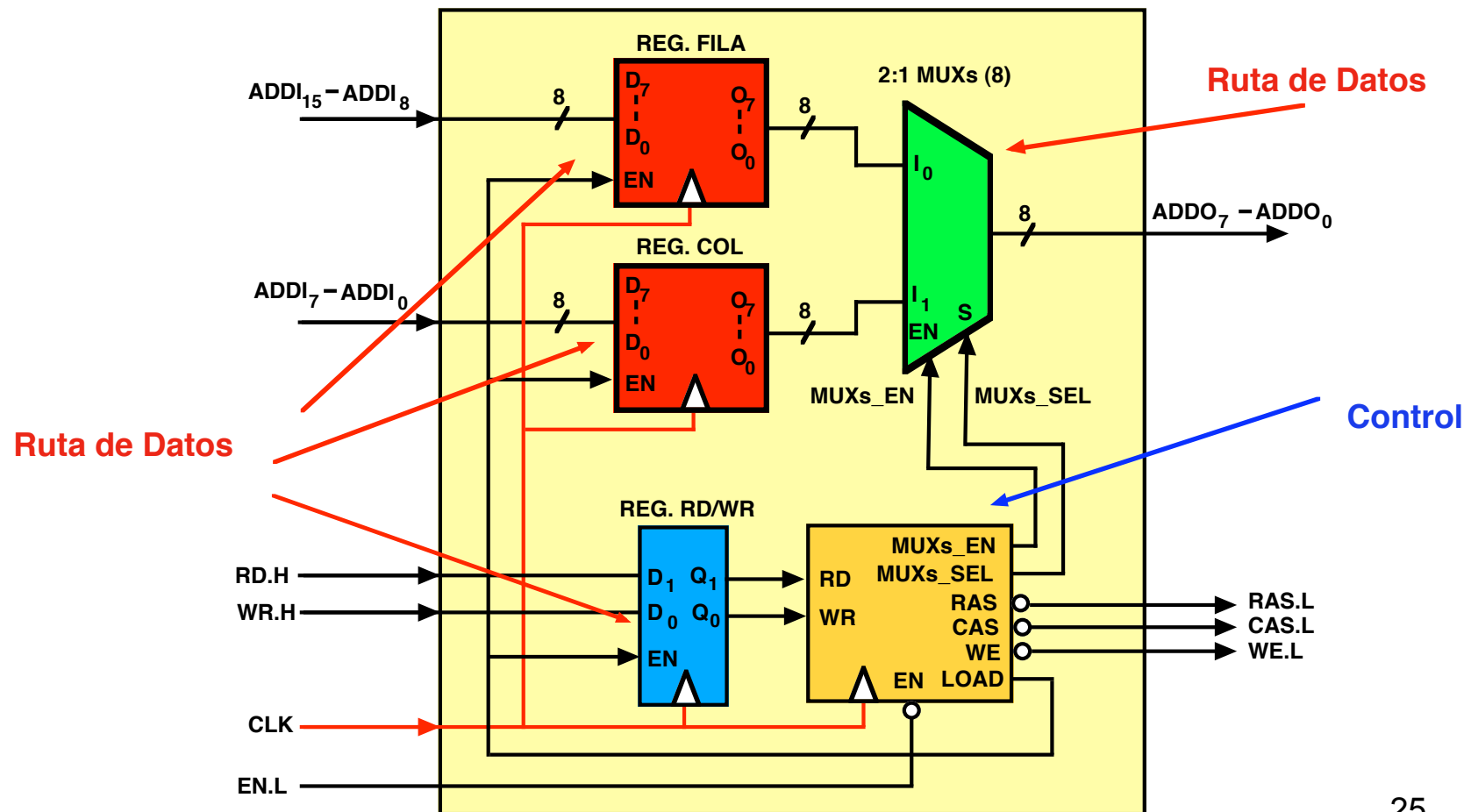
Una vez activada, la señal /EN sólo se desactiva, en su caso, al finalizar un ciclo de lectura/escritura.

Se pide:

- a) Dibujar un esquema del circuito propuesto, indicando los diferentes componentes. Mostrar el circuito de control, detallando sus entradas y sus salidas.
- b) Mostrar un diagrama ASM para la parte correspondiente al control (módulo de control) del circuito propuesto. Simplificar el diagrama ASM y mostrar un cronograma para un ciclo de escritura.
- c) Mostrar una realización circuital de módulo de control mediante una PROM y D-FFs.

Realización de circuitos secuenciales síncronos

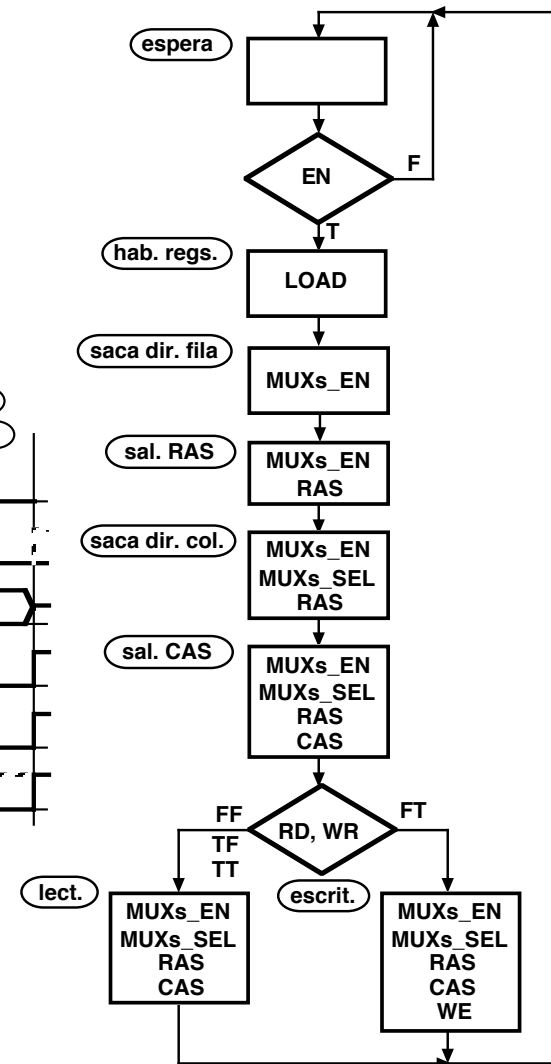
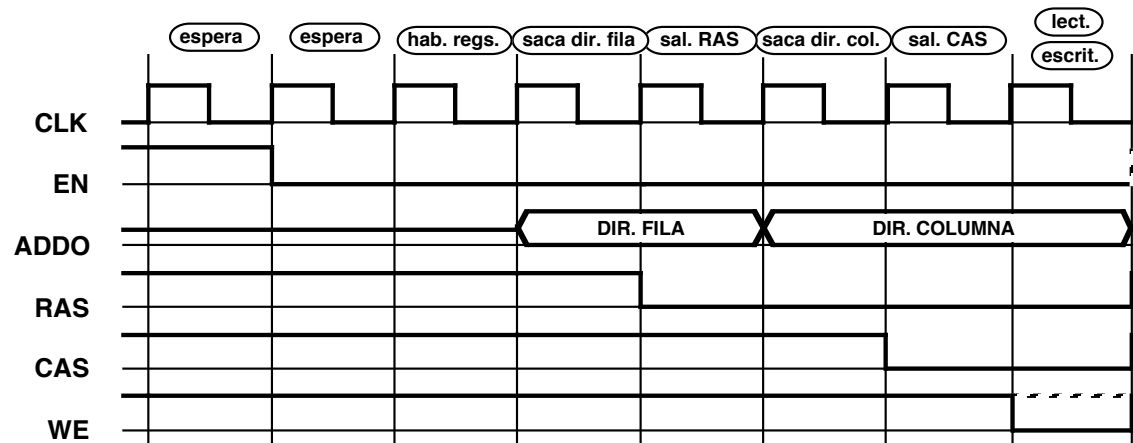
Ejemplo (cont.):



Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

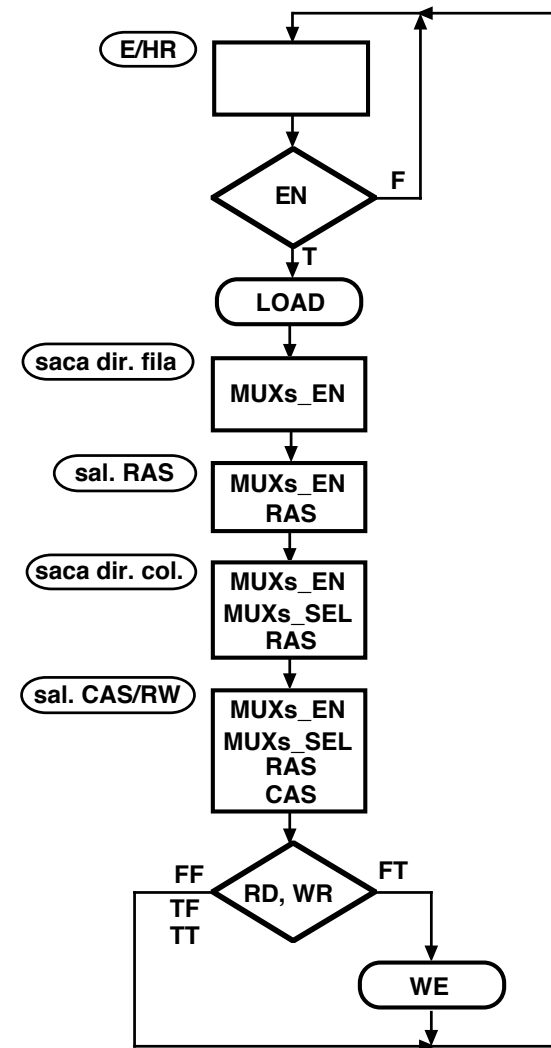
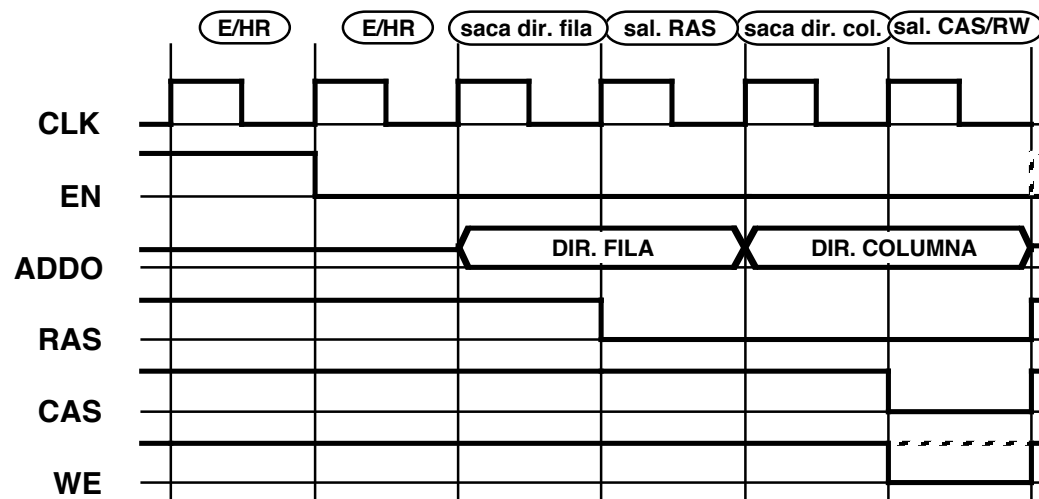
Planteado inicialmente como de tipo Moore



Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

Reducido (tipo mixto)

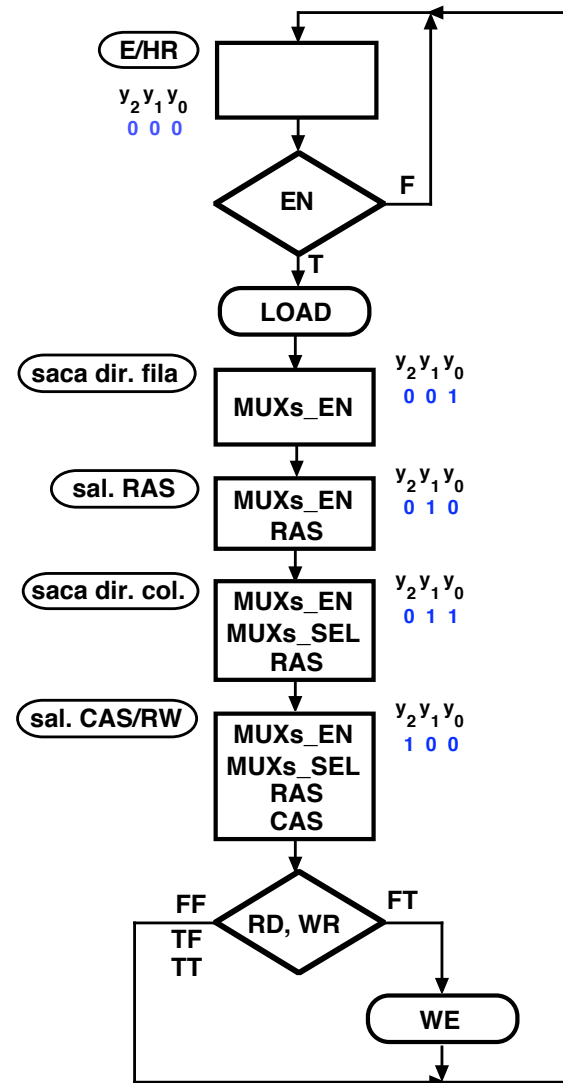


Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

¿ Asignación de Estados ?

(Implementación basada en PROM)



Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

Tabla de Transición de Estados

Y ₂ Y ₁ Y ₀	Y ₂ Y ₁ Y ₀ , LOAD, MUXs_EN, MUXs_SEL, RAS, CAS, WE							
	000	001	010	011	100	101	110	111
0 0 0	000,000000	000,000000	000,000000	000,000000	001,100000	001,100000	001,100000	001,100000
0 0 1	010,010000	010,010000	010,010000	010,010000	010,010000	010,010000	010,010000	010,010000
0 1 0	011,010100	011,010100	011,010100	011,010100	011,010100	011,010100	011,010100	011,010100
0 1 1	100,011100	100,011100	100,011100	100,011100	100,011100	100,011100	100,011100	100,011100
1 0 0	000,000000	000,000001	000,000000	000,000000	000,000000	000,000001	000,000000	000,000000

Tabla de Transición de Estados

Y ₂ Y ₁ Y ₀	Y ₂ Y ₁ Y ₀ , LD, Ms_EN, Ms_SEL, RAS, CAS, WE			
	01X, 000	001	11X, 100	101
0 0 0	000,000000	000,000000	001,100000	001,100000
0 0 1	010,010000	010,010000	010,010000	010,010000
0 1 0	011,010100	011,010100	011,010100	011,010100
0 1 1	100,011100	100,011100	100,011100	100,011100
1 0 0	000,000000	000,000001	000,000000	000,000001

Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

y ₂ y ₁ y ₀	EN, RD, WR	LD, Ms_EN, Ms_SEL, RAS, CAS, WE	D ₂ D ₁ D ₀
0 0 0	0 X X	0 0 0 0 0 0	0 0 0
0 0 0	1 X X	1 0 0 0 0 0	0 0 1
0 0 1	X X X	0 1 0 0 0 0	0 1 0
0 1 0	X X X	0 1 0 1 0 0	0 1 1
0 1 1	X X X	0 1 1 1 0 0	1 0 0
1 0 0	X 0 0	0 0 0 0 0 0	0 0 0
1 0 0	X 0 1	0 0 0 0 0 1	0 0 0
1 0 0	X 1 X	0 0 0 0 0 0	0 0 0
1 0 1	X X X	0 0 0 0 0 0	0 0 0
1 1 X	X X X	0 0 0 0 0 0	0 0 0

.L .L .L .L
 Se envía al estado inicial en 1 ciclo de reloj

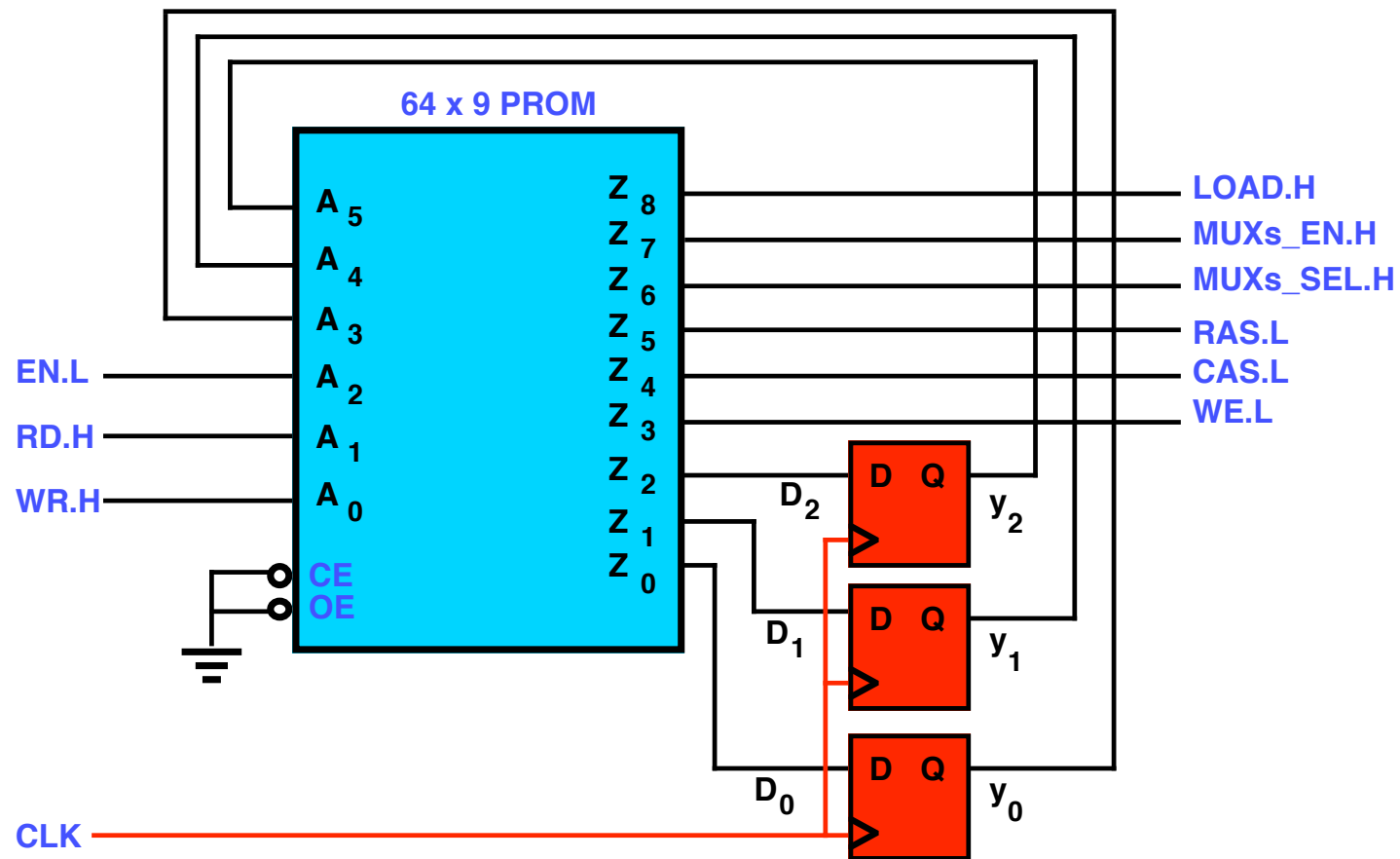
Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

y ₂ y ₁ y ₀	EN, RD, WR	LD, Ms_EN, Ms_SEL, RAS, CAS, WE	D ₂ D ₁ D ₀
0 0 0	1 X X	0 0 0 1 1 1	0 0 0
0 0 0	0 X X	1 0 0 1 1 1	0 0 1
0 0 1	X X X	0 1 0 1 1 1	0 1 0
0 1 0	X X X	0 1 0 0 1 1	0 1 1
0 1 1	X X X	0 1 1 0 1 1	1 0 0
1 0 0	X 0 0	0 0 0 1 1 1	0 0 0
1 0 0	X 0 1	0 0 0 1 1 0	0 0 0
1 0 0	X 1 X	0 0 0 1 1 1	0 0 0
1 0 1	X X X	0 0 0 1 1 1	0 0 0
1 1 X	X X X	0 0 0 1 1 1	0 0 0

Realización de circuitos secuenciales síncronos

Ejemplo (cont.):



Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

y ₂ y ₁ y ₀	EN, RD, WR	LD, Ms_EN, Ms_SEL, RAS, CAS, WE	D ₂ D ₁ D ₀
0 0 0	1 X X	0 0 0 1 1 1	0 0 0
0 0 0	0 X X	1 0 0 1 1 1	0 0 1
0 0 1	X X X	0 1 0 1 1 1	0 1 0
0 1 0	X X X	0 1 0 0 1 1	0 1 1
0 1 1	X X X	0 1 1 0 1 1	1 0 0
1 0 0	X 0 0	0 0 0 1 1 1	0 0 0
1 0 0	X 0 1	0 0 0 1 1 0	0 0 0
1 0 0	X 1 X	0 0 0 1 1 1	0 0 0
1 0 1	X X X	0 0 0 1 1 1	0 0 0
1 1 X	X X X	0 0 0 1 1 1	0 0 0

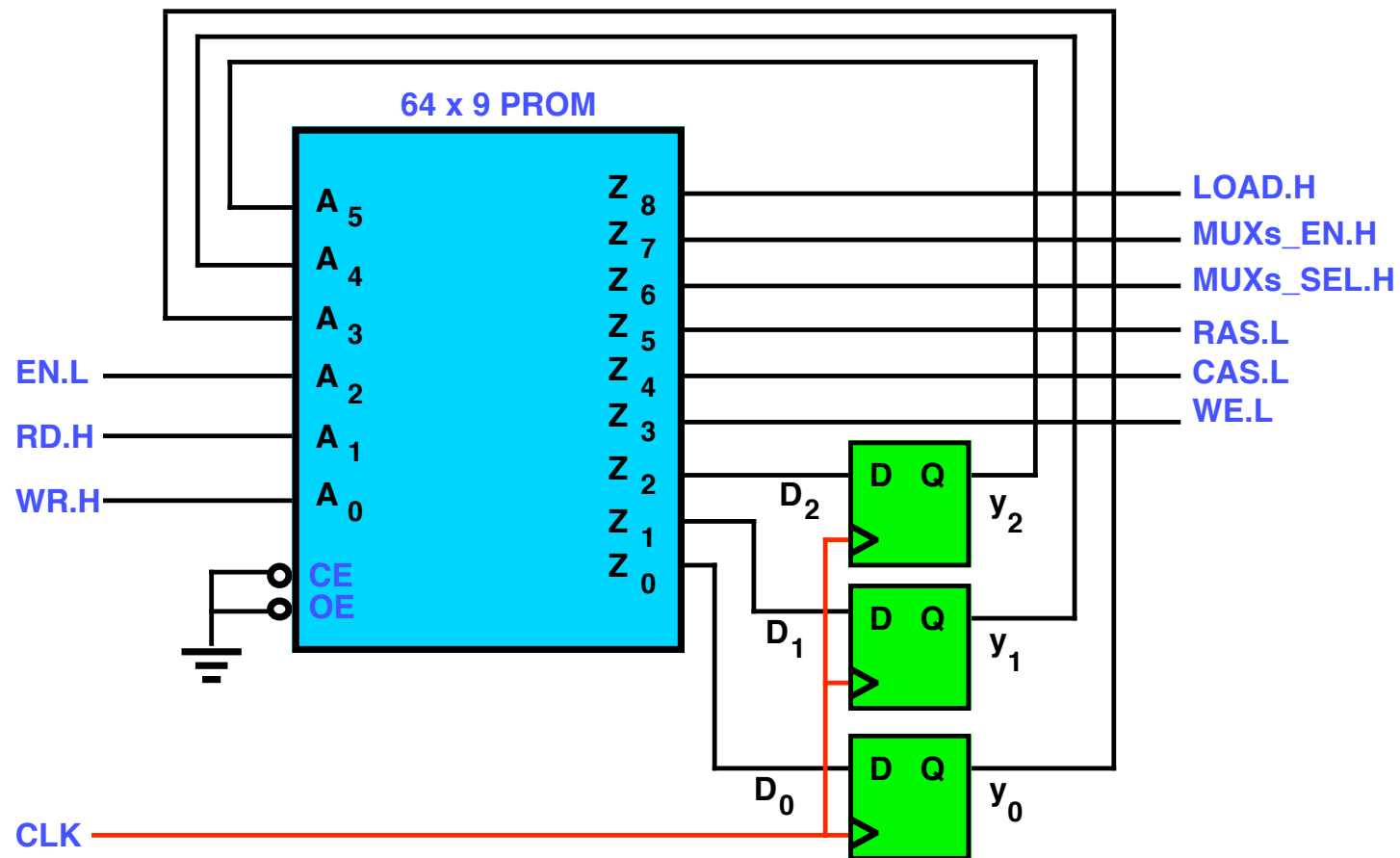
DIRECC. (decimal)	DIRECC. (binario)	DATOS (Z ₈ -Z ₀)						ENTR. FFs		
		SALIDAS						LD, Ms_EN, Ms_SEL, RAS, CAS, WE		
		LD	Ms_EN	Ms_SEL	RAS	CAS	WE	D ₂	D ₁	D ₀
0 - 3	000000-000011	1	0	0	1	1	1	0	0	1
4 - 7	000100-000111	0	0	0	1	1	1	0	0	0
8 - 15	001000-001111	0	1	0	1	1	1	0	1	0
16 - 23	010000-010111	0	1	0	0	1	1	0	1	1
24 - 31	010000-011111	0	1	1	0	1	1	1	0	0
32	100000-100000	0	0	0	1	1	1	0	0	0
33	100001-100001	0	0	0	1	1	0	0	0	0
34 - 35	100010-100011	0	0	0	1	1	1	0	0	0
36	100100-100100	0	0	0	1	1	1	0	0	0
37	100101-100101	0	0	0	1	1	0	0	0	0
38 - 39	100110-100111	0	0	0	1	1	1	0	0	0
40 - 47	101000-101111	0	0	0	1	1	1	0	0	0
48 - 63	110000-111111	0	0	0	1	1	1	0	0	0

Contenido de la PROM

Realización de circuitos secuenciales síncronos

Ejemplo (cont.):

$$T_{\min} = t_{p \text{ FF C-Q}} + t_{\text{ACC (ADD)}} + t_{s \text{ FF}}$$



Realización de circuitos secuenciales síncronos

Ejercicio:

Mostrar una implementación del circuito controlador diseñado en el ejemplo anterior utilizando D-FFs y la FPLA que muestra la figura.

