

# TEMA 5

Circuitos secuenciales síncronos.  
Representación mediante diagramas ASM.  
Tabla de Estados.

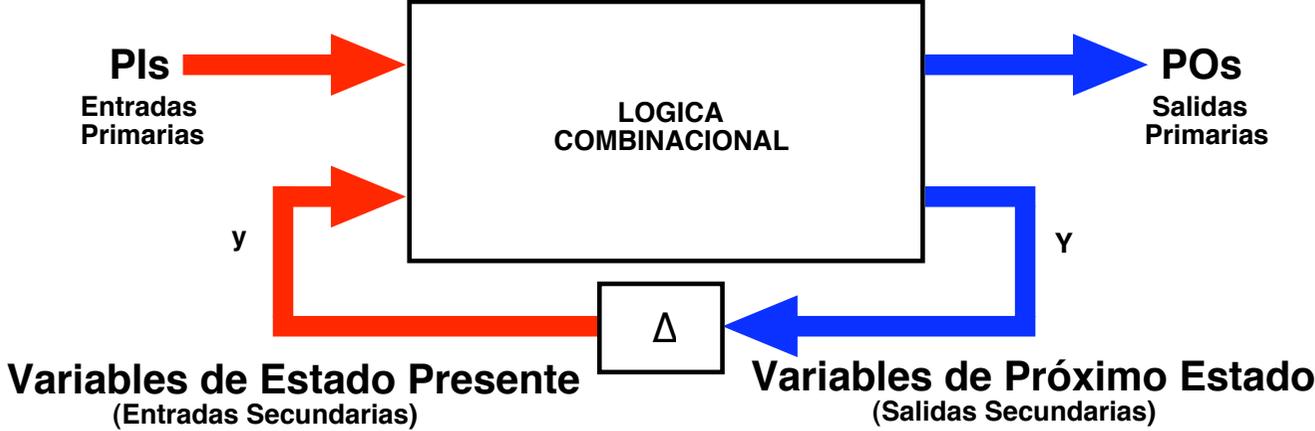
# Circuitos secuenciales

- ◇ Los circuitos **secuenciales** se **caracterizan** por:
  - La **respuesta** del circuito al valor que se aplica a sus entradas en un determinado momento **depende** de:
    - Valor que se aplica a las entradas en ese momento (**entrada actual**)
    - Las entradas aplicadas con anterioridad (historia de **entradas anteriores**)
  
- ◇ Un **cambio** en el **orden de aplicación** de las entradas en distintos instantes (**secuencia de entradas**) puede dar lugar a **distintas respuestas** a la **entrada actual**
  - Son capaces de distinguir **secuencias de entradas** aplicadas con anterioridad para dar lugar a **distintas respuestas** => **memoria**
  
- ◇ La historia de entradas o **secuencias de entradas** anteriores se “condensa” en el **estado actual** o **estado presente** del circuito
  - El **estado del circuito** se caracteriza por los valores estables en un conjunto de nudos del circuito (variables de estado)

# Elementos de memoria

- ◇ Un circuito secuencial en situación estable debe **retener su estado** presente mientras este no sea intencionadamente cambiado
  - El **cambio de estado** se produce por una **modificación en las entradas** del circuito
- ◇ La aplicación en un instante de unos determinados valores en las entradas (**condición de entrada**) de un circuito **secuencial** hace que este inicie una transición desde su **estado presente** hacia un nuevo estado (**próximo estado**)
- ◇ Los **mecanismos** utilizados por el circuito secuencial para **retener su estado** pueden ser de distintos tipos:
  - **Retardo** de los elementos (puertas lógicas) del circuito, lazos de **realimentación**
  - **Elementos de circuito secuenciales**: latches, flip-flops
    - Latches y flip-flops son circuitos secuenciales en sí mismos
- ◇ El **tiempo** surge como factor esencial en el comportamiento del circuito secuencial
- ◇ El **cambio en las entradas** y el **retardo de los componentes** determina la **evolución** del circuito secuencial. **Problemas**
  - Los retardos no están completamente bajo control del diseñador
  - Los retardos no son idénticos en dos réplicas de un mismo circuito secuencial
    - Dependiendo de los retardos => cambios de estado indebidos

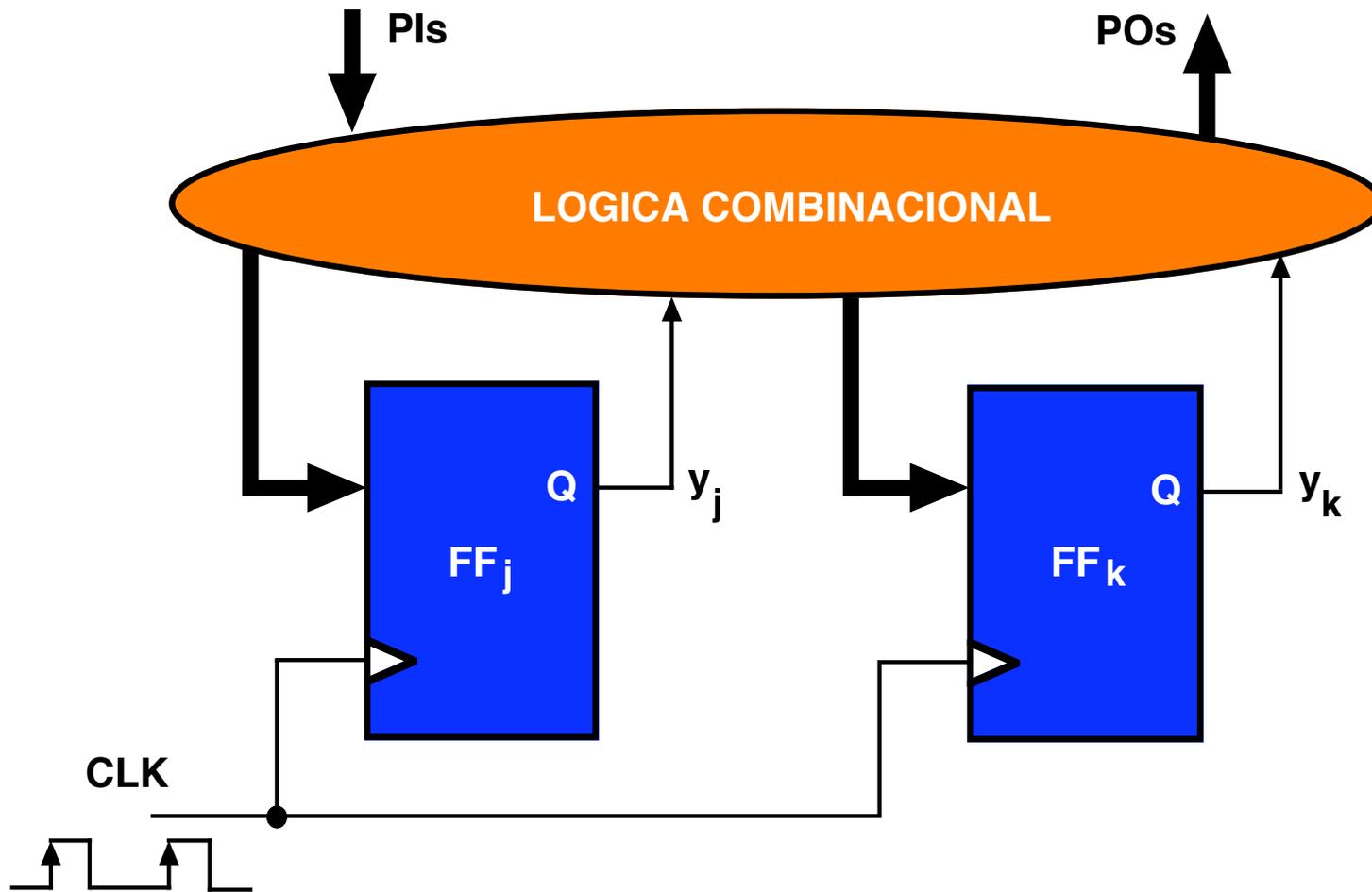
# Circuito secuencial



# Sincronización

- ◇ Circuitos secuenciales **síncronos**:
  - Los **cambios desde estado** presente a próximo estado suceden en **sincronismo** con una señal periódica específica denominada **señal de reloj**
  - Utilizan como elementos de memoria latches o flip-flops controlados por reloj: “**clocked latches**” o “**clocked flip-flops**”. La señal de reloj activa por nivel (latches) o por flanco (flip-flops) a los elementos de memoria
  - Cada latch o flip-flop almacena el valor de una **variable de estado** del circuito.
  - El **estado del circuito** se caracteriza por los valores almacenados (**salidas**) de los **elementos de memoria**
  - El conjunto de elementos de memoria se denomina **Registro de Estado**
  
- ◇ Circuitos secuenciales **estrictamente síncronos**:
  
- ◇ Una señal de **reloj global** conectada directamente al **terminal de entrada de reloj** de **todos los flip-flops (FFs)**
  
- ◇ Con **cada transición activa** o **evento activo** de la señal de **reloj global** se provoca **un sólo cambio** (o **actualización**) en el estado de **todos** los FFs, alcanzándose rápidamente la nueva situación estable

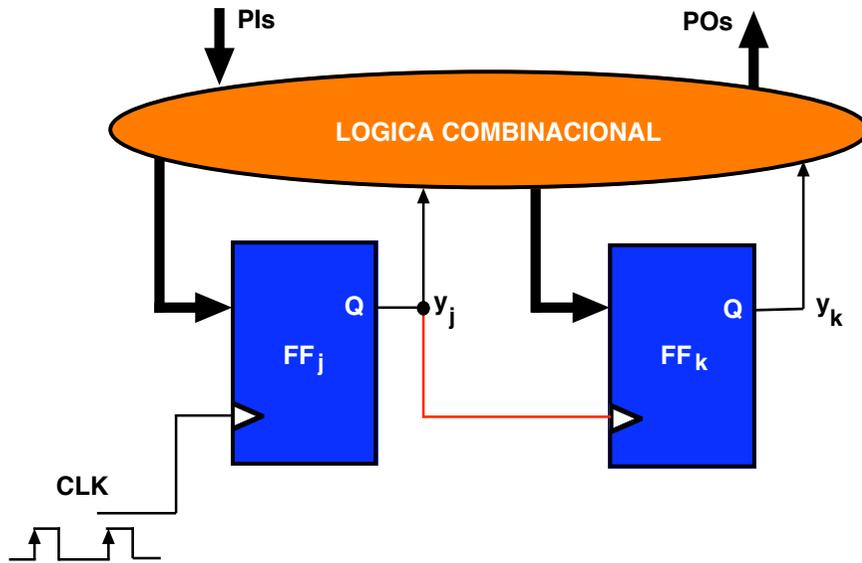
# Sincronización (2)



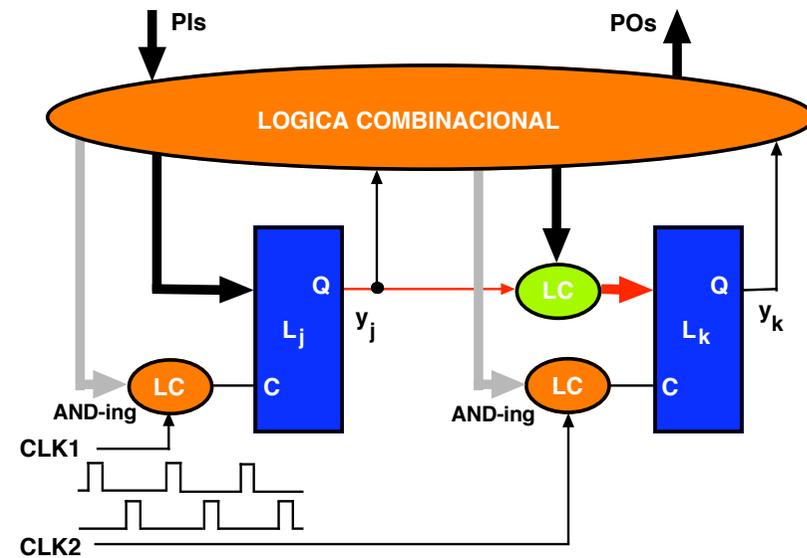
# Sincronización (3)

- ◇ **Otros tipos de circuitos secuenciales **síncronos** (**sincronizados**):**
  - El terminal de entrada de reloj de algunos FFs tiene diferente polaridad
  - La señal conectada al terminal de entrada de reloj de algún FF proviene de la salida (secuencial) de otro FF
  - Distintas señales de reloj, cada una de ellas controlando a un grupo de latches o FFs
    - Algunos circuitos utilizan latches controlados por distintos relojes, no solapados a nivel activo, para obtener circuitos síncronos
  - La señal conectada al terminal de entrada de reloj de algún FF proviene de la señal de reloj global, pero se utiliza lógica combinatorial para seleccionar o controlar los impulsos o cambios que llegan al terminal de reloj (“**gated clock**”)
- ◇ **No existe una gran diferencia (excepto conceptual) entre estos circuitos (particularmente los del último tipo) y los estrictamente síncronos. De hecho, es posible transformar de forma sencilla circuitos estrictamente síncronos para utilizar “gated clocks” y viceversa.**

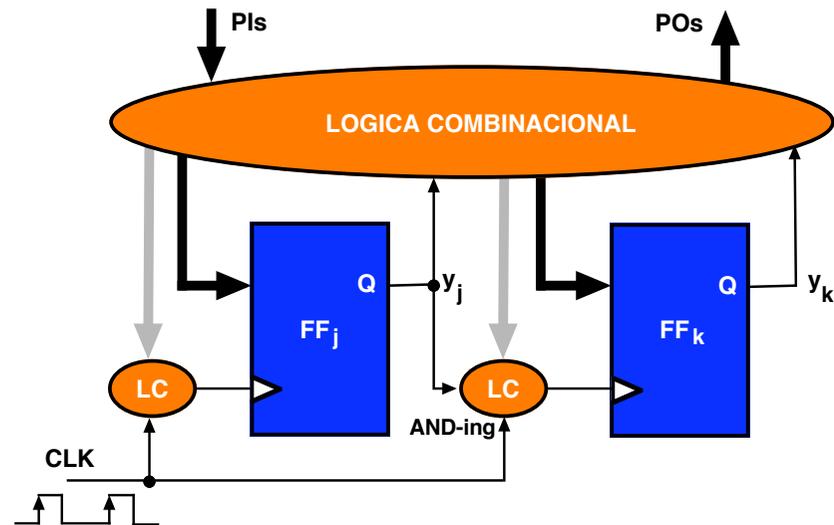
# Sincronización (4)



Disparo por flanco en salida de FF



Latches y relojes no solapados (con "gated-clocks")



"Gated-clock"

# Máquinas secuenciales: FSM

## ◇ Máquina de un número infinito de estados

- Ejemplo:

Contador del número de flancos activos que llegan al terminal de entrada de reloj del circuito

- Número infinito de estados

## ◇ Máquina de un **número finito de estados** (“Finite State Machine”, FSM)

- Ejemplo:

Detector de la paridad del número de flancos de reloj activos que llegan al terminal de entrada de reloj del circuito

- Número finito de estados (2)

\* Estado  $\Leftrightarrow$  Clase de equivalencia

# Máquinas secuenciales: Modelos

## ◇ Tiempo de Estado

Tiempo que transcurre entre dos **activaciones sucesivas** de la señal de **reloj**

- Si los FFs son disparados por flanco: Tiempo entre dos flancos activos consecutivos de la señal de reloj del sistema
- Magnitud igual al período de la señal de reloj del sistema

## ◇ Tiempo de validez de las Entradas

Caso general: Las entradas pueden cambiar en cualquier instante del Tiempo de Estado, mientras se **respeten** los tiempos de **asentamiento** (“ $t_{\text{setup}}$ ”) y de **mantenimiento** (“ $t_{\text{hold}}$ ”) de las entradas de datos de los FFs

- El cambio en las entradas en su tiempo de validez puede cambiar las salidas del circuito, pero no su estado presente (PE)
- El **próximo estado** (NS) se determina en el **momento de la captura de los datos** en las entradas de los FFs => Las entradas deben estar fijadas y estables con anterioridad

## ◇ Tiempo de validez de las Salidas

Caso general: Las salidas pueden cambiar al modificarse las entradas en cualquier instante del Tiempo de Estado

# Máquinas secuenciales: Modelos (2)

y	Variables de estado presente	„	I	Variables de entrada
Y	Variables de próximo estado	„	Z	Variables de salida

◇ El **Próximo Estado** (NS) de la máquina depende de

- Condición de **entrada actual** (PIs)
- **Estado Presente** (PS) de la máquina

$$Y = f(I, y)$$

## Máquina de tipo **Mealy**

◇ Las salidas (POs) de la máquina dependen de:

- Condición de **entrada actual** (PIs)
- **Estado Presente** (PS) de la máquina

$$Z = g(I, y)$$

## Máquina de tipo **Moore**

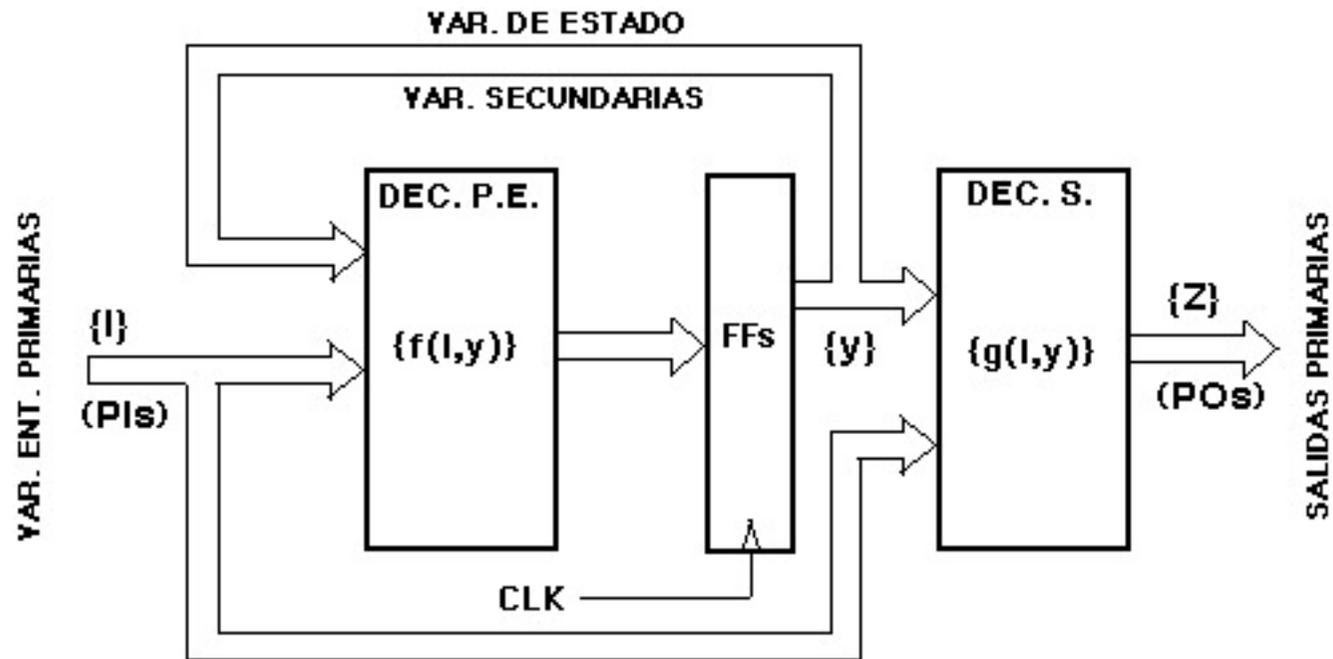
◇ Las salidas (POs) de la máquina dependen de:

- **Estado Presente** (PS) de la máquina

$$Z = g(y)$$

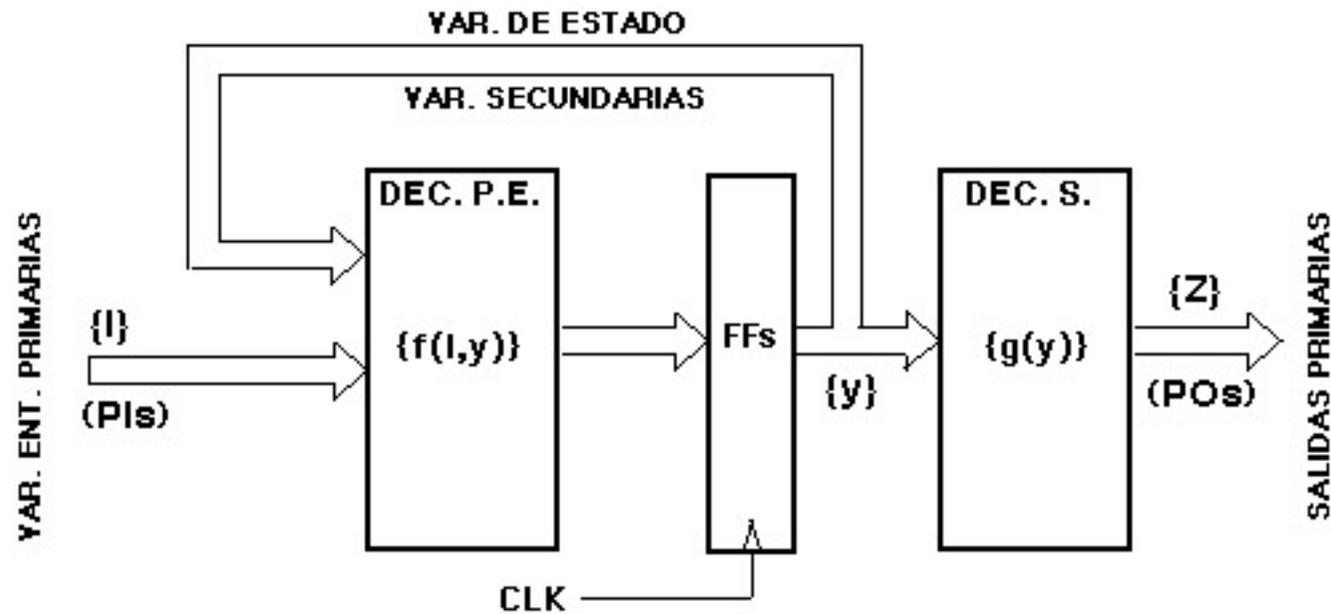
\* Modelos válidos para máquinas síncronas y asíncronas

# Máquinas secuenciales: Modelos (3)



Máquina de tipo Mealy (Clase A)

# Máquinas secuenciales: Modelos (4)



Máquina de tipo Moore (Clase B)

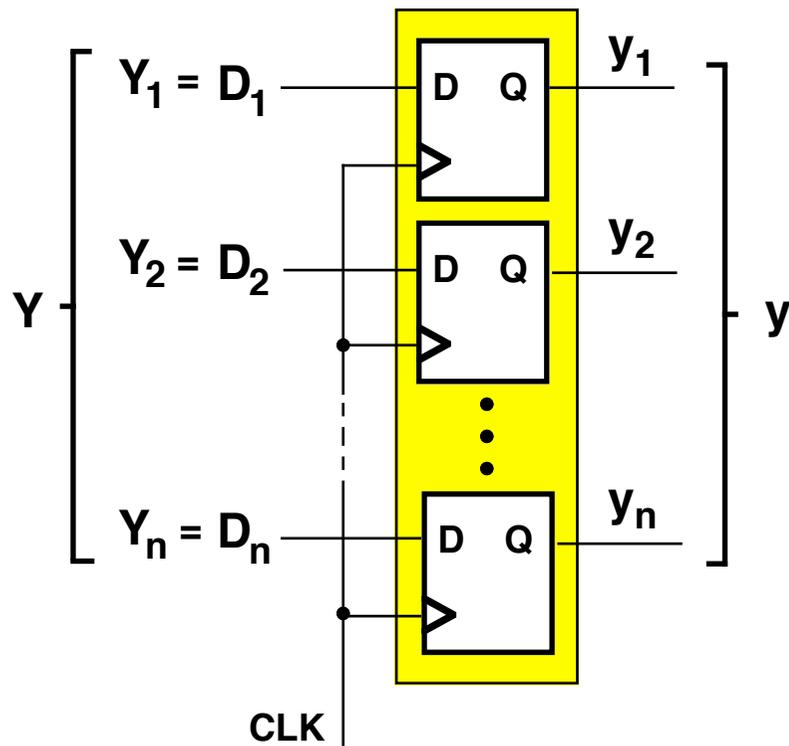
# Máquinas secuenciales: Modelos (5)

En general, en un circuito secuencial **coexisten** salidas de **tipo Mealy** (dependientes del estado presente y de la entrada actual) y de **tipo Moore** (dependientes sólo del estado presente)

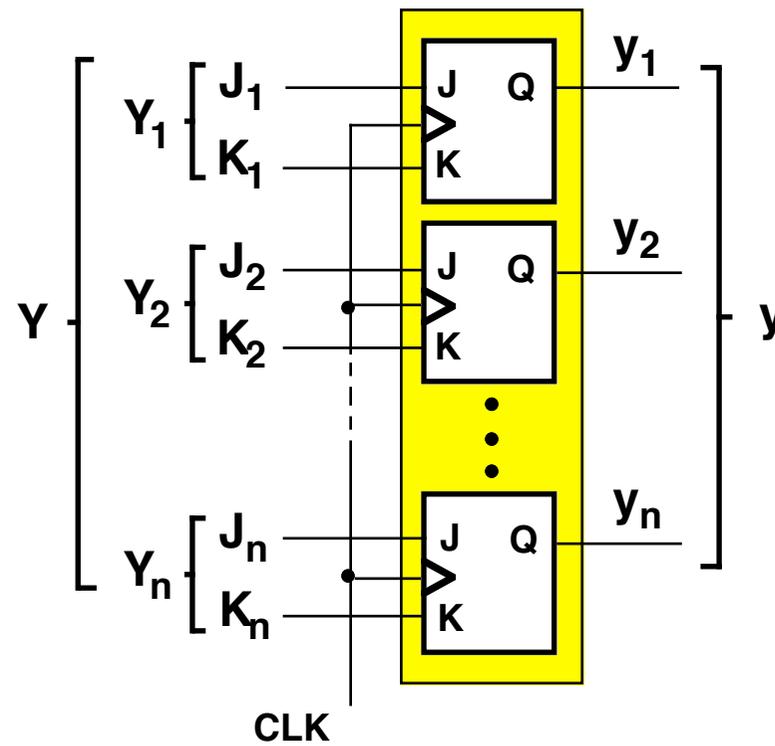
Existen numerosos subtipos:

- **FF, Registro de carga paralelo:**  
Circuitos secuenciales de tipo Moore en los que además no existe DEC de salida ( $Z = \{y\} = \{Q\}$ )
- **Contador unidireccional:**  
Circuito secuencial de tipo Moore en el que, usualmente, no existe DEC de salida ( $Z = \{y\} = \{Q\}$ ) ni Pls. La **salida actual y el próximo estado dependen exclusivamente del estado presente**

# Variables de Estado y Registro de Estado



D-FFs



JK-FFs

# Circuitos Secuenciales Síncronos: Representación

◇ Representar el modo de **operación de una FSM** de manera:

- Rigurosa
- No ambigua
- Comprensible
- Útil para la síntesis, depuración, corrección

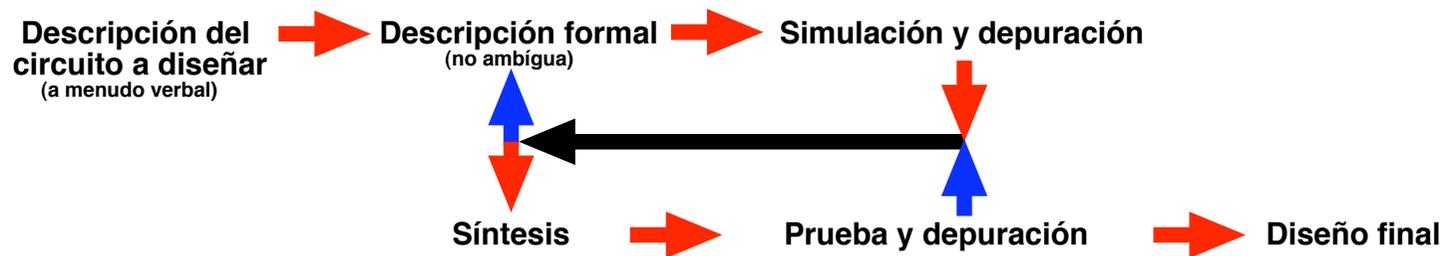
◇ Niveles de abstracción desde

Descripciones HDL a nivel de comportamiento

hasta

Expresiones booleanas para los DEC's de NE y Salida

Cada una de ellas adecuada a la fase en que se encuentre el diseño



# Circuitos Secuenciales Síncronos: Representación (2)

- ◇ En el contexto de este tema, interesan representaciones que, aún siendo **abstractas**, permitan:
  - **Visualizar el flujo de operación del circuito**
  - **Temporización de las señales de forma clara**
  - **Control sobre el diseño (optimización, minimización, ...)**
  
- ◇ Representaciones **gráficas**
  - Diagrama de Estados (“State Diagram”)  
**Máquinas sencillas**
  - Diagrama ASM (“**A**lgorithmic **S**tate **M**achine”)  
**Mediana complejidad con fácil visualización de la temporización**
  - Diagrama MDS (“**M**nemonic **D**ocumented **S**tate **D**iagram”)  
**Máquinas específicas complejas (microprocesadores, ...)**

Permiten visualizar la operación del circuito y sirven como paso intermedio para obtener una representación adecuada para la síntesis “manual” o asistida por computador (CAD)

# Diagramas ASM

Máquina secuencial o Procesador (modelo de Von Newman)

- ◇ **Unidad de Control**

Activa o desactiva los componentes de un procesador. Secuencia las operaciones a realizar y genera las señales de control para

ejecutarlas ◇ **Ruta de datos (“Data Path”)**

Unidades funcionales destinadas a procesar datos en respuesta a las señales de control

- Comparadores**

- Unidades aritméticas (Sumadores-Restadores, Multiplicadores, ...)**

- ...

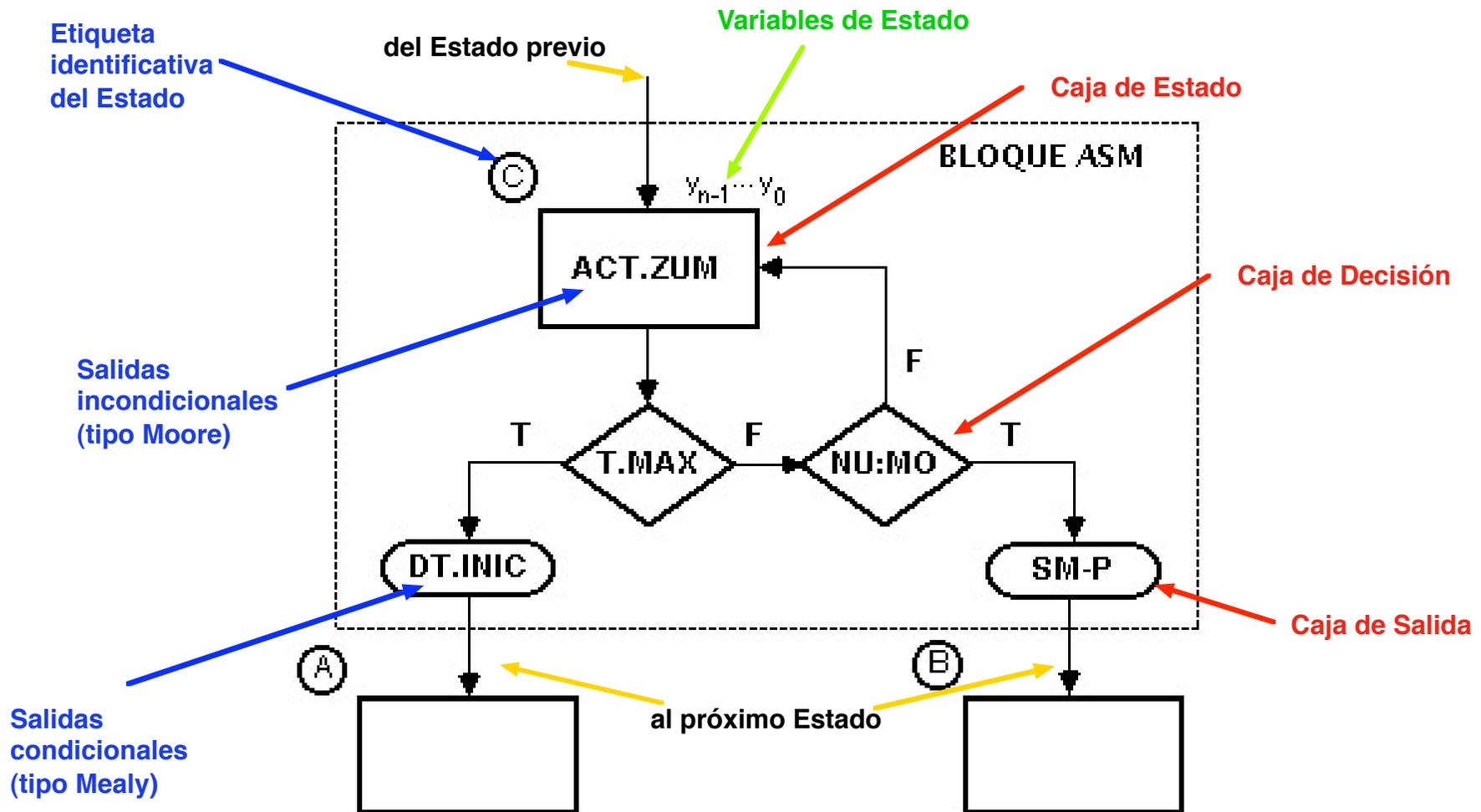
- Envía al subsistema de control información sobre resultados de operaciones, status, ...

Un Diagrama ASM representa la actividad de la Unidad de Control de la máquina

Un Diagrama ASM consta de Bloques ASM interconectados

- ◇ Cada **Bloque ASM** representa un **estado** de la máquina. Existen tantos Bloques ASM como estados tiene la máquina

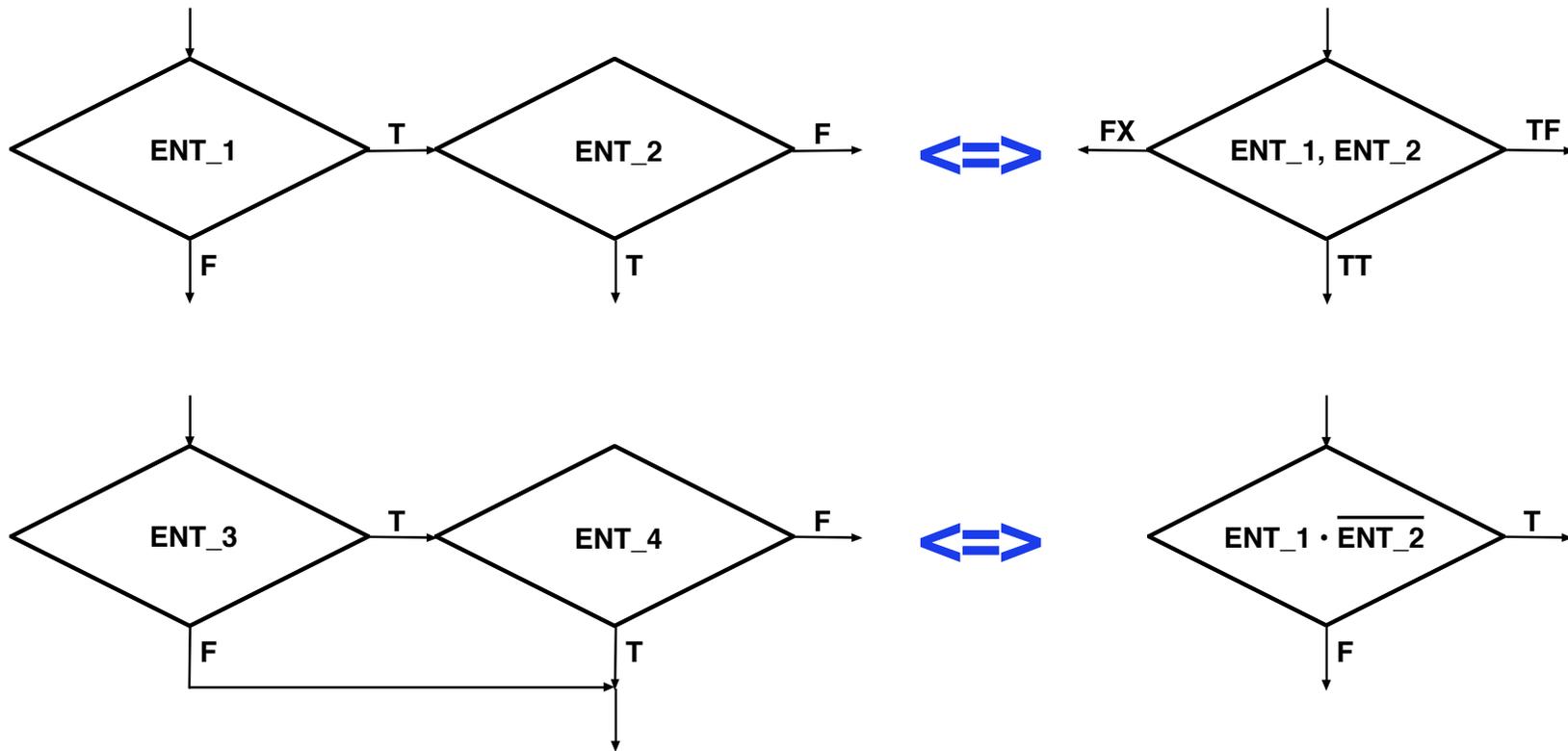
# Diagramas ASM: Bloque ASM



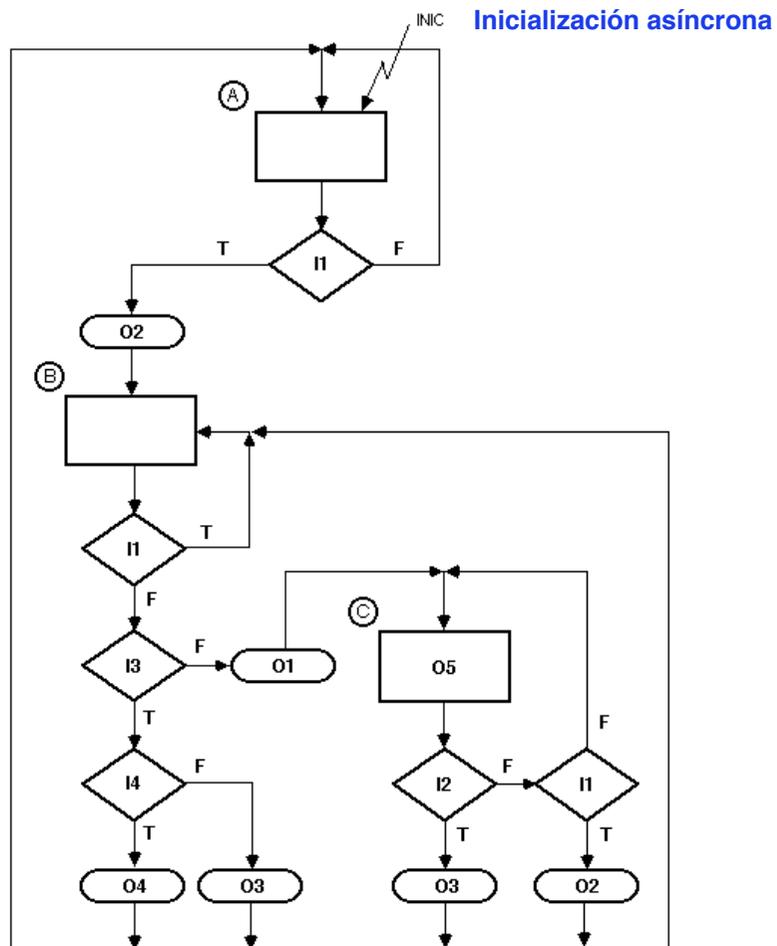
\* Un arco de entrada. Uno o más arcos de salida

\*\* Flanco (o transición activa) del reloj implícito en una transición entre estados

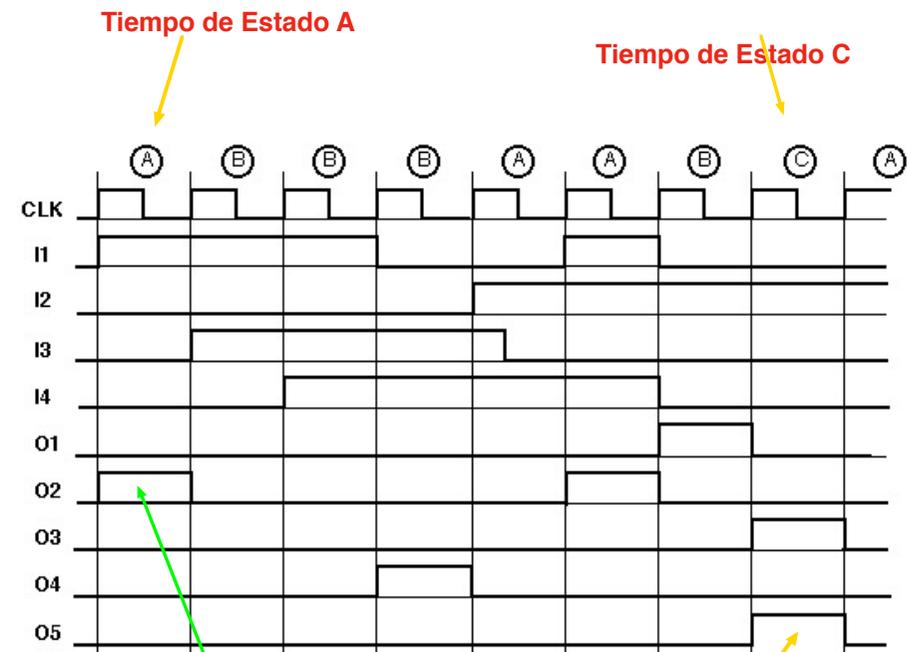
## Diagramas ASM: Bloque ASM (2)



# Lectura y análisis de un Diagrama ASM



- 3 Estados: A, B, C (Cajas de Estado)
- 4 Entradas: I1, I2, I3, I4 (Cajas de Decisión)
- 5 Salidas: O1, O2, O3, O4, O5 (Cajas de Estado y de Salida)



Salida O5 Verdadera si está en el estado C

Salida O2 Verdadera si estando en el estado A, la entrada I1 es Verdadera

\* Caso ideal sin retardos

\*\* Caso particular, los cambios en las entradas están sincronizados con la señal de reloj

# Construcción del Diagrama ASM

## Ejemplo:

## Descripción verbal detallada

Se desea diseñar un circuito secuencial síncrono capaz de controlar el funcionamiento de una máquina expendedora de un solo producto. El circuito a diseñar recibe como entradas las señales:

MO.H	Moneda introducida. Pulso MO de anchura mucho mayor que un ciclo de reloj del circuito.
T.MAX.H	El tiempo de espera entre monedas ha alcanzado el valor máximo preestablecido, T.MAX.
SM>P.H	La suma de los valores de las monedas introducidas, SM, supera el precio fijado P.
CD>SM-P.H	La máquina expendedora dispone de cambio suficiente: Cambio_Disponible > SM-P.

El circuito debe generar las señales de salida:

RC/AC.L	Reinicia un contador de tiempo y seguidamente arranca la cuenta.
SM/SM-P.H	Contabiliza la suma, SM, de los valores de las monedas introducidas. Obtiene SM-P.
DSM/ISM.H	Devuelve todas las monedas e inicializa la suma contabilizada.
S.PROD.L	Devuelve el cambio, suministra el producto, inicializa la suma contabilizada y actualiza el valor del cambio disponible.
A.ZUMB.H	Activa un zumbador cuando, una vez introducida alguna moneda, la máquina requiere nuevas monedas para suministrar el producto.

Después de introducir una moneda, una vez finalizado el pulso MO, si  $SM \geq P$  se activa la señal S.PROD.L. Si  $SM < P$  se activa la señal RC/AC.L; si el tiempo que tarda en recibir una nueva moneda supera T.MAX (mucho mayor que un ciclo de reloj), la máquina devolverá todas las monedas introducidas y volverá al estado inicial. Lo mismo ocurre si el cambio disponible no es suficiente para devolver el cambio preciso. Se pide:

# Construcción del Diagrama ASM (2)

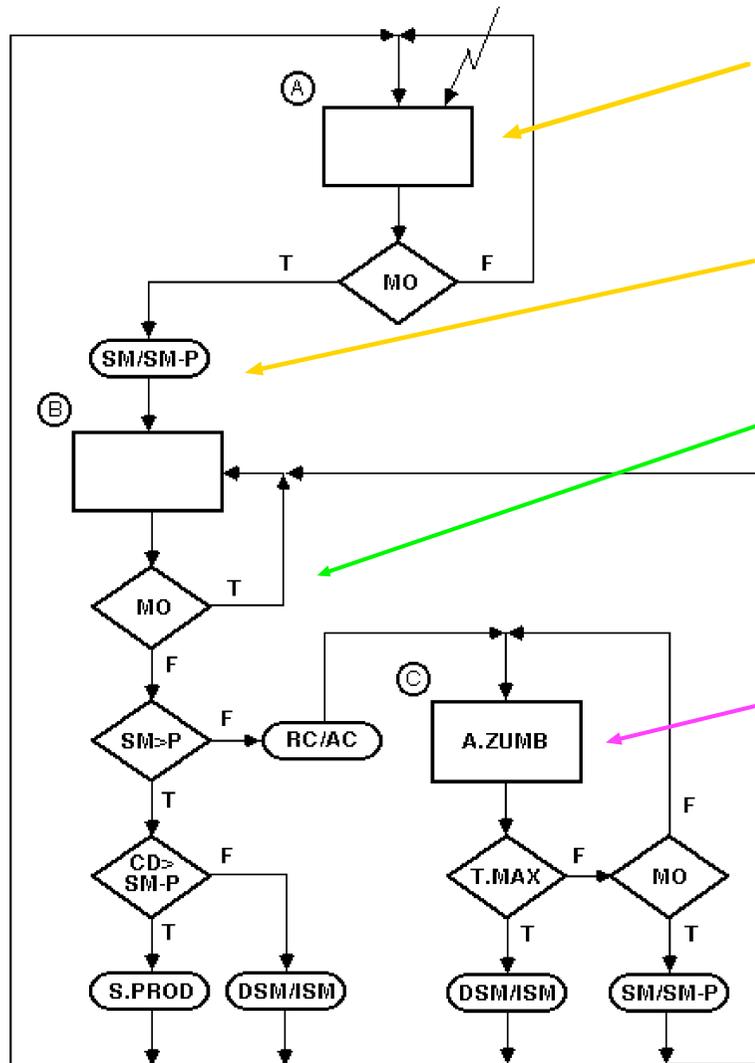
## Ejemplo (cont.):

## Descripción verbal detallada

- a) Mostrar el Diagrama ASM que describe la operación del circuito.
- b) Encontrar una implementación para el circuito empleando FFs de tipo D disparados por flanco positivo y puertas lógicas SSI. Considérese el criterio de lógica mixta y obténganse todas las expresiones en forma SOP.

Supóngase que el circuito tiene la posibilidad de inicialización asíncrona.

# Construcción del Diagrama ASM (3)



Estado inicial A (a la espera de que llegue una moneda)

Mientras no se detecte moneda, al llegar un flanco activo de reloj, el circuito “evoluciona” hacia el mismo estado A

Si detecta moneda, activa la señal SM/SM-P. En respuesta, la Ruta de Datos obtendrá SM y SM-P y CD-(SM-P), señales de entrada del circuito de control

Cuando llegue el flanco activo del reloj evolucionará hacia el estado B

Mientras no finalice el pulso MO (mucho mayor que un ciclo de reloj), al llegar un flanco de reloj, “evoluciona” hacia el mismo estado B

Cuando finaliza el pulso MO, dependiendo de las entradas SM-P y CD, generadas por la Ruta de Datos, el circuito activará las salidas S.PROD, DSM/ISM o RC/AC

Cuando llegue el flanco activo del reloj evolucionará hacia el estado A o hacia el C, según el caso

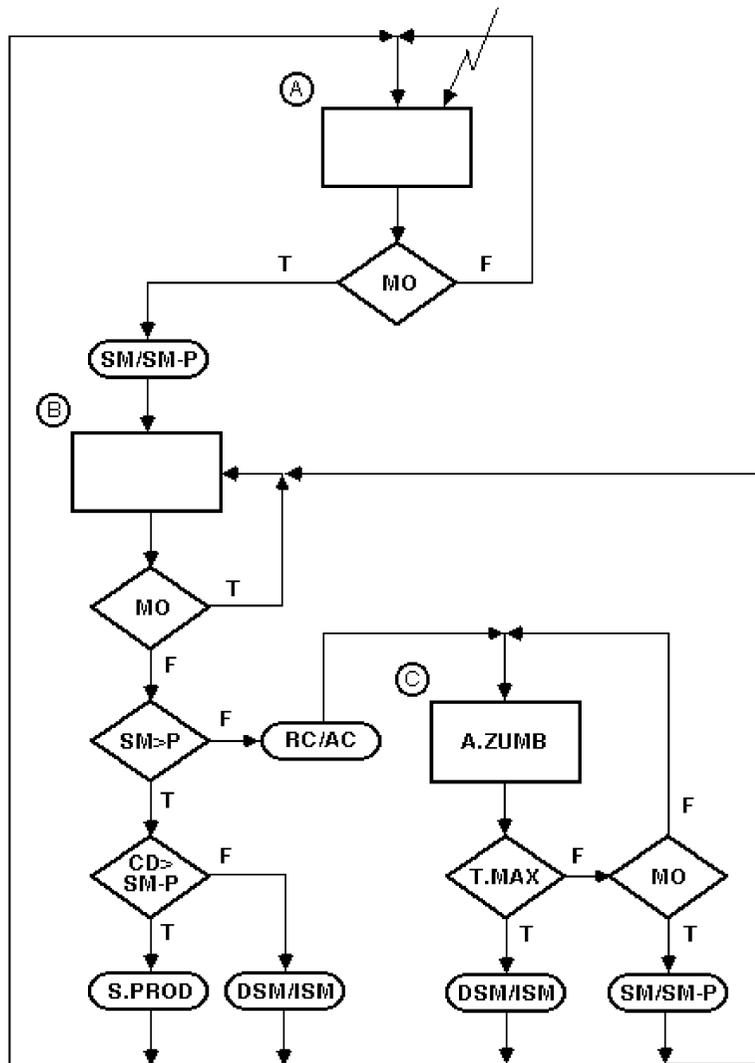
Cuando llega al estado C activa la señal de salida A.ZUMB

Mientras no se activen T.MAX o MO (entradas del circuito de control generadas por la ruta de datos), con cada nuevo flanco activo de reloj, “evoluciona” hacia el mismo estado

Si llegan T.MAX o MO, el circuito de control activa las salidas DSM/ISM o SM/SM-P

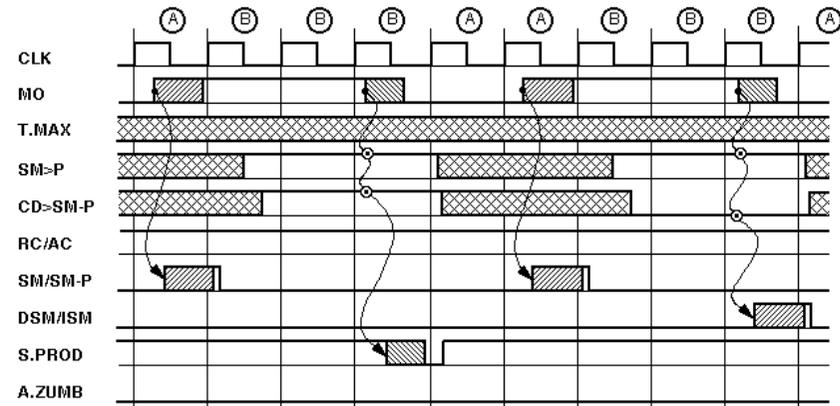
Cuando llegue el flanco activo del reloj evolucionará hacia el estado A o hacia el B, según el caso

# Construcción del Diagrama ASM (4)

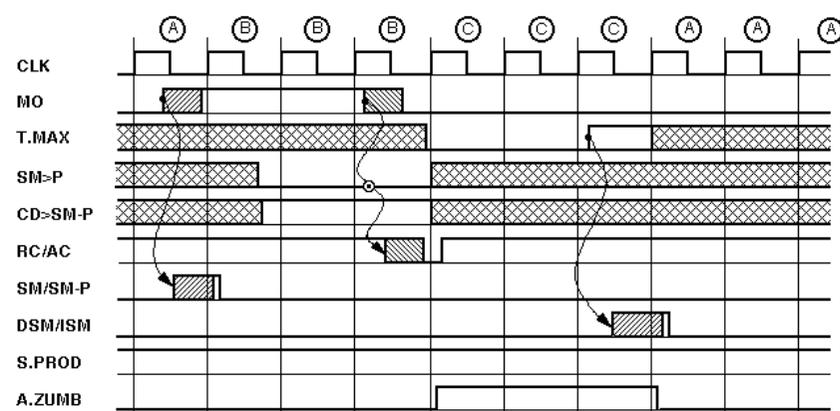


a)  $SM \geq P$  y  $CD \geq SM-P$ .

b)  $SM \geq P$  y  $CD < SM-P$

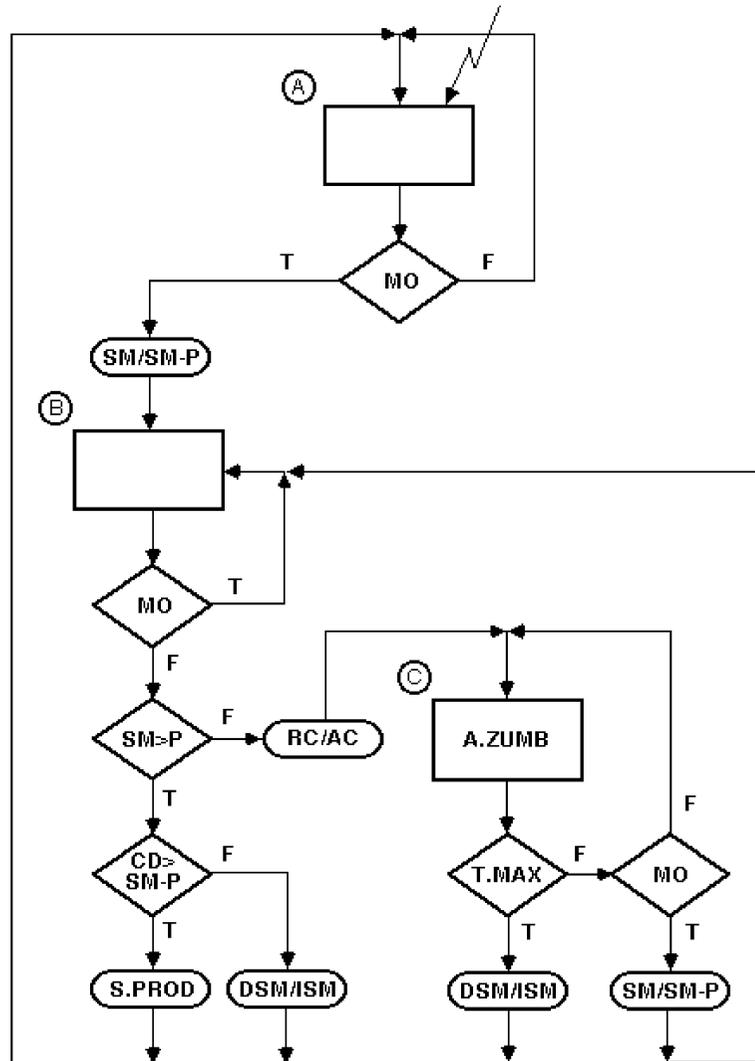


c)  $SM < P$  y  $T.MAX$



- condición de activación
- ◉ condición Y  
condición chequeada
- posible cambio L-H
- posible cambio L-H
- don't care  
cambios L-H y H-L  
permitidos

# Funciones de Transición y de Salida



## Asignación de Estados (Asignación Secundaria)

Asignación de Estados arbitraria

Variables de **Estado Presente (PS)**:  $y_1 y_0$

A:  $y_1 y_0 = 00$

B:  $y_1 y_0 = 01$

C:  $y_1 y_0 = 11$

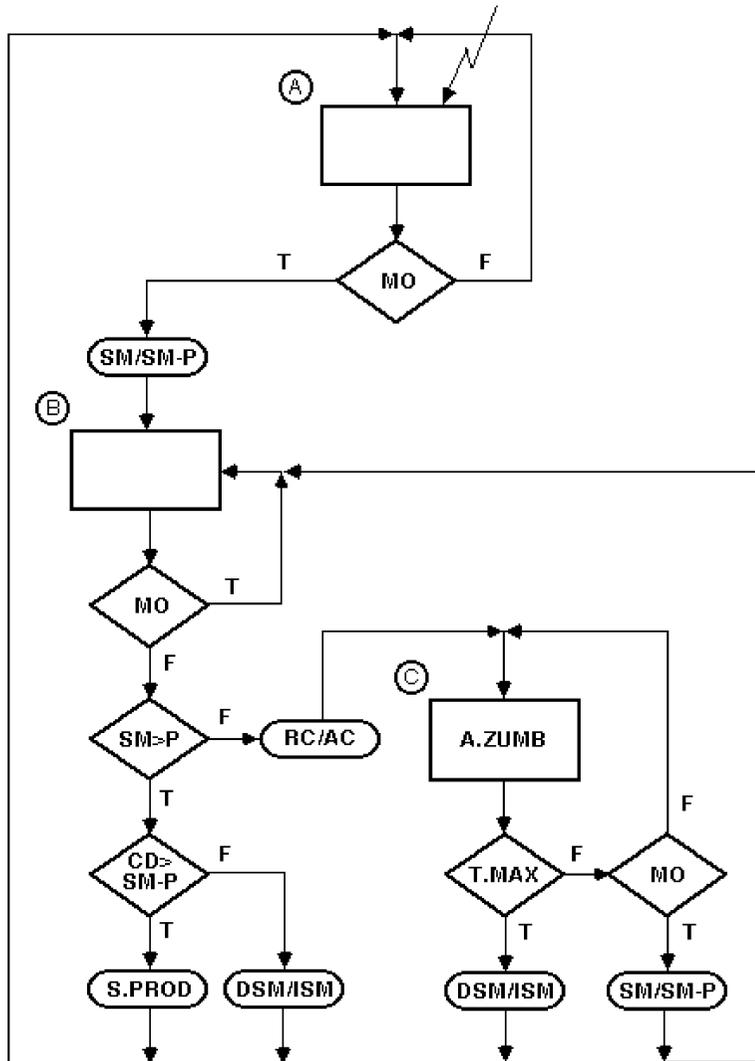
Variables de **Próximo Estado (NS)**:  $Y_1 Y_0$

$Y_1 = 1$  (Verdadero) *iff* **NE** es **C**  $\Rightarrow$

**PS** es **B** y **MO** es falso y **SM  $\geq$  P** es falso o  
o **PS** es **C** y **T.MAX** es falso y **MO** es falso

$$Y_1 \cdot H = [ /y_1 \cdot y_0 \cdot /MO \cdot /SM \geq P + y_1 \cdot y_0 \cdot /T.MAX \cdot /MO ] \cdot H$$

# Funciones de Transición y de Salida (2)



## Funciones de Transición y de Salida

Asignación de Estados arbitraria

- A:  $y_1 y_0 = 00$
- B:  $y_1 y_0 = 01$
- C:  $y_1 y_0 = 11$

$Y_0 = 1$  (Verdadero) *iff* NS es B o C  $\Rightarrow$

- o PS es A y MO es cierto o
- o PS es B y MO es cierto o
- o PS es C y T.MAX es falso y MO es cierto o
- o PS es B y MO es falso y SM  $\geq$  P es falso o
- o PS es C y T.MAX es falso y MO es falso

$$Y_0 \cdot H = [ /y_1 \cdot /y_0 \cdot MO + /y_1 \cdot y_0 \cdot MO + y_1 \cdot y_0 \cdot /T.MAX \cdot MO + /y_1 \cdot y_0 \cdot /MO \cdot /SM \geq P + y_1 \cdot y_0 \cdot /T.MAX \cdot /MO ] \cdot H$$

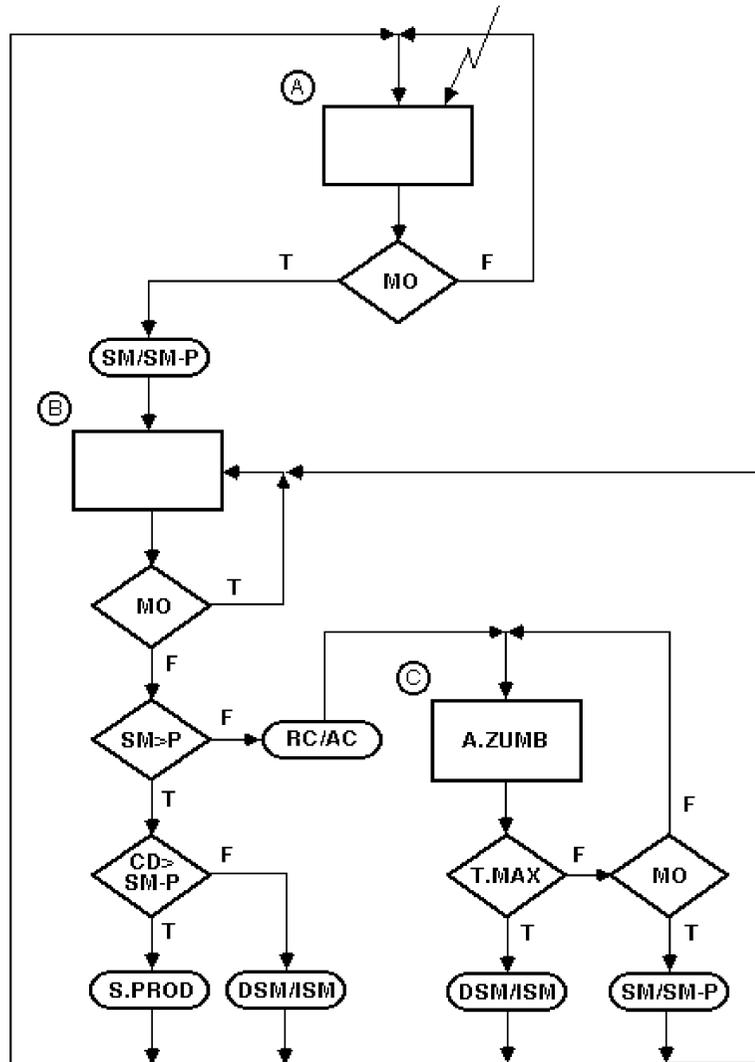
$$= [ /y_1 \cdot MO + y_0 \cdot /T.MAX \cdot MO + Y_0 ] \cdot H$$

## Funciones de Excitación

$$D_1 = Y_1 \quad ,, \quad D_0 = Y_0$$

DEC de NS

# Funciones de Transición y de Salida (3)



## Funciones de Transición y de Salida

A:  $y_1 y_0 = 00$

B:  $y_1 y_0 = 01$

C:  $y_1 y_0 = 11$

$SM/SM-P = 1$  (Verdadero) *iff*

**PS** es **A** y **MO** es **verdadero** o  
o **PS** es **C** y **T.MAX** es **falso** y **MO** es **verdadero**

$$SM/SM-P.H = [ /y_1 \cdot /y_0 \cdot MO + y_1 \cdot y_0 \cdot /T.MAX \cdot MO ].H$$

Análogamente las restantes **Funciones de Salida**:

$$RC/AC.L = [ /y_1 \cdot y_0 \cdot /MO \cdot /SM \geq P ].L$$

$$S.PROD.L = [ /y_1 \cdot y_0 \cdot /MO \cdot SM \geq P \cdot CD \geq SM-P ].L$$

$$DSM/ISM.H = [ /y_1 \cdot y_0 \cdot /MO \cdot SM \geq P \cdot /CD \geq SM-P + y_1 \cdot y_0 \cdot T.MAX ].H$$

$$A.ZUMB.H = [ y_1 \cdot y_0 ].H$$

**DEC de Salida**

# Síntesis y Simulación circuital

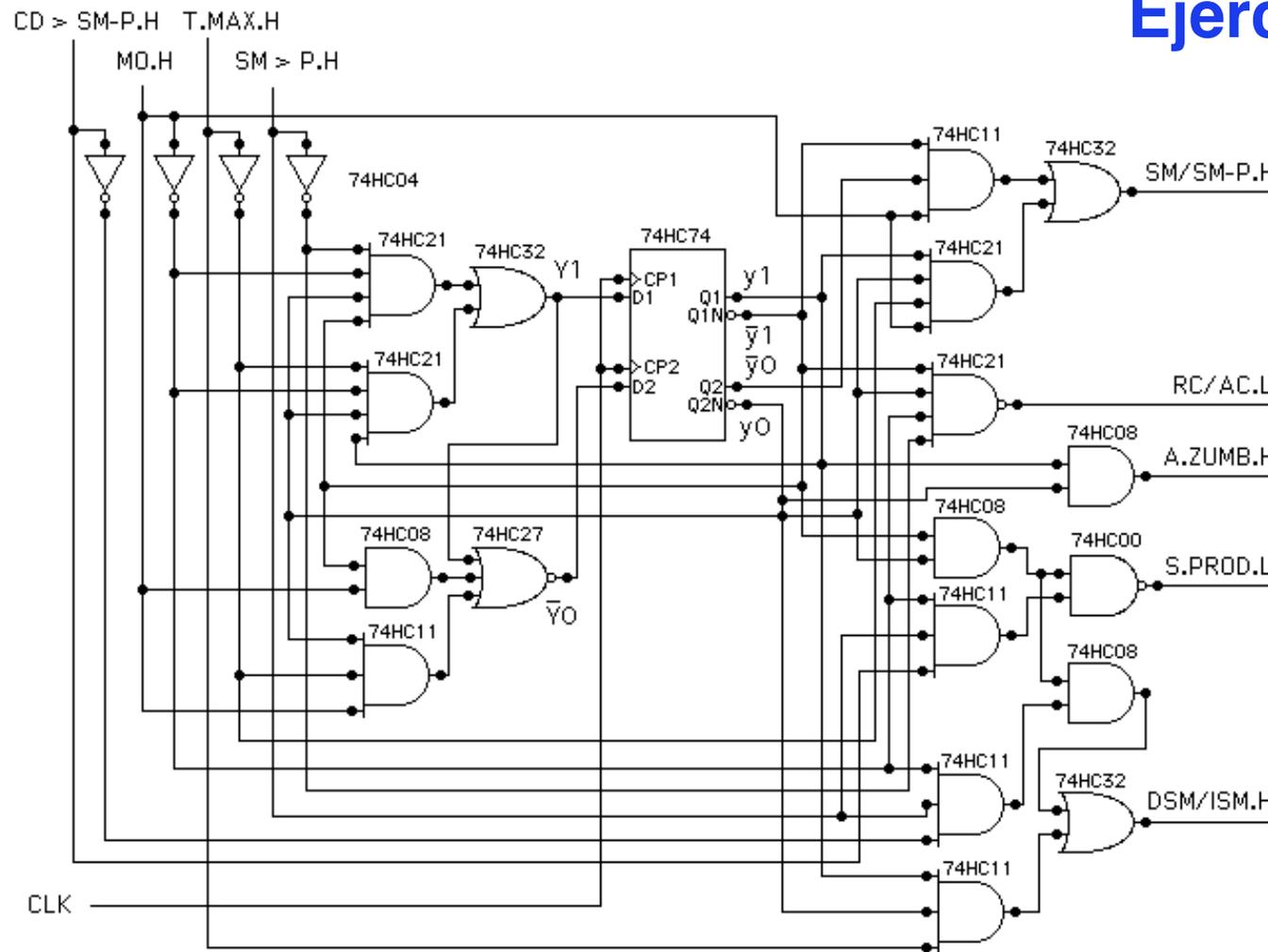
## Ejercicio 1

Utilizando el simulador lógico CircuitMaker®, y partiendo de las Funciones de Excitación y de Salida obtenidas en el ejemplo anterior, se pide:

- a) Instanciando componentes SSI, sintetizar el circuito diseñado.
- b) Utilizando el dispositivo Generador de Funciones, programar diversas secuencias de entrada para probar el funcionamiento correcto del circuito diseñado. Considerar un período de reloj considerablemente mayor que el retardo de los DEC's de NS y Salida.
- c) Reducir progresivamente el período de la señal de reloj, comprobando la máxima frecuencia de operación para la que el circuito opera correctamente.

# Síntesis y Simulación circuital (2)

## Ejercicio 1



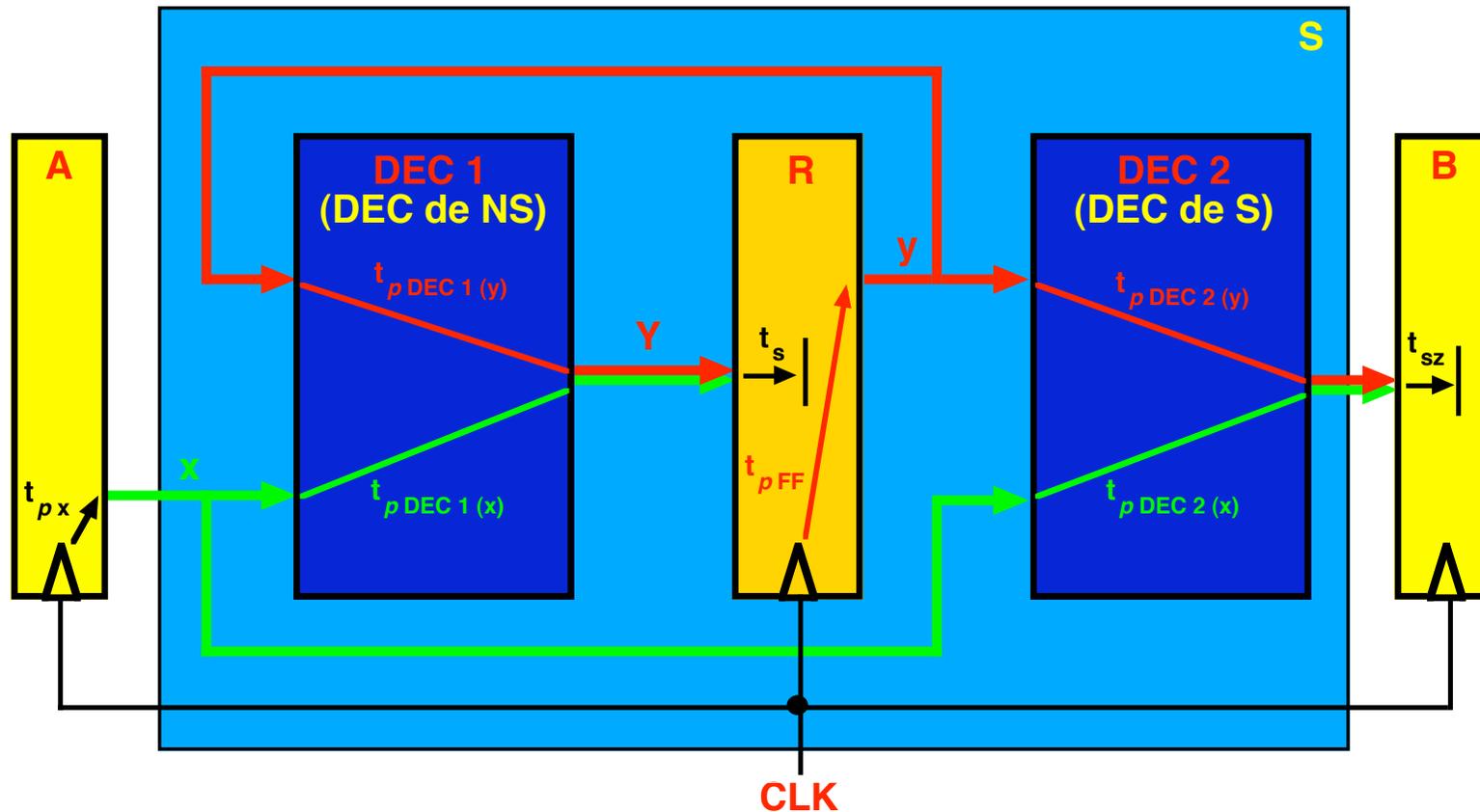
# Construcción del Diagrama ASM

## Ejercicio 2

Considérese el circuito del ejemplo anterior, se pide:

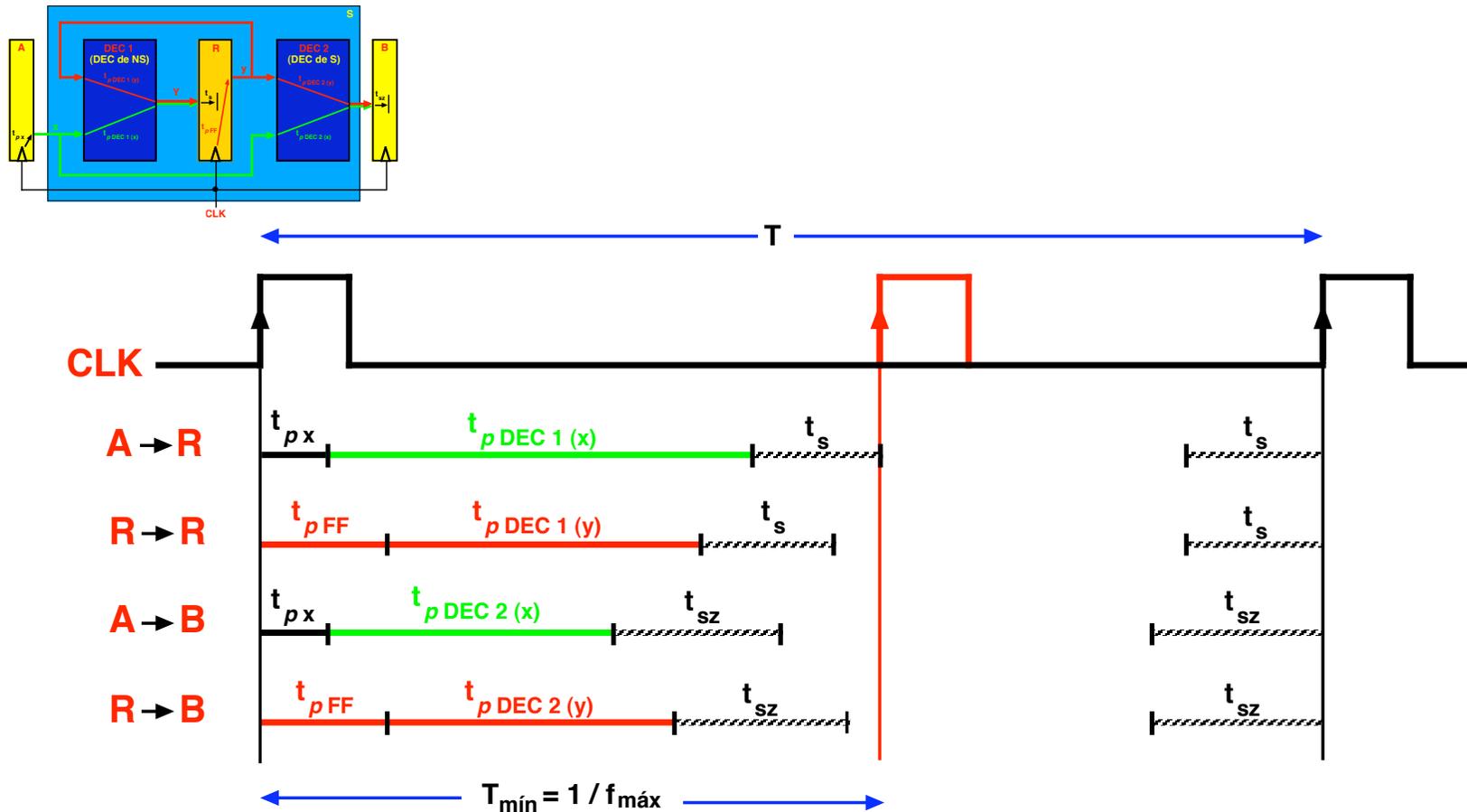
Mostrar un Diagrama ASM para la implementación del circuito como máquina de tipo Moore (Clase B)

# Máxima Frecuencia de Operación



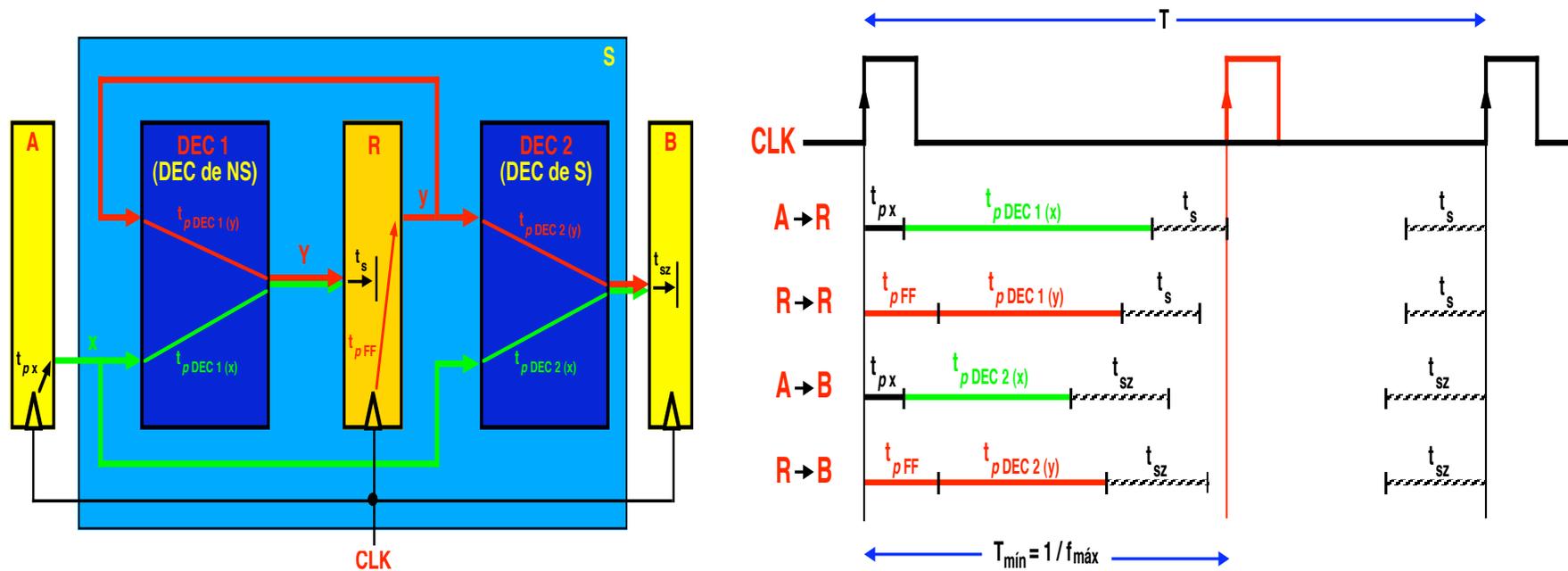
- A** Circuito generador síncrono de las señales de entrada
- B** Circuito receptor síncrono de las señales de salida

# Máxima Frecuencia de Operación (2)



$$T_{\min} = \max \{ t_{px} + t_{pDEC 1(x)} + t_s, t_{pFF} + t_{pDEC 1(y)} + t_s, t_{px} + t_{pDEC 2(x)} + t_{sz}, t_{pFF} + t_{pDEC 2(y)} + t_{sz} \}$$

# Máxima Frecuencia de Operación (2\*)



$$T_{\min} = \max \{ t_{px} + t_{pDEC 1(x)} + t_s, t_{pFF} + t_{pDEC 1(y)} + t_s, t_{px} + t_{pDEC 2(x)} + t_{sz}, t_{pFF} + t_{pDEC 2(y)} + t_{sz} \}$$

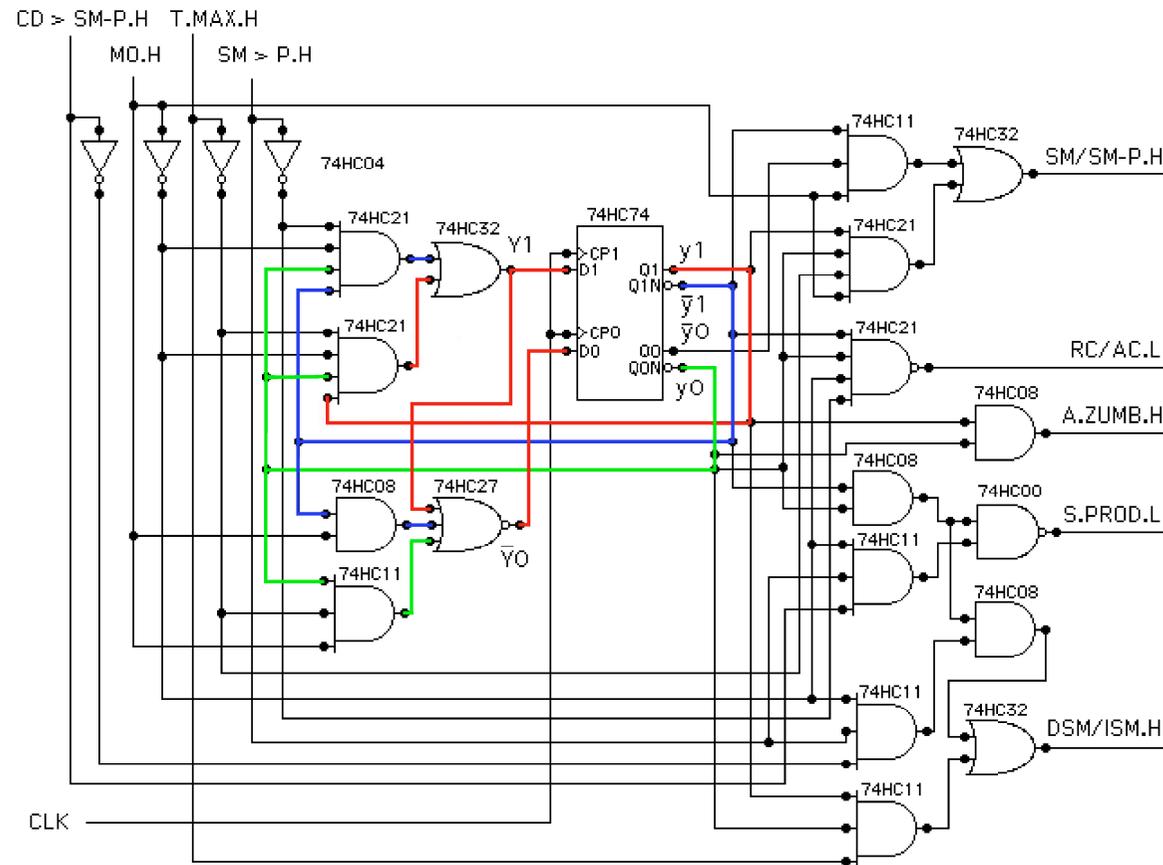
# Máxima Frecuencia de Operación (3)

## Ejercicio 3

Considérese el circuito diseñado en el ejemplo anterior. Suponiendo que para cada uno de los componentes el tiempo de propagación de subida y de bajada es el mismo y que los tiempos de asentamiento para los niveles L y H de cada FF son iguales, se pide:

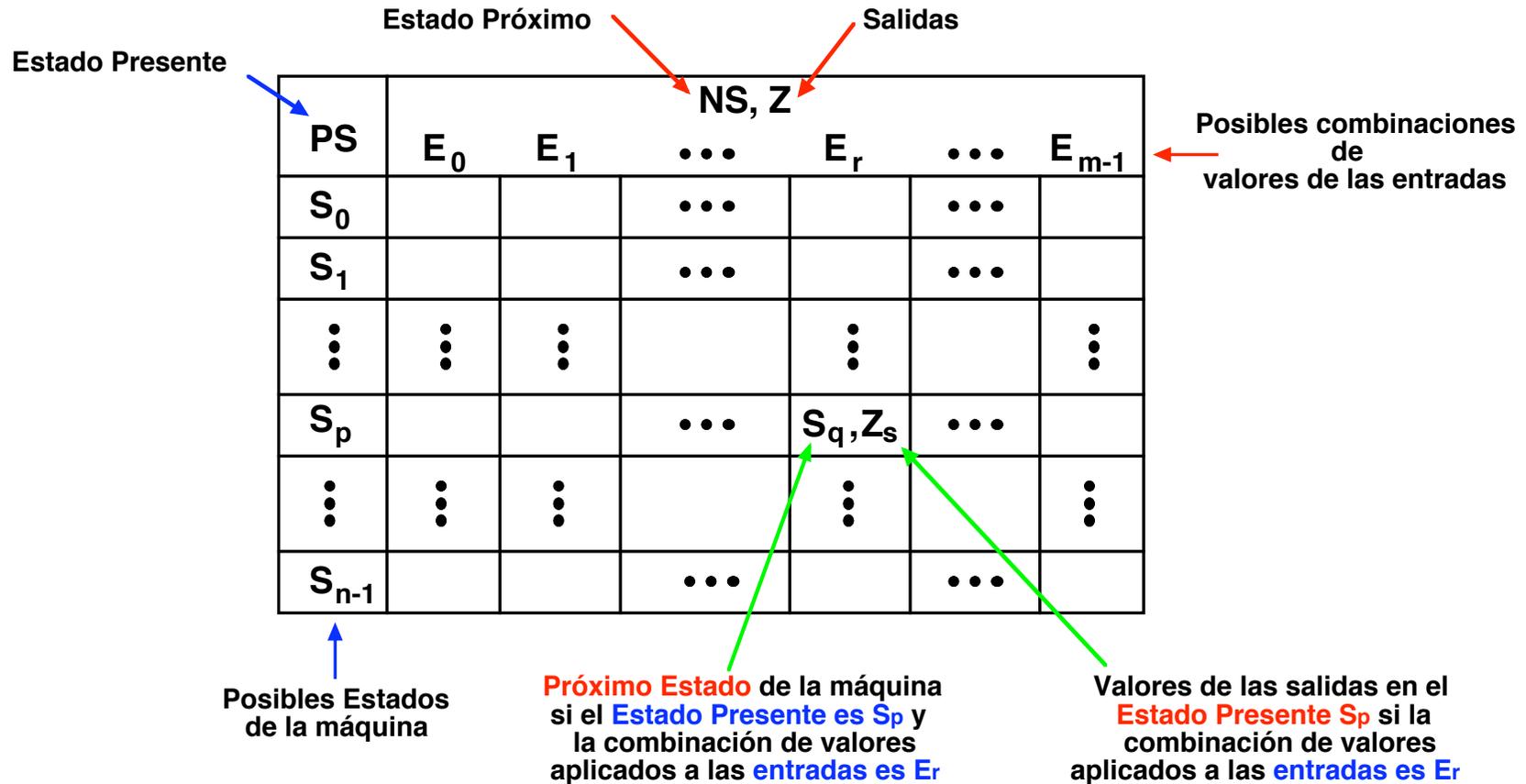
Mostrar la expresión para el cómputo de la máxima frecuencia de operación.

# Máxima Frecuencia de Operación (4)



$$T_{\min} = \max \{ t_{pFF1\ c-Q} + t_{pAND4} + t_{pOR2} + t_{sFF1}, t_{pFF1\ c-Q} + t_{pAND4} + t_{pOR2} + t_{pNOR3} + t_{sFF0}, \\ t_{pFF1\ c-Q} + t_{pAND4} + t_{pOR2} + t_{sFF1}, t_{pFF1\ c-Q} + t_{pAND4} + t_{pOR2} + t_{pNOR3} + t_{sFF0}, t_{pFF1\ c-Q} + t_{pAND2} + t_{pNOR3} + t_{sFF0}, \\ t_{pFF0\ c-Q} + t_{pAND4} + t_{pOR2} + t_{sFF1}, t_{pFF0\ c-Q} + t_{pAND4} + t_{pOR2} + t_{pNOR3} + t_{sFF0}, t_{pFF0\ c-Q} + t_{pAND3} + t_{pNOR3} + t_{sFF0} \}$$

# Tabla de Estados



Máquina de tipo Mealy (Clase A)

$$S_q = f(S_p, E_r)$$

$$Z_s = g(S_p, E_r)$$

# Tabla de Estados (2)

Estado Próximo

Posibles combinaciones de valores de las entradas

Salidas

Estado Presente

PS	$E_0$	$E_1$	...	$E_r$	...	$E_{m-1}$	Z
$S_0$			...		...		
$S_1$			...		...		
⋮	⋮	⋮		⋮		⋮	
$S_p$			...	$S_q$	...		$Z_s$
⋮	⋮	⋮		⋮		⋮	
$S_{n-1}$			...		...		

Posibles Estados de la máquina

Próximo Estado de la máquina si el Estado Presente es  $S_p$  y la combinación de valores aplicados a las entradas es  $E_r$

Valores de las salidas en el Estado Presente  $S_p$

Máquina de tipo Moore (Clase B)

$$S_q = f(S_p, E_r)$$

$$Z_s = g(S_p)$$

# Diagrama ASM y Tabla de Estados

## Ejemplo

Mostrar el Diagrama ASM para un circuito secuencial síncrono con una sola entrada x.H y una sola salida z.H, capaz de reconocer la secuencia de entrada 101. La salida z debe tomar su nivel activo cada vez que los tres valores muestreados en su entrada sean ...101, manteniéndose a dicho nivel durante un ciclo de reloj. En cualquier otro caso la salida debe mostrar su nivel no activo.

# Diagrama ASM y Tabla de Estados (2)

## Analizando el enunciado (selección del tipo de máquina)

Del enunciado no se desprende que los cambios en la entrada sean síncronos. Sin embargo, la salida debe permanecer activada durante un ciclo de reloj (aunque la entrada pueda cambiar antes de finalizar el ciclo). La implementación como **máquina de Moore**, cuya salida depende únicamente del estado, parece ser la más adecuada.

## Analizando el modo de operación (comprendiendo el funcionamiento)

Para la secuencia de entrada:

X: ...00110110101

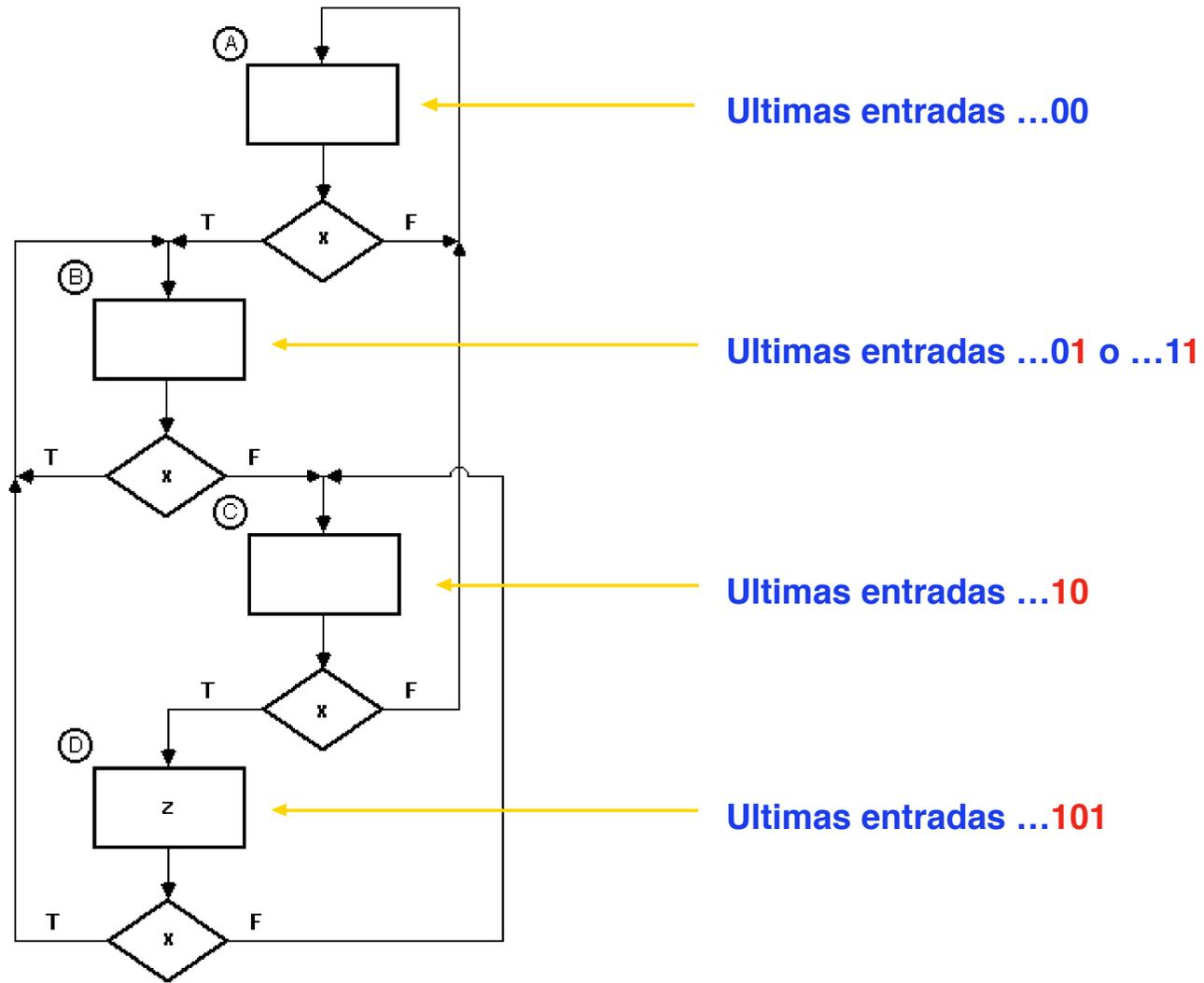
la respuesta debe ser:

Z: ...00000100101

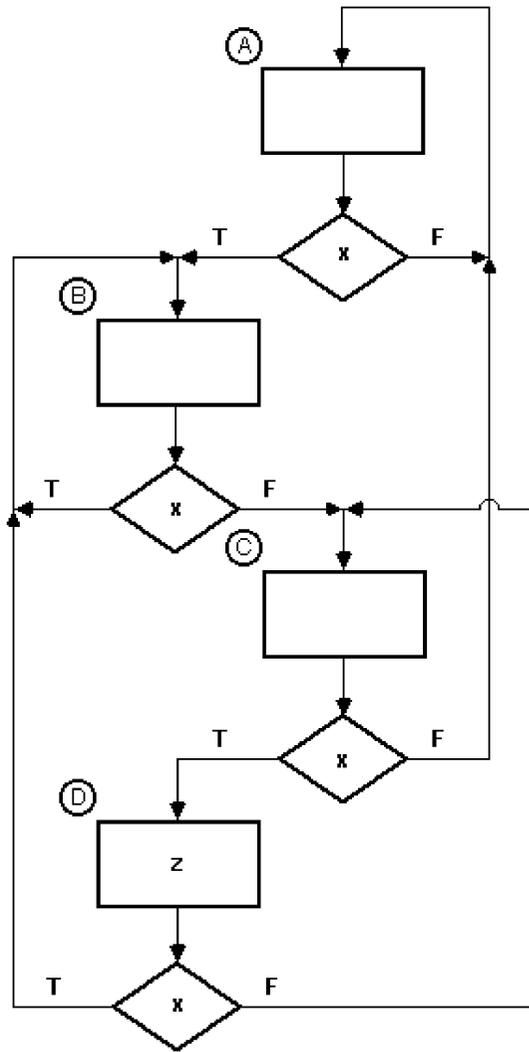
**Selección de un estado claramente identificable y con respuesta conocida (inicio de la construcción del Diagrama ASM)**

Las últimas dos entradas han sido ...00 o ...11, las tres últimas ...101, p.ej.

# Diagrama ASM y Tabla de Estados (3)



# Diagrama ASM y Tabla de Estados (4)



PS	NS		z
	0	1	
A	A	B	0
B	C	B	0
C	A	D	0
D	C	B	1

# Conversión Moore-Mealy y Mealy-Moore

**S estados**

**E combinaciones de valores de las variables de entrada primarias**

**Z combinaciones de valores de las variables de salida primarias**

**Moore:**

**S estados  $\Leftrightarrow$  S combinaciones de salida distintas**

**Mealy:**

**S estados  $\Leftrightarrow$  S x E combinaciones de salida distintas (siempre que el número de salidas sea suficiente,  $\geq \log_2(S \times E)$ )**

**Misma función de control e implementaciones de tipo Mealy y Moore:**

**$N^\circ$  estados M. de Mealy  $\leq$   $N^\circ$  estados M. de Moore**

# Conversión Moore-Mealy

**S estados**

**E combinaciones de variables de entrada primarias**

**Z combinaciones de variables de salida primarias**

**Moore:**

**Próximo Estado de  $S_p$  bajo condición de entrada  $E_i$  :  $S_q$**

**Salida del estado  $S_q$  :  $Z_q$**

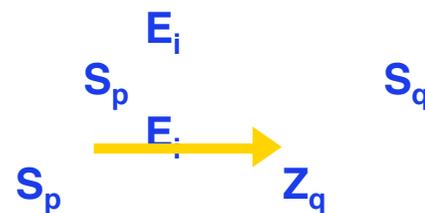
$$S_q = f(E_i, S_p)$$



$$Z_q = g(S_q)$$

**Mealy equivalente:**

$$f(E_i, S_p) = S_q$$



$$h(E_i, S_p) = Z_q$$

**Inicialmente:  $N^\circ$  estados M. de Mealy  $\rightarrow$   $N^\circ$  estados M. de Moore**

# Conversión Moore-Mealy (2)

## Ejemplo

Mostrar una máquina de tipo Mealy equivalente a la máquina de tipo Moore obtenida en el ejemplo anterior.

Dibujar un cronograma mostrando la temporización de las salidas en ambos casos.

# Conversión Moore-Mealy (3)

## Ejemplo

PS	NS		z
	0	1	
A	A	B	0
B	C	B	0
C	A	D	0
D	C	B	1

PS	NS, z	
	0	1
A	A, 0	B, 0
B	C, 0	B, 0
C	A, 0	D, 1
D	C, 0	B, 0

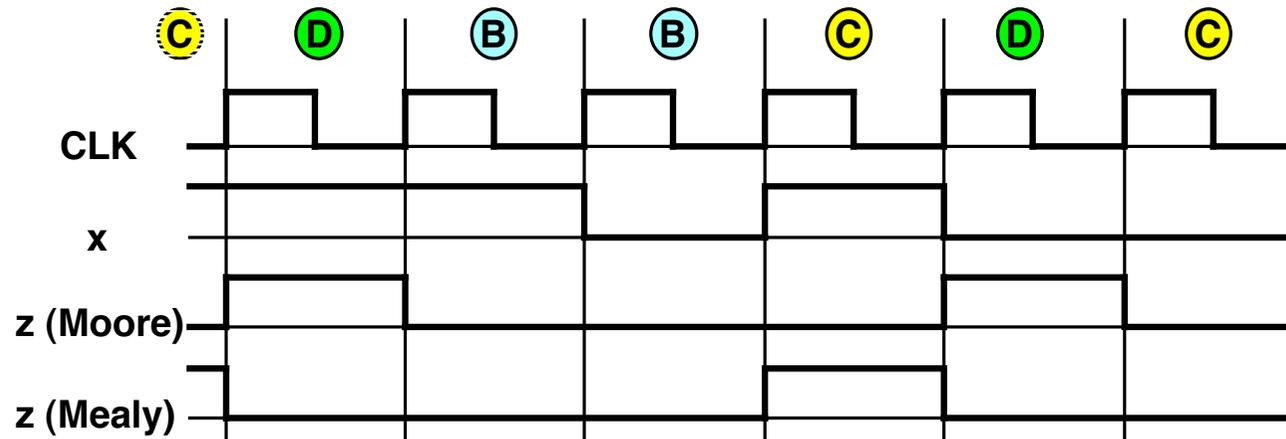
Los estados B y D de la máquina de tipo Mealy obtenida son **equivalentes**. Por lo tanto uno de ellos se puede suprimir (Nº estados menor que el de la máquina de Moore original)

# Conversión Moore-Mealy (4)

## Ejemplo

PS	NS		z
	0	1	
A	A	B	0
B	C	B	0
C	A	D	0
D	C	B	1

PS	NS, z	
	0	1
A	A, 0	B, 0
B	C, 0	B, 0
C	A, 0	D, 1
D	C, 0	B, 0



# Conversión Mealy-Moore

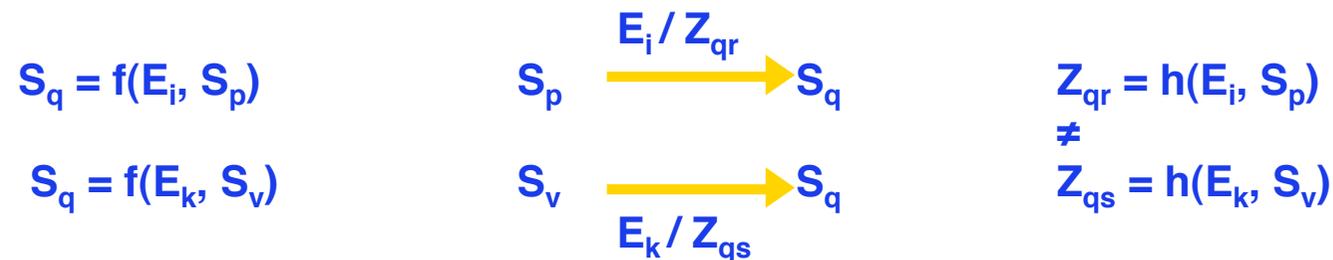
**S** estados

**E** combinaciones de variables de entrada primarias

**Z** combinaciones de variables de salida primarias

**Mealy:**

Si existen diferentes salidas asociadas a las transiciones hacia  $S_q$ :  $Z_{qr} \neq Z_{qs}$



**Moore equivalente:**

En lugar de  $S_q$ , incluir en la Tabla de Estados dos estados distintos  $S_{qr}$  y  $S_{qs}$ .

Asociar la salida  $Z_{qr}$  al estado  $S_{qr}$  y la salida  $Z_{qs}$  al estado  $S_{qs}$ .

Las transiciones originales hacia  $S_q$  se mantienen: de  $S_p$  a  $S_{qr}$  bajo entrada  $E_i$  y de  $S_v$  a  $S_{qs}$  bajo entrada  $E_k$ .

Es posible que el N° estados de la M. de Moore obtenida pueda reducirse posteriormente (nunca a menos estados que la M de Moore original)

# Conversión Mealy-Moore (2)

## Ejemplo

Obtener una máquina de tipo Moore equivalente a la máquina de tipo Mealy:

PS	NS, $z_1 z_2$			
	00	01	11	10
A	B, 11	C, 00	A, 10	A, 01
B	A, 11	C, 00	B, 01	A, 01
C	C, 10	C, 00	A, 01	B, 01

# Conversión Mealy-Moore (3)

## Ejemplo

PS	NS, $z_1 z_2$			
		$x_1 x_2$		
	00	01	11	10
A	B, 11	C, 00	A, 10	A, 01
B	A, 11	C, 00	B, 01	A, 01
C	C, 10	C, 00	A, 01	B, 01

Hay 5 transiciones hacia el estado **A**, con 3 salidas diferentes:  $z_1 z_2 = 10, 01, 11 \Rightarrow A_1, A_2, A_3$  en la Tabla de Estados de la M. de Moore equivalente.

Existen 3 transiciones hacia el estado **B**, con 2 salidas diferentes:  $z_1 z_2 = 11, 01 \Rightarrow B_1, B_2$  en la Tabla de Estados de la M. de Moore equivalente.

Hay 3 transiciones hacia el estado **C**, con 2 salidas diferentes:  $z_1 z_2 = 00, 10 \Rightarrow C_1, C_2$  en la Tabla de Estados de la M. de Moore equivalente.

# Conversión Mealy-Moore (4)

## Ejemplo

PS	NS, $z_1 z_2$			
	00	01	11	10
A	B, 11	C, 00	A, 10	A, 01
B	A, 11	C, 00	B, 01	A, 01
C	C, 10	C, 00	A, 01	B, 01

Tabla original:	A--(00)-->(11)B	Nueva tabla:	A <sub>1</sub> ,A <sub>2</sub> ,A <sub>3</sub> --(00)-->(11)B <sub>1</sub>
	A--(01)-->(00)C	Nueva tabla:	A <sub>1</sub> ,A <sub>2</sub> ,A <sub>3</sub> --(01)-->(00)C <sub>1</sub>
	A--(11)-->(10)A	Nueva tabla:	A <sub>1</sub> ,A <sub>2</sub> ,A <sub>3</sub> --(11)-->(10)A <sub>1</sub>
	A--(10)-->(01)A	Nueva tabla:	A <sub>1</sub> ,A <sub>2</sub> ,A <sub>3</sub> --(10)-->(01)A <sub>2</sub>
	B--(00)-->(11)A	Nueva tabla:	B <sub>1</sub> ,B <sub>2</sub> --(00)-->(11)A <sub>3</sub>
	B--(01)-->(00)C	Nueva tabla:	B <sub>1</sub> ,B <sub>2</sub> --(01)-->(00)C <sub>1</sub>
	B--(11)-->(01)B	Nueva tabla:	B <sub>1</sub> ,B <sub>2</sub> --(11)-->(01)B <sub>2</sub>
	B--(10)-->(01)A	Nueva tabla:	B <sub>1</sub> ,B <sub>2</sub> --(10)-->(01)A <sub>2</sub>
	C--(00)-->(10)C	Nueva tabla:	C <sub>1</sub> ,C <sub>2</sub> --(00)-->(10)C <sub>2</sub>
	C--(01)-->(00)C	Nueva tabla:	C <sub>1</sub> ,C <sub>2</sub> --(01)-->(00)C <sub>1</sub>
	C--(11)-->(01)A	Nueva tabla:	C <sub>1</sub> ,C <sub>2</sub> --(11)-->(01)A <sub>2</sub>
	C--(10)-->(01)B	Nueva tabla:	C <sub>1</sub> ,C <sub>2</sub> --(10)-->(01)B <sub>2</sub>

# Conversión Mealy-Moore (5)

## Ejemplo

PS	NS, $z_1 z_2$			
	$x_1 x_2$			
	00	01	11	10
A	B, 11	C, 00	A, 10	A, 01
B	A, 11	C, 00	B, 01	A, 01
C	C, 10	C, 00	A, 01	B, 01

Máquina de tipo Mealy original

PS	NS				$z_1 z_2$
	$x_1 x_2$				
	00	01	11	10	
A <sub>1</sub>	B <sub>1</sub>	C <sub>1</sub>	A <sub>1</sub>	A <sub>2</sub>	10
A <sub>2</sub>	B <sub>1</sub>	C <sub>1</sub>	A <sub>1</sub>	A <sub>2</sub>	01
A <sub>3</sub>	B <sub>1</sub>	C <sub>1</sub>	A <sub>1</sub>	A <sub>2</sub>	11
B <sub>1</sub>	A <sub>3</sub>	C <sub>1</sub>	B <sub>2</sub>	A <sub>2</sub>	11
B <sub>2</sub>	A <sub>3</sub>	C <sub>1</sub>	B <sub>2</sub>	A <sub>2</sub>	01
C <sub>1</sub>	C <sub>2</sub>	C <sub>1</sub>	A <sub>2</sub>	B <sub>2</sub>	00
C <sub>2</sub>	C <sub>2</sub>	C <sub>1</sub>	A <sub>2</sub>	B <sub>2</sub>	10

Máquina de tipo Moore equivalente (no minimizable)