

TEMA 4

Redes de Puertas Programables: FPGA

Redes de Puertas Programables

“Field Programmable Gate Arrays” o **FPGAs**

Matrices de celdas lógicas conectadas entre sí y con **celdas de Entrada/Salida** por medio de **líneas de conexión programables**

- ◇ **Las celdas lógicas se configuran mediante Tablas de consulta (“Look-up tables” o LUTs) o utilizando MUXs**
- ◇ **Las principales tecnologías para realizar las conexiones entre componentes utilizan:**
 - **SRAM (alta densidad, reconfigurable).** Xilinx, ALTERA,
 - **Antifusibles (no reprogramable).** Actel, Cypress,
- ◇ **Programables por el usuario. Soporte CAD**

FPGAs: Estructura

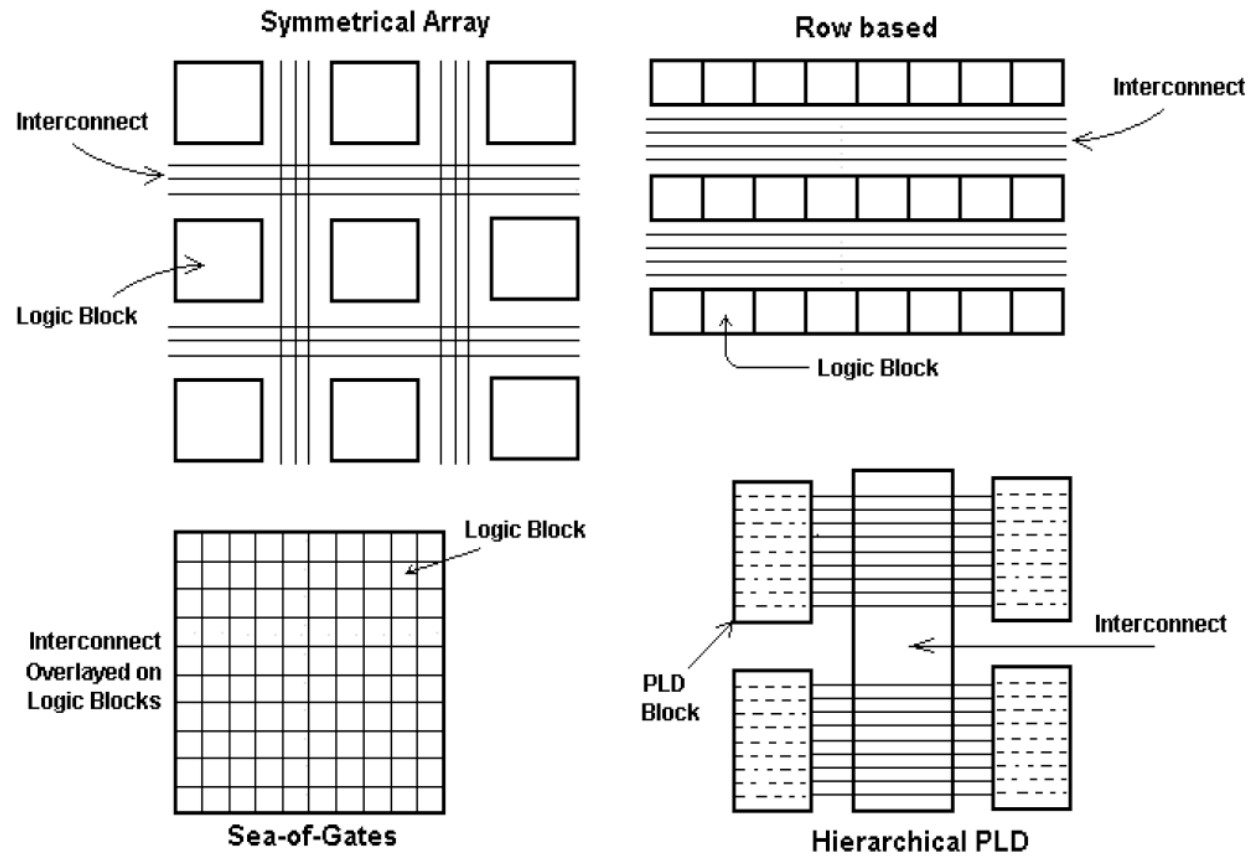
FPGA (“Field Programmable Gate Array”)

- Dispositivo lógico **multinivel** programable de propósito general
- Implementación de lógica combinacional y secuencial

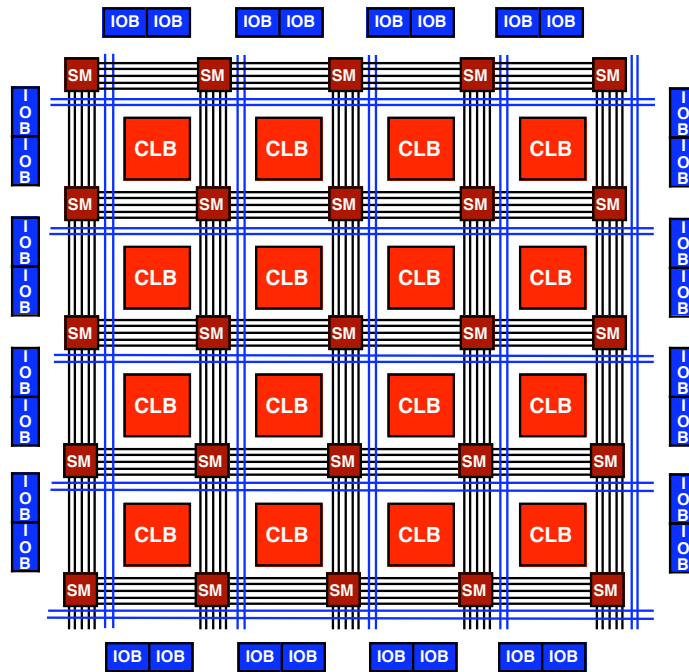
Su estructura se compone de:

- **Bloques lógicos (“Logic Blocks”)**
Implementan circuitos lógicos (combinacionales o secuenciales)
- **Recursos de interconexión (interconexiones programables)**
Conectan entradas y salidas de bloques lógicos
- ventaja e inconveniente
- **Bloques de entrada/Salida (“I/O Blocks”)**
Bloques lógicos distribuidos en la periferia del dispositivo para la conexión con el exterior
- **Memoria SRAM**
Configurable como SRAM, como ROM o FIFO, o para implementar lógica
- **Otros bloques**
Multiplicadores, Procesadores, ...

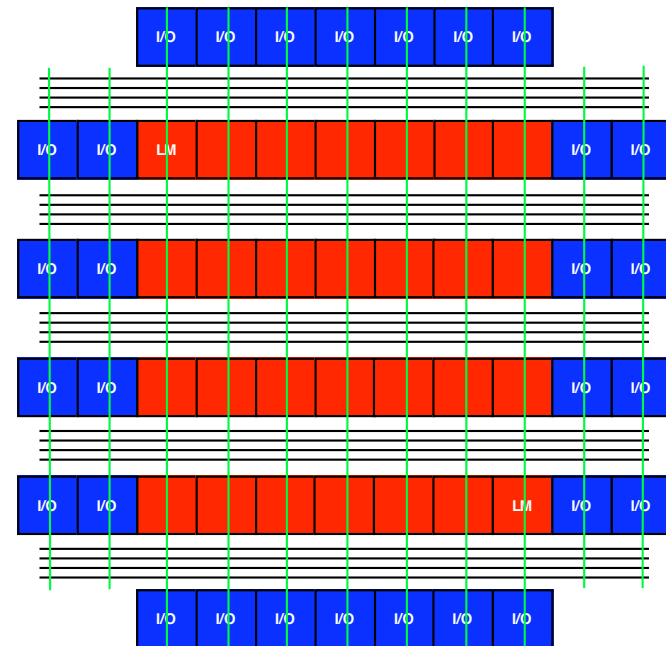
Clasificación



FPGAs: Principales estructuras

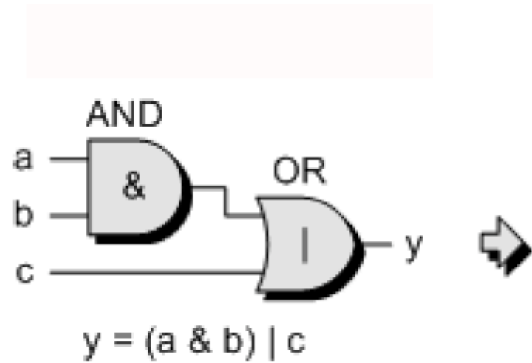


FPGA de Matriz simétrica
Xilinx, ALTERA



FPGA basada en filas
Actel

LUTs y MUXs



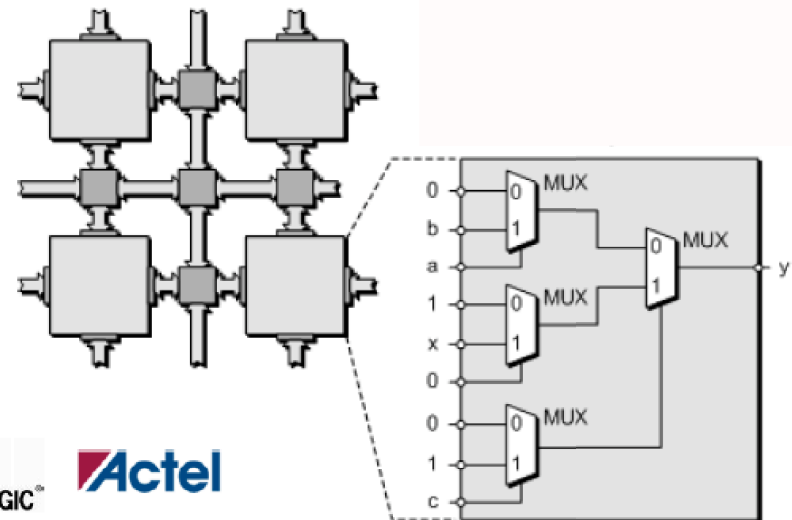
Truth table

a	b	c	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

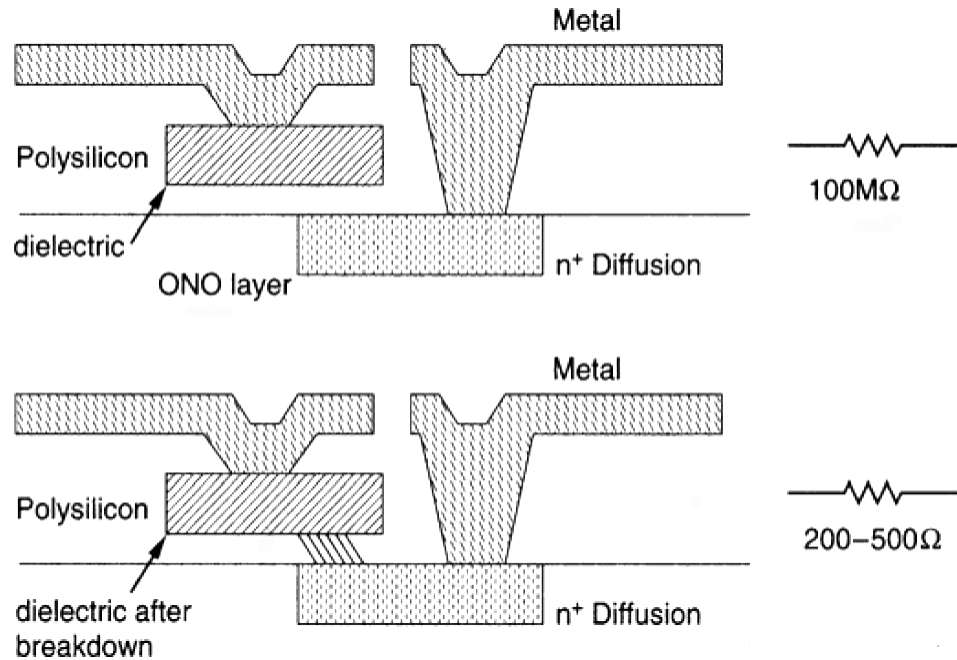


Implementación basada en LUTs

Implementación basada en MUXs



Antifusibles



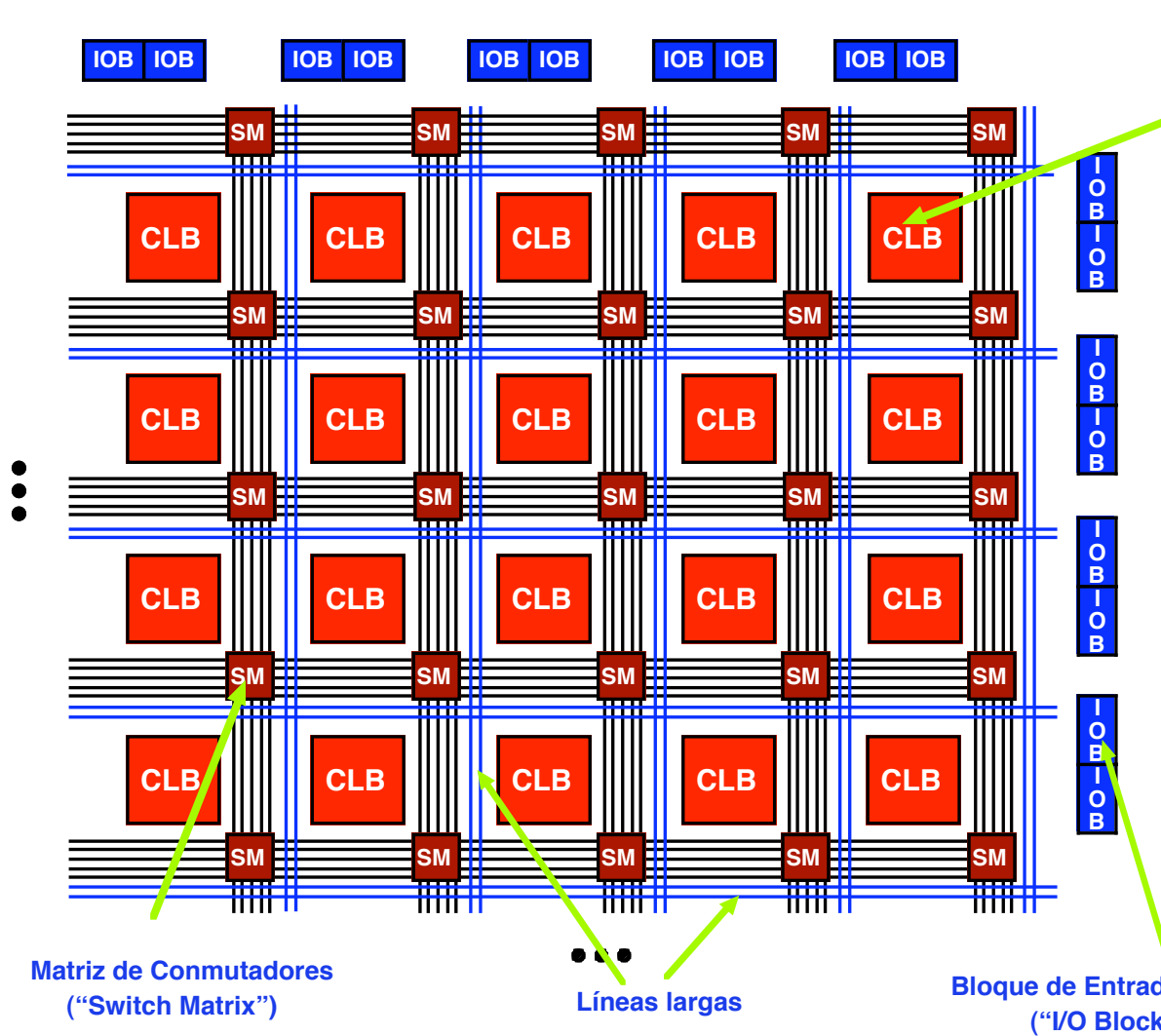
Antes de la programación
(~ circuito abierto)

Después de la programación
(~ cortocircuito)

Dieléctrico ONO (Oxido-Nitruro-Oxido) entre dos capas conductoras de n+ y polisilicio
El dieléctrico se perfora al someterle a una sobretensión

- No reprogramable
- No volátil
- Mucho menos área que una celda SRAM (o E2PROM)

Estructura con matriz simétrica



Bloque Lógico Configurable
("Configurable Logic Block")

Tecnología **SRAM** para almacenar la información de programación. Los datos de programación que definen la configuración lógica se cargan al conectar la alimentación

- Almacenada en PROM
 - PC, Procesador del sistema
 - Permite implementar diferente lógica en distintos momentos.
- Reconfiguración ($\leq 1s$)

Segmentos de longitud simple

- Segmentos cuya extensión es tan solo la de un CLB
- ◊ Matrices de conmutación

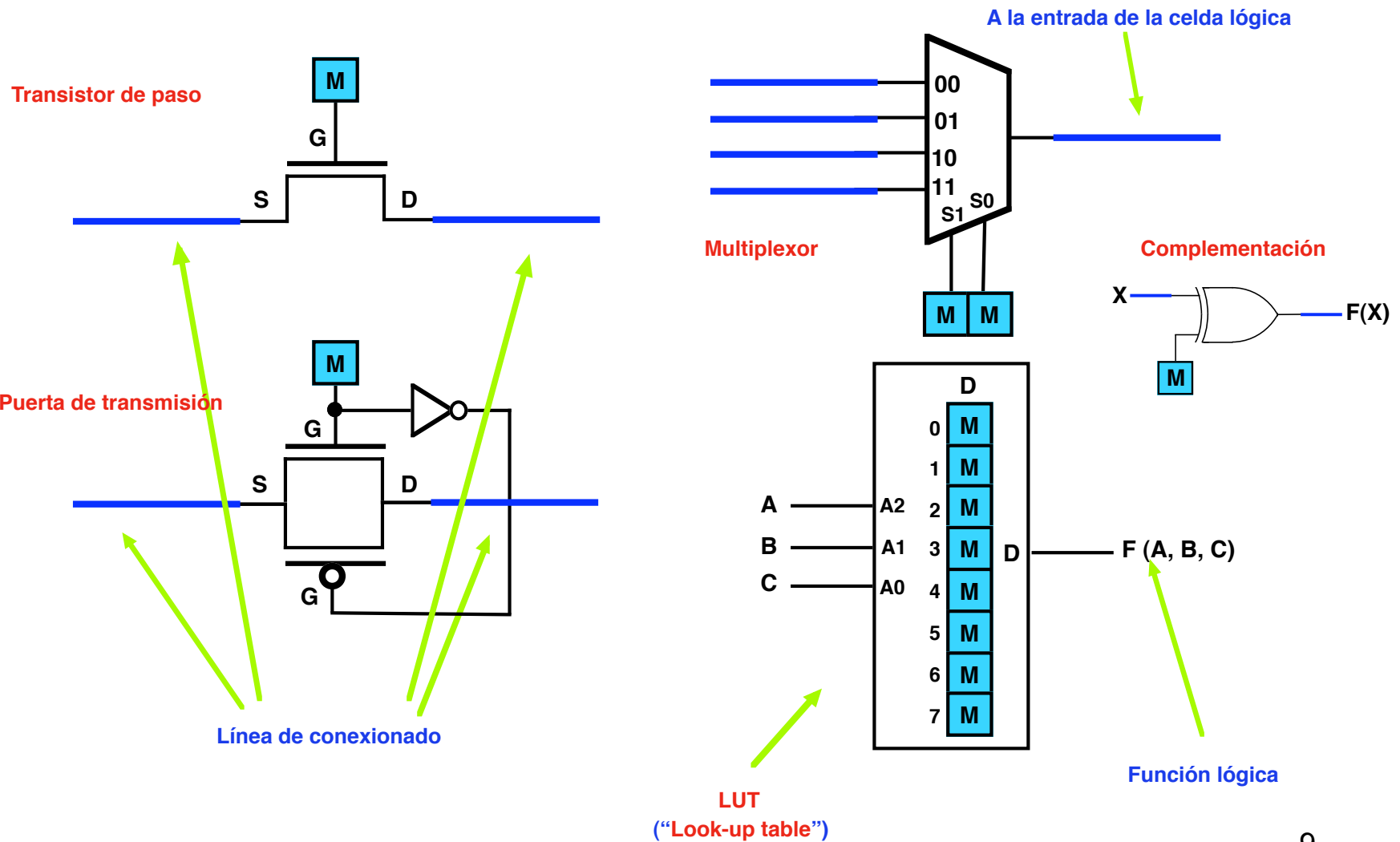
Líneas largas

- Se extienden a todo lo largo o ancho de la matriz
- ◊ Conexiones prioritarias

Segmentos de longitud doble, ...

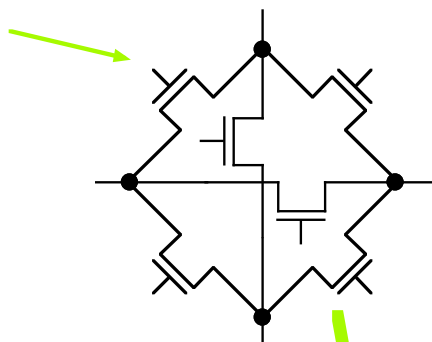
- Segmentos cuya extensión es alcanza dos (...) CLBs

Programación basada en celdas SRAM



Matriz de Conmutadores

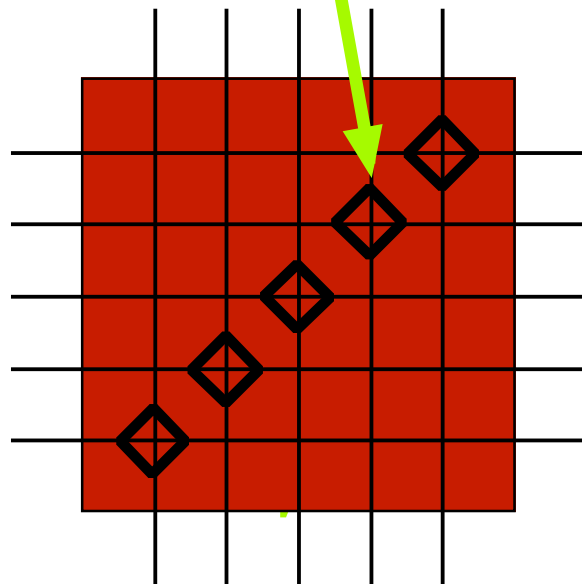
Al bit de SRAM



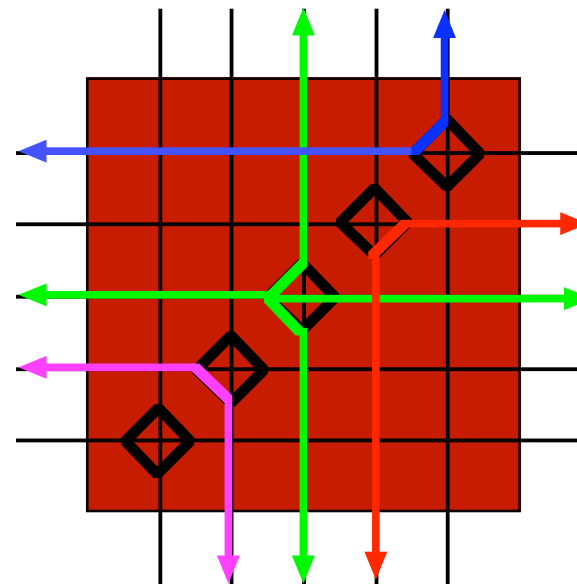
6 transistores de paso

Matriz de Conmutadores
("Switch Matrix")

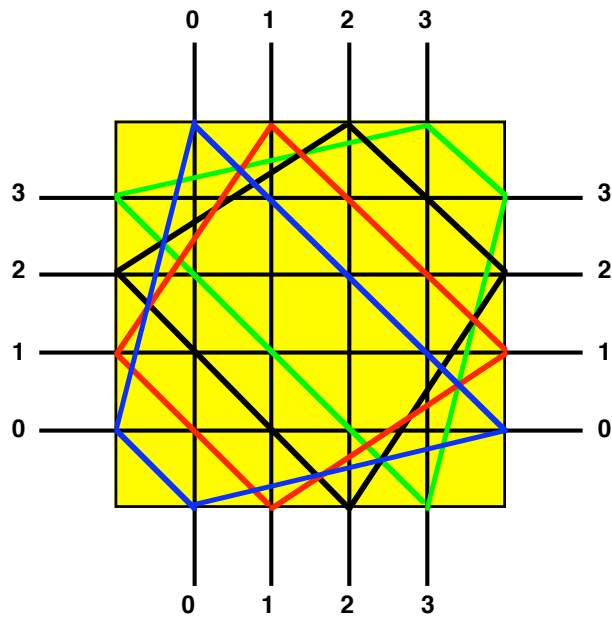
Sin programar



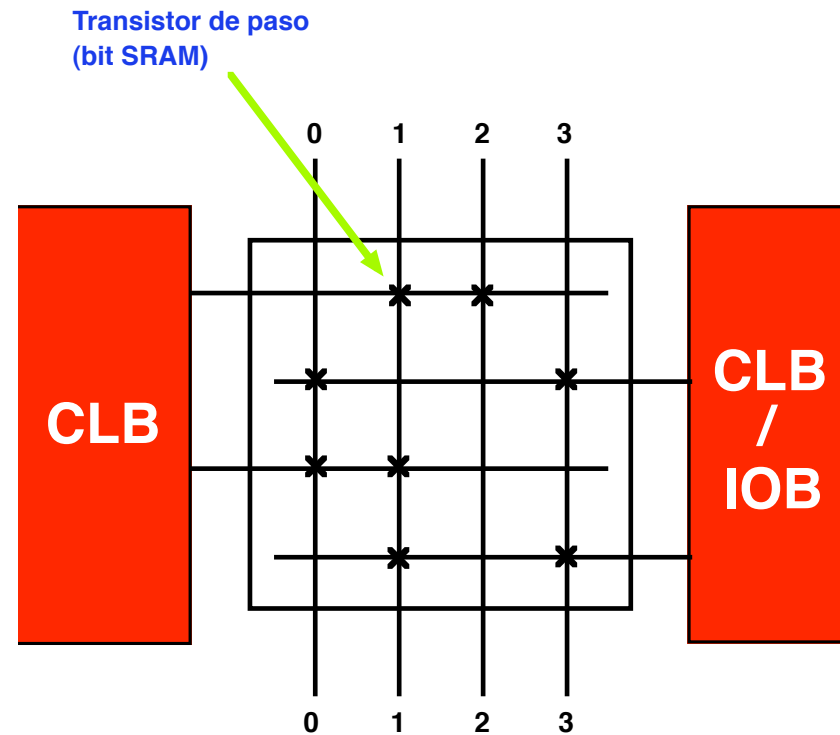
Programada



Interconexiones

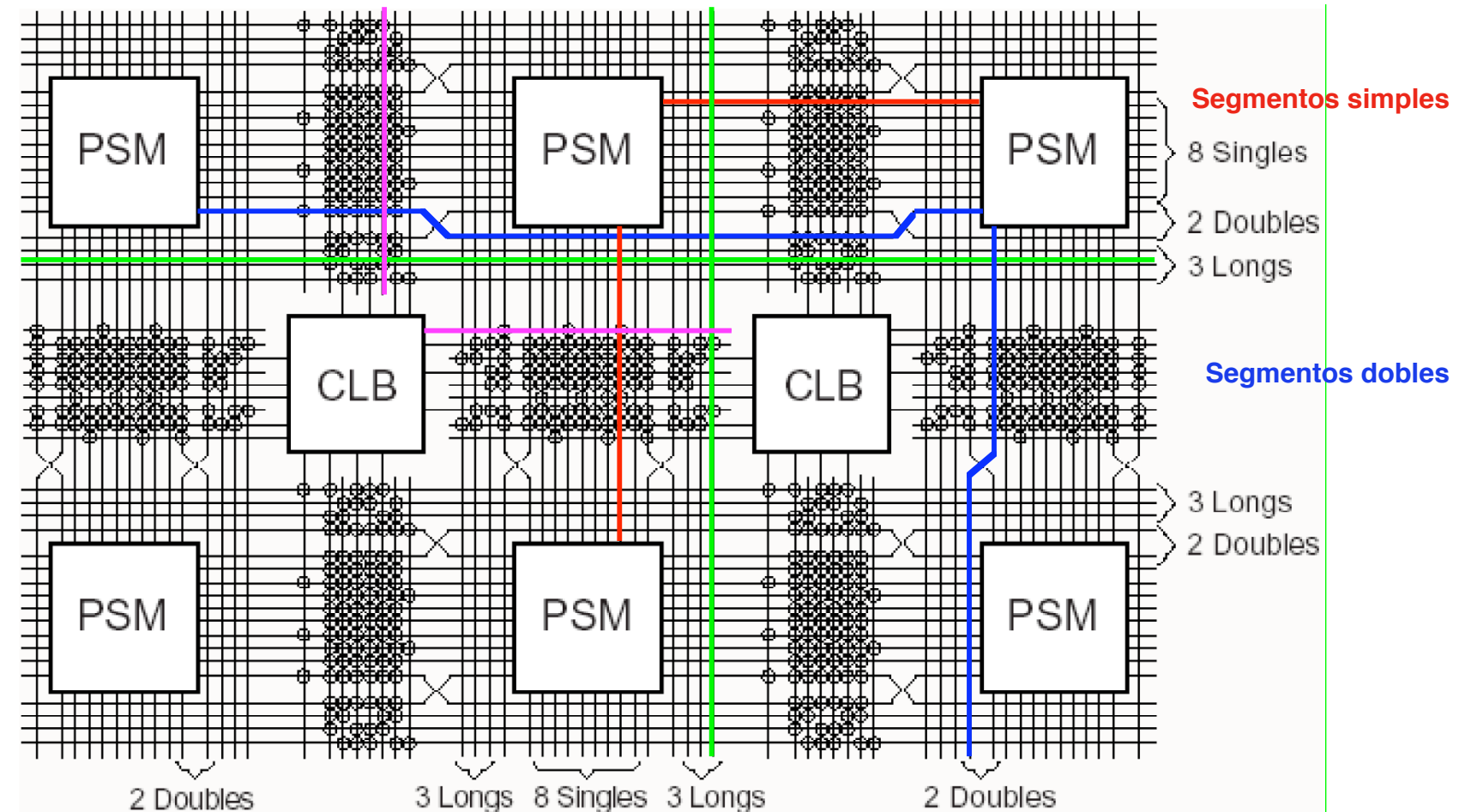


Otro ejemplo de Matriz de Conmutadores ("Switch Matrix")



Conexión de CLBs e IOBs a los segmentos de la Matriz de Conmutadores

Interconexiones (2)

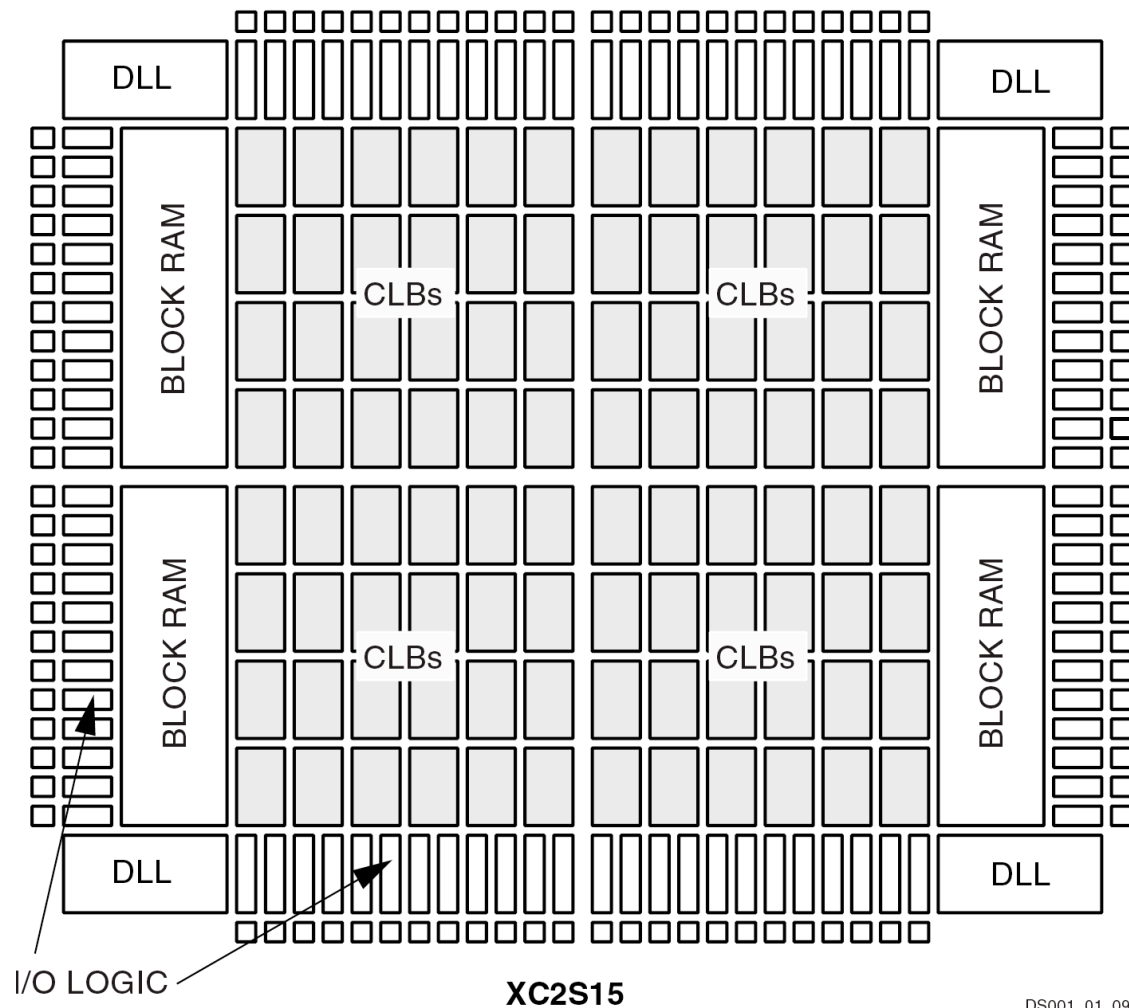


Conexión de CLBs/IOBs a los segmentos de la Matriz de Conmutadores

Líneas largas

Xilinx SpartanXL

Xilinx: Familia Spartan-II



2,5 Volts
≥ 200MHz Reloj del sistema

Jerarquía de enrutamiento versátil

RAM simple/doble puerto "on chip"

- bloques dedicados
- distribuida (en CLBs)

DLLs ("Delay-locked loop clock drivers")

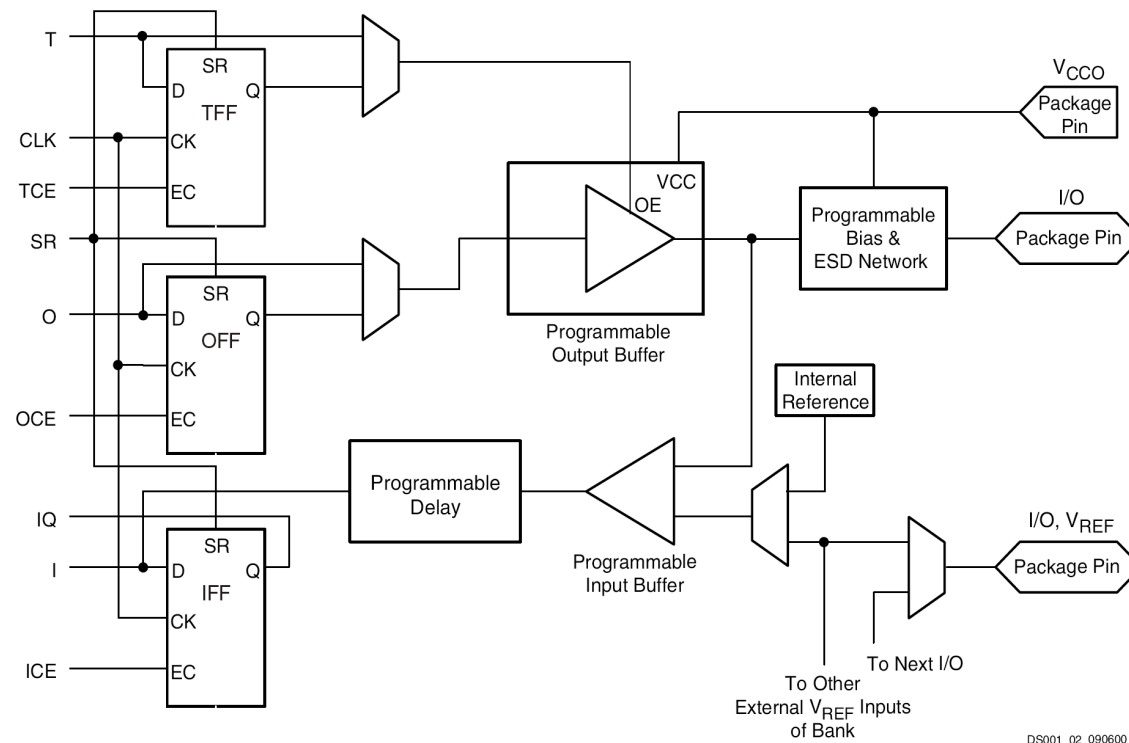
- Control y distribución del reloj

Datos de configuración:

- PROM serie (Modo amo serie)
- Modo esclavo serie
- Modo esclavo paralelo
- "Boundary Scan"

Xilinx Spartan-II

Xilinx: Familia Spartan-II (2)



IOB Block

TFF: “Tri-state control FF”

OFF: “Output FF”

IFF: “Input FF”

- FFs
- Latches
- Habilitación de reloj independiente

Salida:

- control de polaridad independiente (no reflejado en la figura)
- “Pull-up”
- “Pull-down”
- H-Z
- Voltajes-bajos estándares programables. Algunos voltajes estandar requieren V_{CC0}

Entrada:

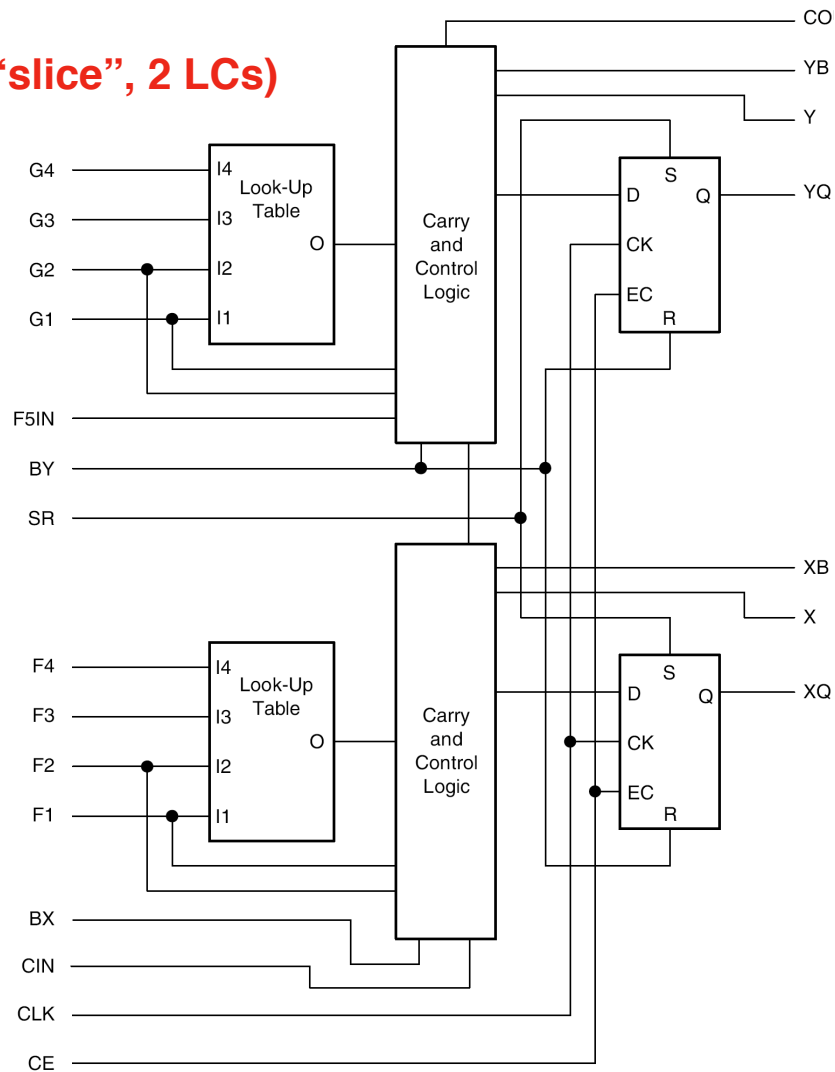
- Voltaje umbral de referencia V_{REF} programable (requerido por algunos voltajes estandar)

“Boundary-Scan Test”

Xilinx Spartan-II

Xilinx: Familia Spartan-II (3)

CLB Block (1 "slice", 2 LCs)



LC:

- **Generador de Función: 4 entradas**
- **Lógica de acarreo**
- **Elemento de almacenamiento**

CLB:

- **2 "slices", 4 "Logic Cells" (LCs)**
- **Lógica que combina Generadores de Funciones para obtener funciones de 5 y 6 entradas (F5 MUX y F6 MUX)**

LUT:

- **Generador de Función: 4 entradas**
- **16x1 bit SRAM**
- **Registro de Desplazamiento de 16 bits**
- **Los 2 LUTs de un "slice" pueden combinarse para formar:**
 - 16x2 bit SRAM**
 - 32x1 bit SRAM**
 - 16x1 bit SRAM de doble puerto**

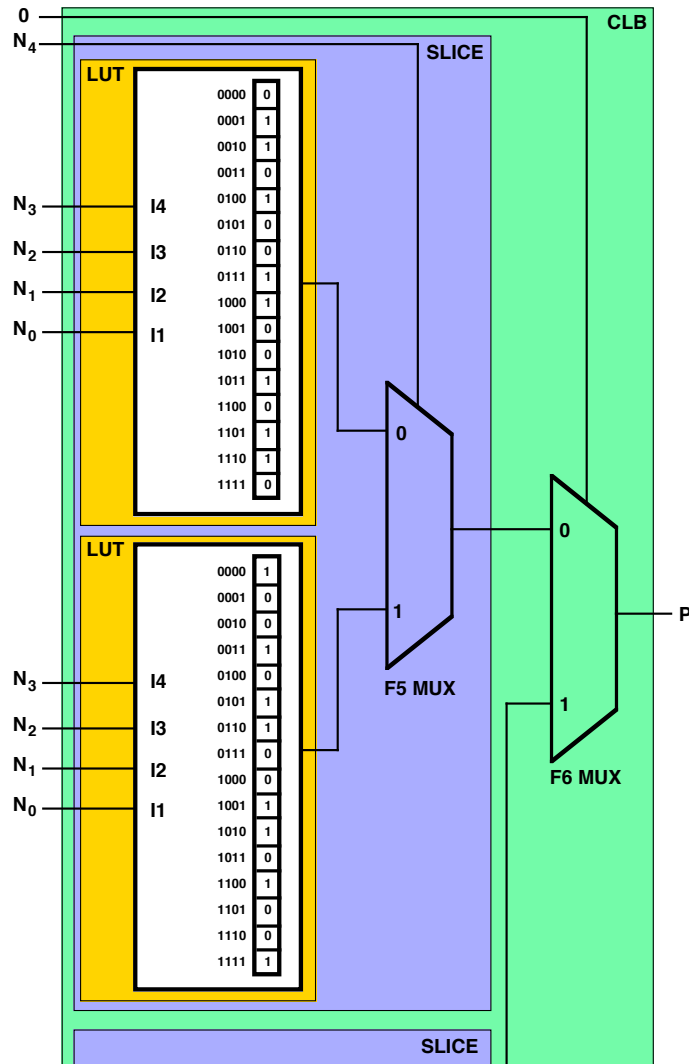
Elementos de almacenamiento:

- **FFs**
- **Latches sensibles al nivel**

Todas las señales de control son independientemente complementables (se comparten por los 2 LCs de cada "slice")

Xilinx Spartan-II

Xilinx: Familia Spartan-II (4)



MUX F5:

- Combina 2 LUTs (1 "slice") para implementar
 - Cualquier función lógica de 5 entradas
 - Un MUX 4:1
 - Algunas funciones determinadas de 9 entradas

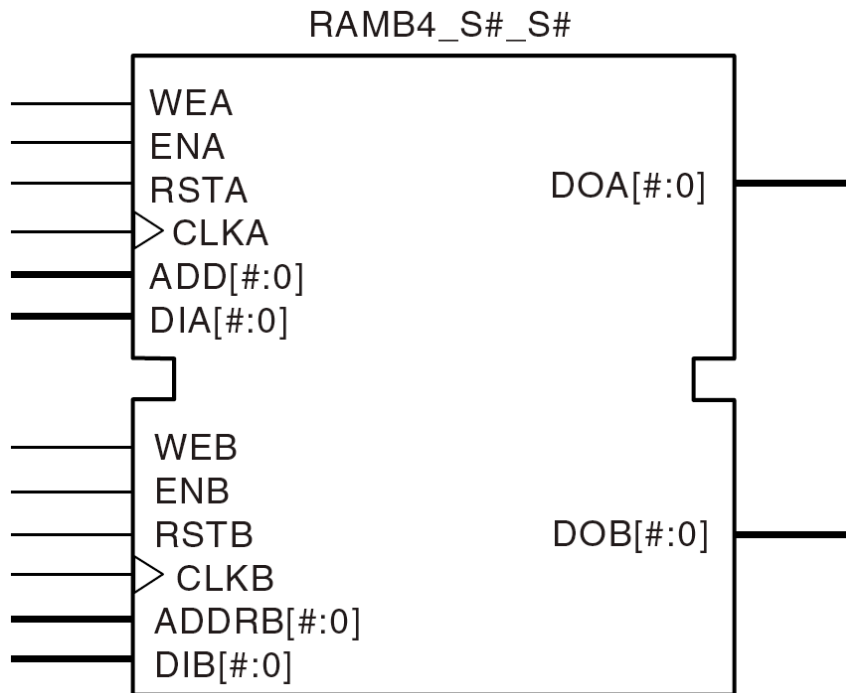
MUX F6:

- Combina 2 "slices" (1 CLB) para implementar
 - Cualquier función lógica de 6 entradas
 - Un MUX 8:1
 - Algunas funciones determinadas de 19 entradas

Generador de la paridad de un número de 5 bits $P(N_4, N_3, N_2, N_1, N_0)$ utilizando 1 "slice"

Xilinx Spartan-II

Xilinx: Familia Spartan-II (5)



RAM dedicada:

- Bloques de RAM síncrona de doble puerto
- Anchura de datos independiente para cada puerto
- Enrutado dedicado con CLBs y otros bloques de RAM

Razón de aspecto de los terminales bloque de RAM

Width	Depth	ADDR Bus	Data Bus
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
4	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>

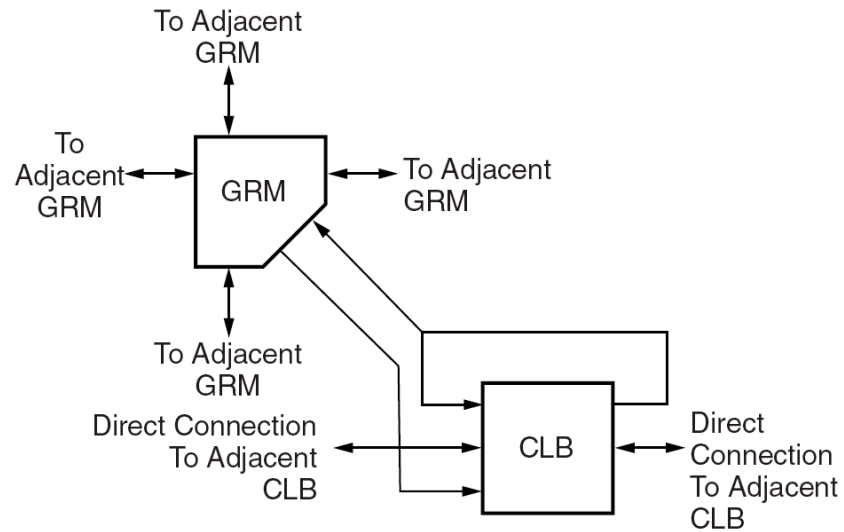
Bloque (16K bits) de RAM síncrona de doble puerto

1 bloque RAM: 4K bits

Desde 4 bloques (16K bits) hasta 14 bloques (56K bits) de RAM por chip

Xilinx Spartan-II

Xilinx: Familia Spartan-II (6)



Encaminamiento Local

Encaminamiento Local (“Local Routing”):

- Interconexiones entre CLBs, FFs y GRM (“General Routing Matrix”)
- Realimentación interna a los CLBs. Conexiones de alta velocidad entre LUTs del mismo CLB
- Caminos directos entre CLBs horizontalmente adyacentes

Encaminamiento de Propósito General (“General Purpose Routing”, GPR):

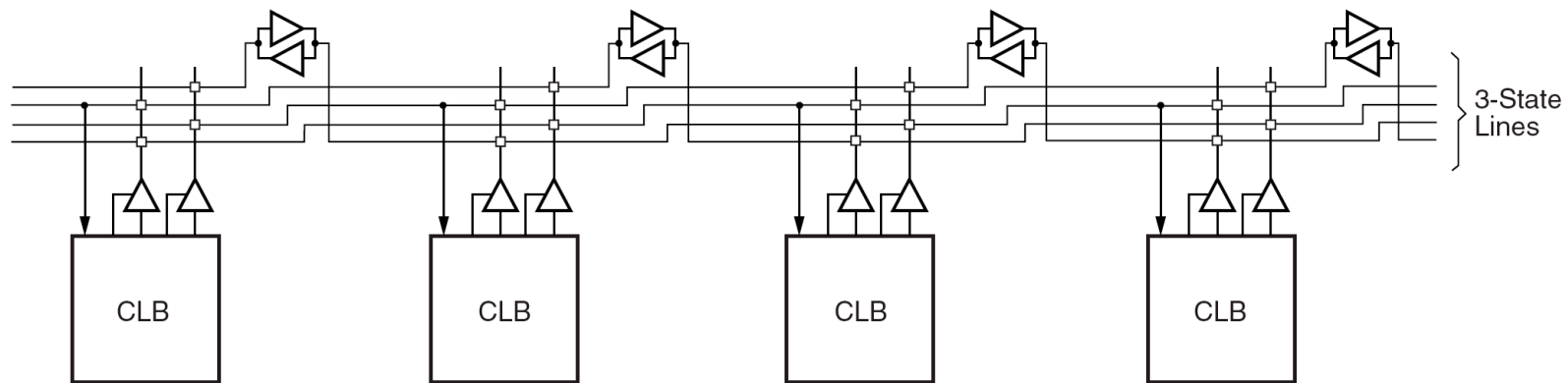
- GRM es la Matriz de Conmutadores
- 24 segmentos de longitud simple entre cada dos GRMs adyacentes en las 4 direcciones
- 96 “Hex lines” encaminan GRMs separados por 6 CLBs en cada una de las 4 direcciones. Pueden ser accedidos al final o a la mitad (a 3 CLBs de distancia). La tercera parte son bidireccionales
- 12 líneas largas bidireccionales verticales y horizontales por columna

Encaminamiento de E/S (“I/O Routing”):

- Especial conexionado (“VersaRing”) entre CLBs e IOBs. Facilitan el rediseño sin modificar el PCB existente.

Xilinx Spartan-II

Xilinx: Familia Spartan-II (7)



Encaminamiento Dedicado
Buses tri-estado horizontales

Encaminamiento Dedicado (“Dedicated Routing”):

- Buses tri-estado horizontales “on-chip”. 4 líneas de bus particionables por cada fila de CLBs
- 2 redes verticales por CLB propagan verticalmente señales de acarreo al CLB adyacente

Encaminamiento Global (“Global Routing”):

Para distribuir señales con “fan-out” elevado

- Recursos primarios de encaminamiento global

4 redes globales dedicadas con pines de entrada dedicados para distribuir señales de reloj de “fan-out” elevado con

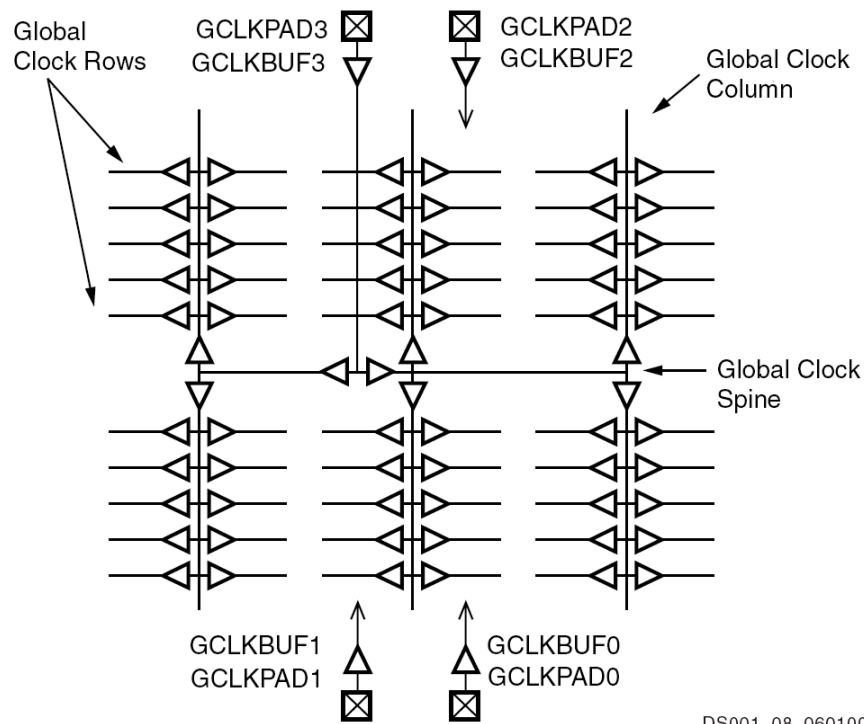
“skew” mínimo (pueden conectarse a todos los bloques de RAM)
 terminales de reloj de CLBs, IOBs y

- Recursos secundarios de encaminamiento global

24 líneas de un lado a otro del chip (12 en la parte superior y 12 en la inferior). De estas líneas, hasta 12 señales por columna pueden ser distribuidas por medio de las 12 líneas largas de la columna

Xilinx Spartan-II

Xilinx: Familia Spartan-II (8)



Encaminamiento Dedicado (“Dedicated Routing”):

- 4 “Global Clock Inputs” dedicadas (cada una con su “Global Clock Buffer”)
- 4 DLLs (“Delay-Locked Loop”)

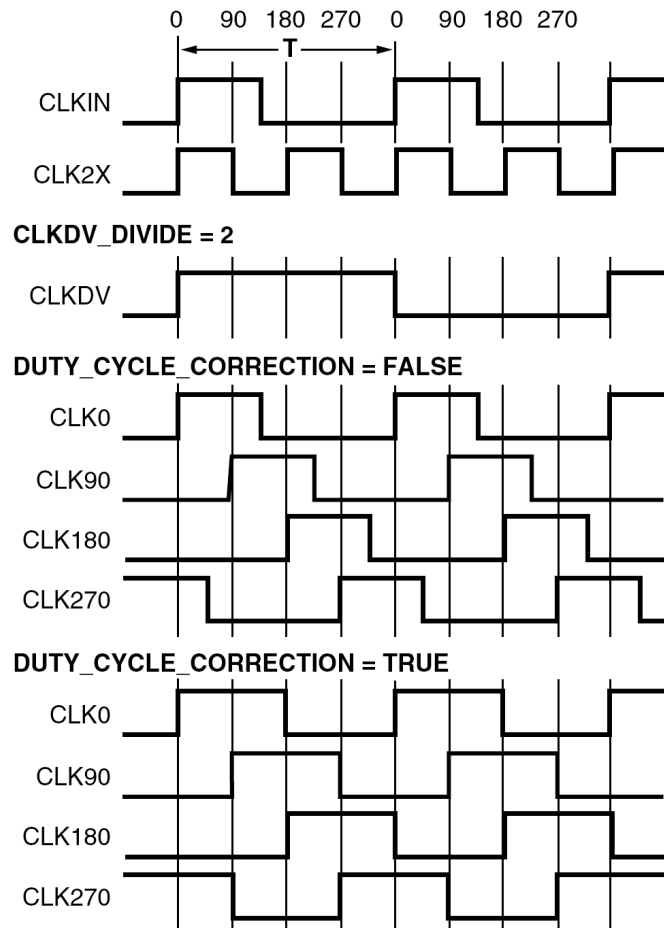
El DLL elimina el “skew” entre el “pad” de entrada del reloj y los “pins” de entrada de reloj en cualquier punto de entrada y el reloj distribuido y ajusta un elemento de retraso del reloj.

Introduce un retraso adicional de tal modo que los flancos de reloj alcancen a los FFs internos exactamente un período de reloj después de que estos lleguen a la entrada

Distribución del reloj

Xilinx Spartan-II

Xilinx: Familia Spartan-II (9)

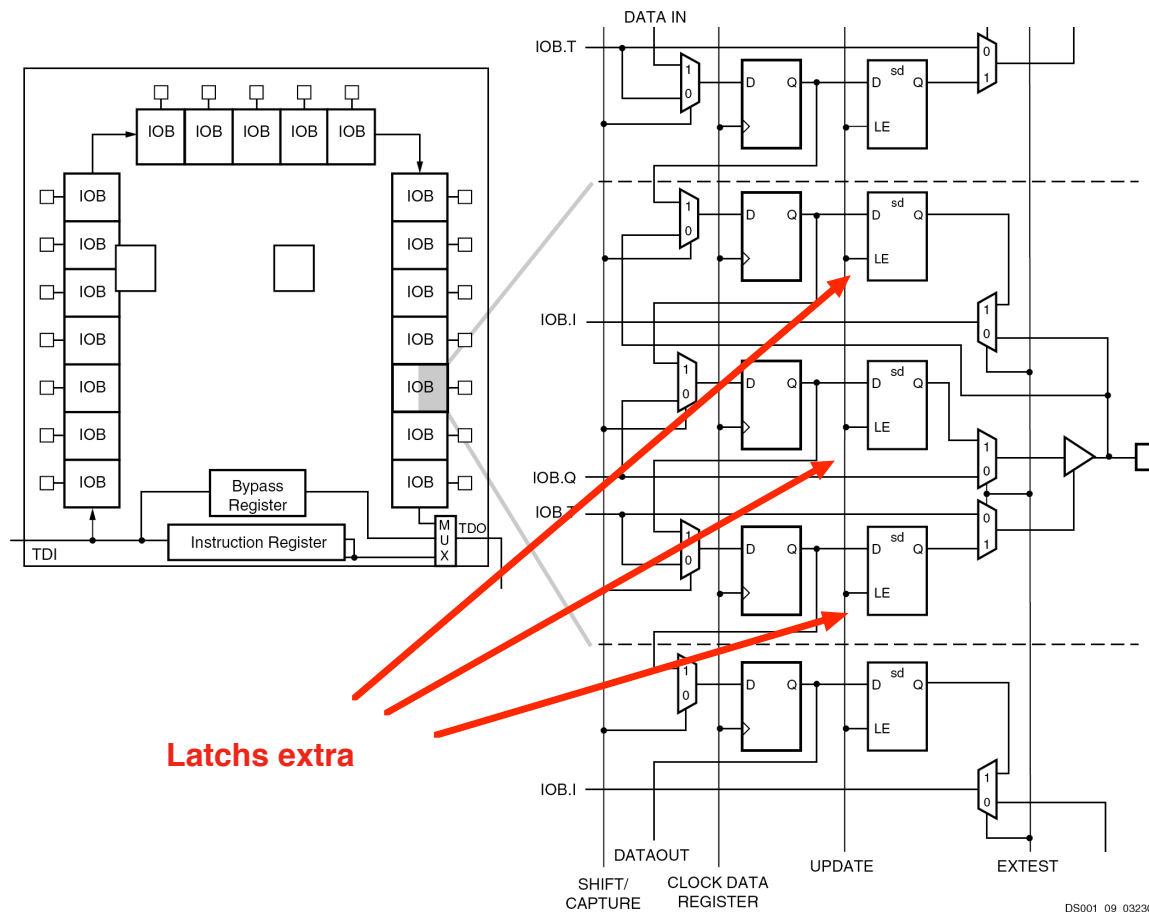


Control de reloj:

El DLL puede generar a partir del reloj

- Duplicar la frecuencia del reloj
- Dividir la frecuencia del reloj por 1.5, 2, 2.5, 3, 4, 5, 8, 16
- Generar un reloj de 4 fases

Spartan-II: Boundary-Scan Test



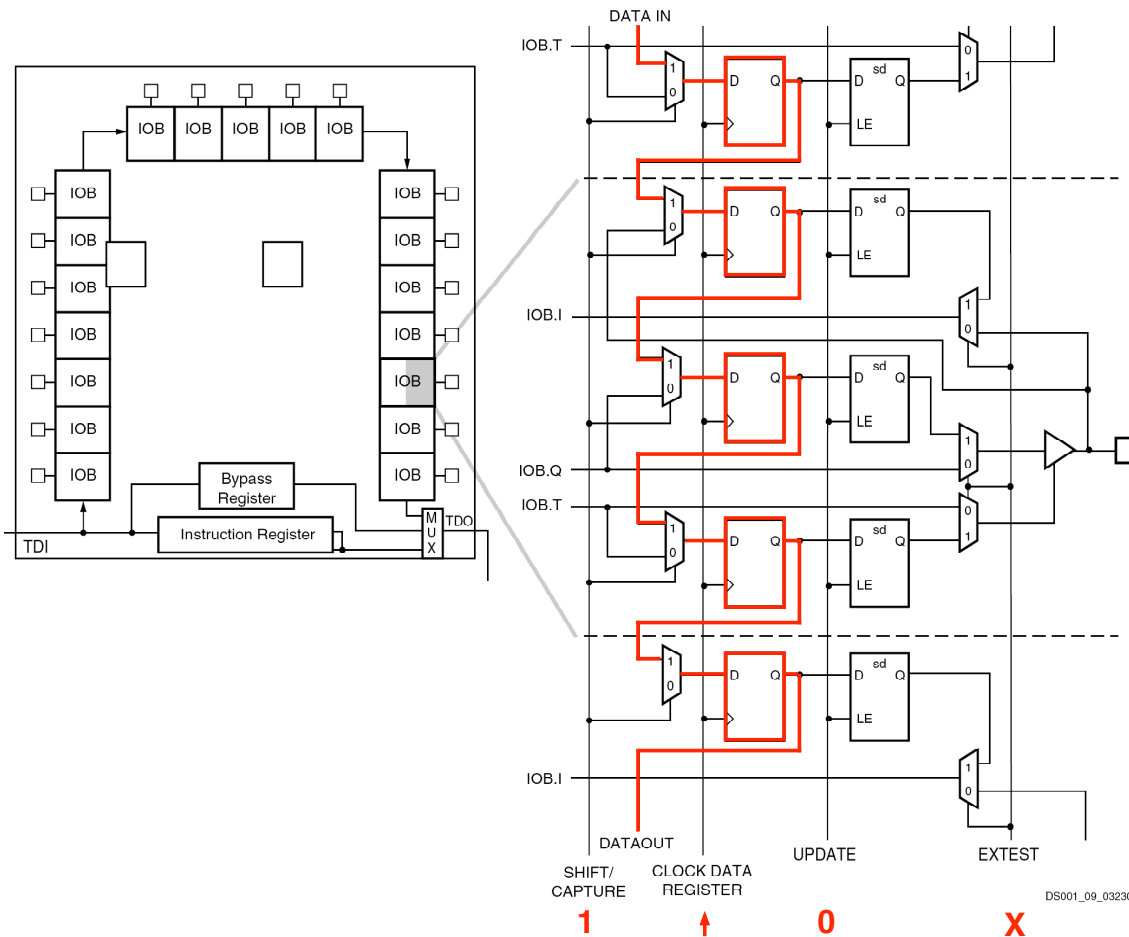
Soporta todas las instrucciones obligatorias especificadas en el estándar **IEEE 1149.1**

- ◇ TAP ("Test Access Port")
- ◇ Registros para soportar las instrucciones
 - EXTEST
 - SAMPLE/PRELOAD
 - BYPASS
- ◇ El TAP también soporta
 - 2 instrucciones USERCODE
 - Scan Interno

Latches extra

Xilinx Spartan-II

Spartan-II: Boundary-Scan Test (2)



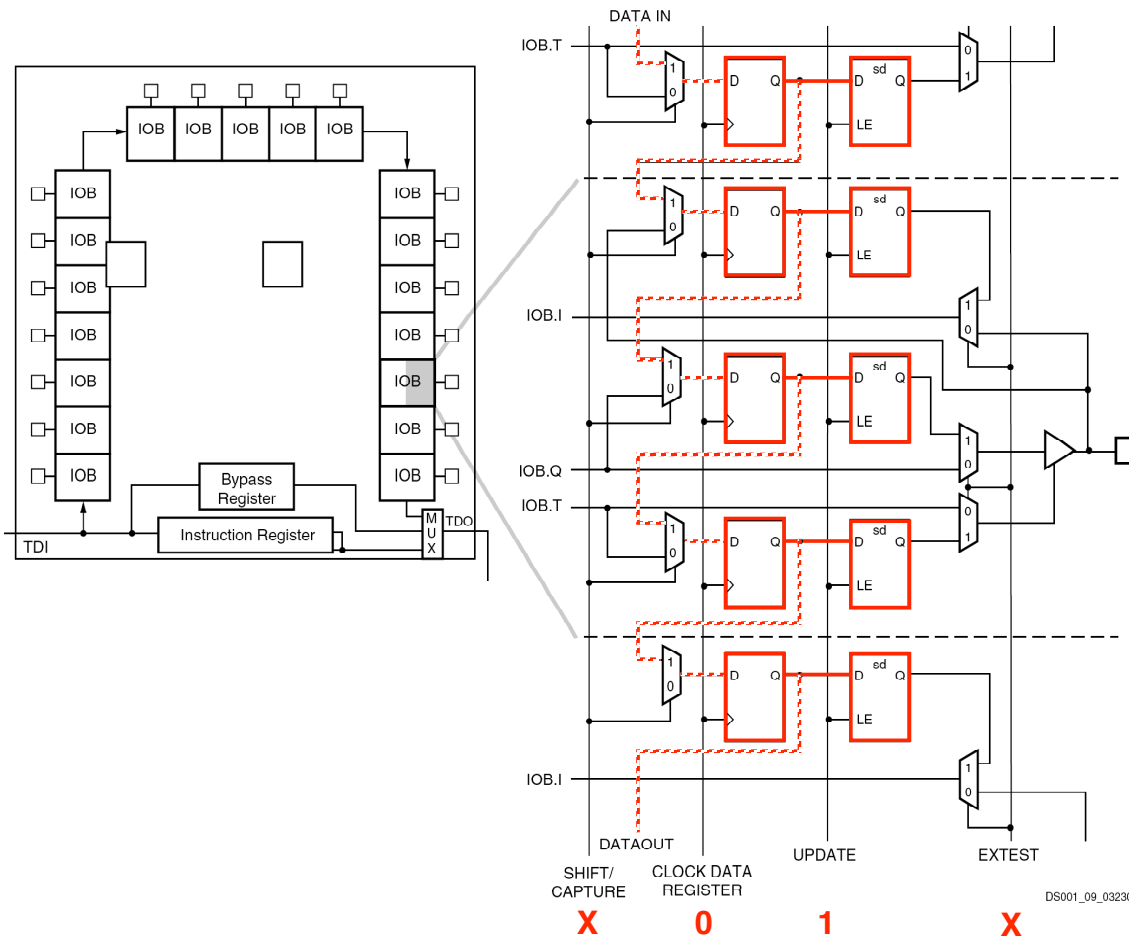
Operación Scan-In / Scan-Out

- ◇ Cadena "Scan". Registro de desplazamiento
- ◇ Datos de entrada cargados en serie a través de TDI ("Test Data In") en la cadena "Scan"
 - Observación simultánea de la respuesta previa
- ◇ Activaciones del reloj de desplazamiento

Carga del Patrón de Test

Xilinx Spartan-II

Spartan-II: Boundary-Scan Test (3)



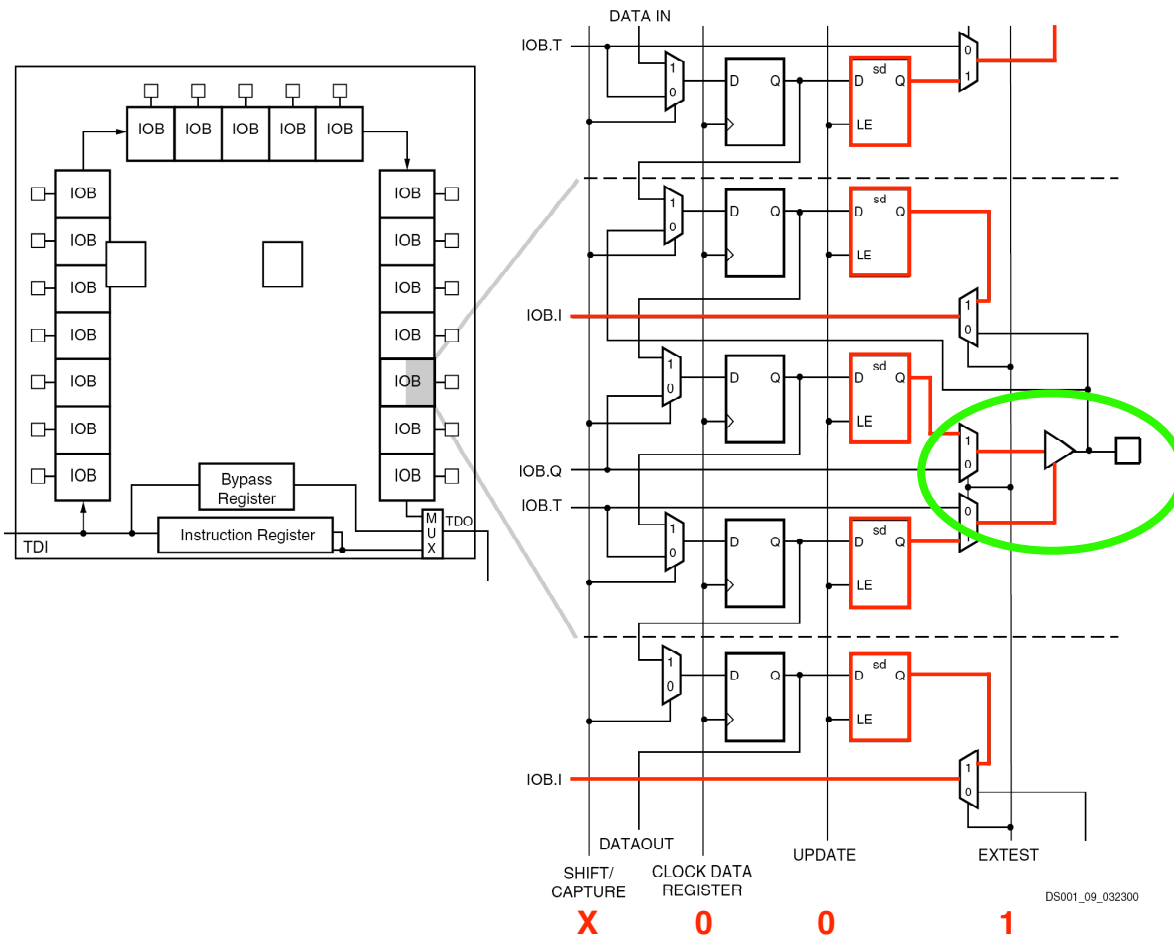
Operación Scan-In / Scan-Out

- ◆ Finalizada la carga de los datos de entrada
- ◆ Almacenamiento de los datos de entrada en los latches
- Actualización de los datos de entrada

Actualización del Patrón de Test

Xilinx Spartan-II

Spartan-II: Boundary-Scan Test (4)



Operación Scan-In

◊ El patrón de test se aplica a las entradas del chip

◊ El patrón de test puede aplicarse también para probar las interconexiones del chip

(EXTEST)

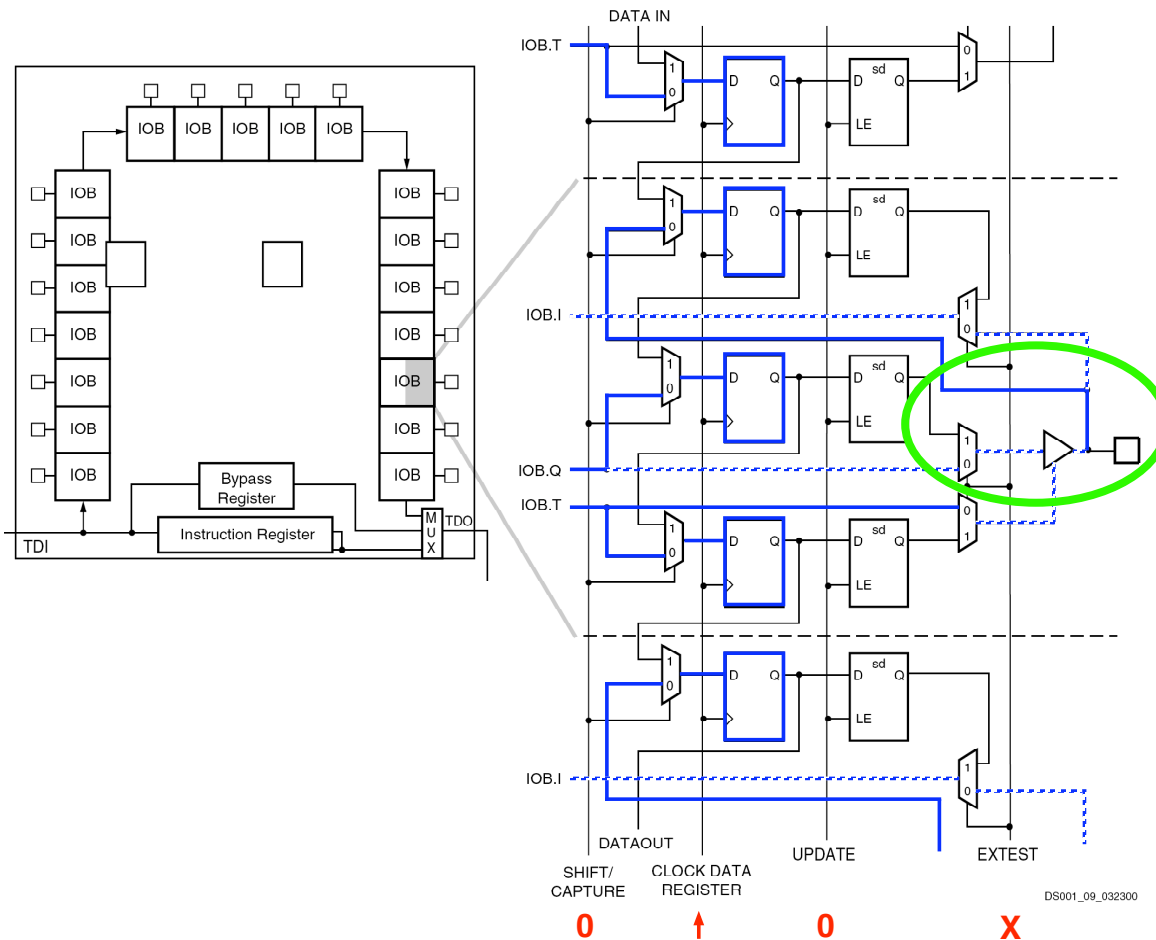
Reloj del sistema -->

◊ 1 sólo ciclo de reloj (reloj sistema = "clock data register")

Aplicación del Patrón de Test

Xilinx Spartan-II

Spartan-II: Boundary-Scan Test (5)



Captura de la Respuesta

- ♦ La respuesta del circuito se almacena en los FFs
- ♦ Prueba de las interconexiones del chip (EXTEST)

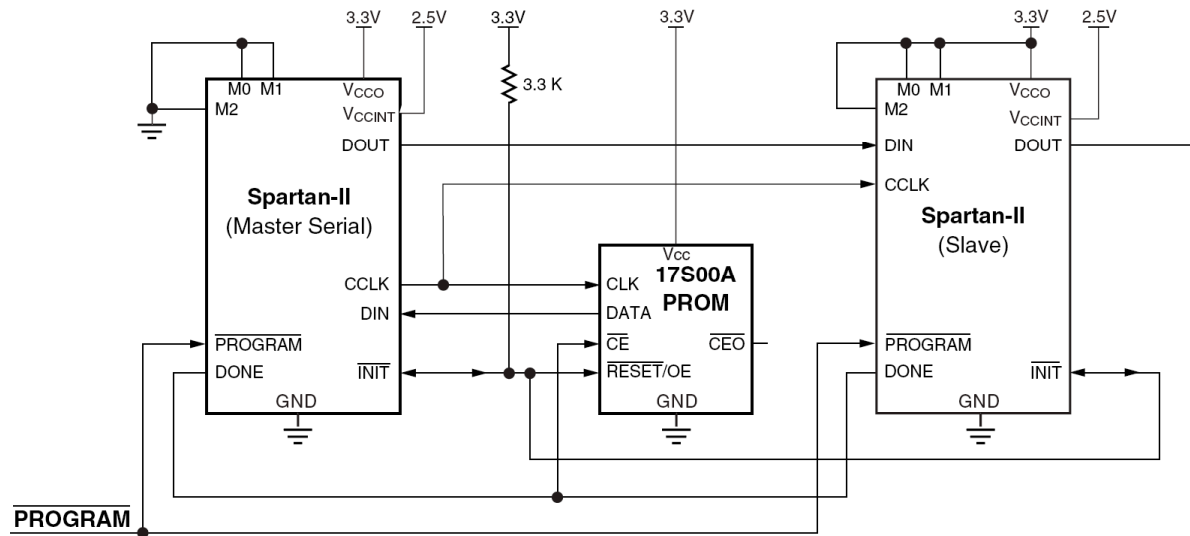
Operación Scan-Out / Scan-In

- ♦ Cadena "Scan". Registro de desplazamiento
- ♦ Observación de la respuesta a través de TDO ("Test Data Out")
 - Carga simultánea de los datos del siguiente patrón de test

Captura de la Respuesta del circuito

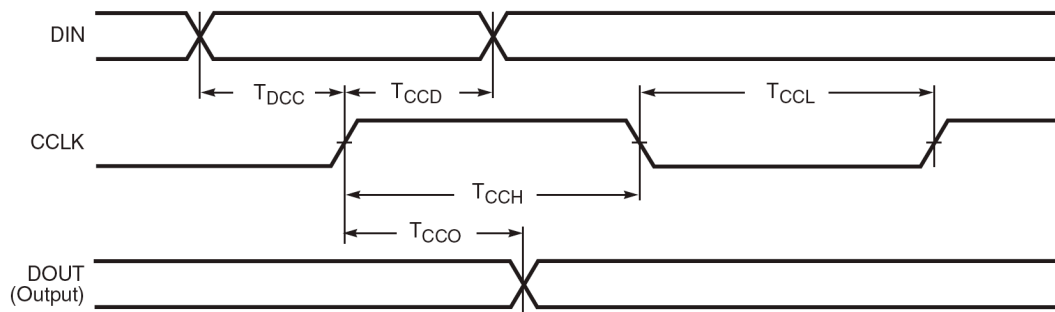
Xilinx Spartan-II

Spartan-II: Configuración



Modo Amo/Esclavo Serie
"Master/Slave serial"

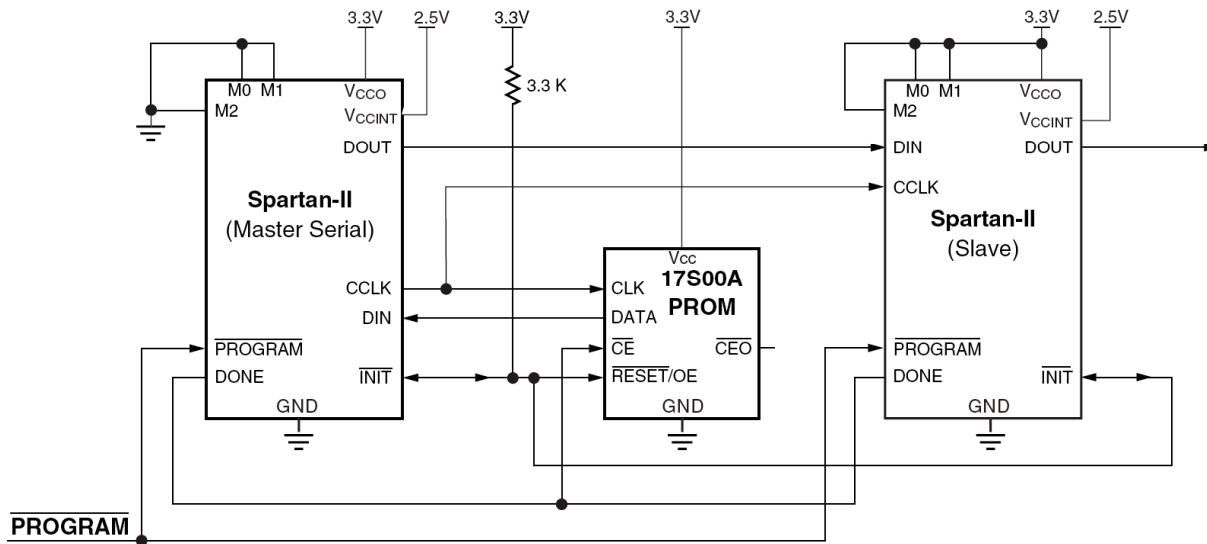
Modo Esclavo Serie
 $M_0 M_1 M_2 = 11X$



Cronograma de configuración
Modo Esclavo Serie

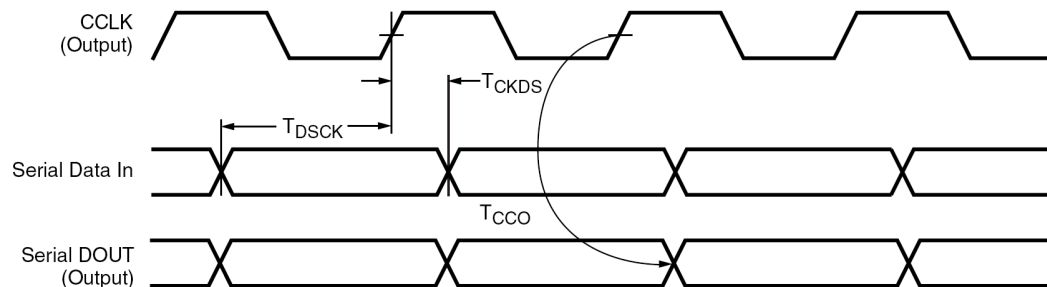
Xilinx Spartan-II

Spartan-II: Configuración (2)



Modo Amo/Esclavo Serie
"Master/Slave serial"

Modo Amo Serie
 $M_0 M_1 M_2 = 00X$

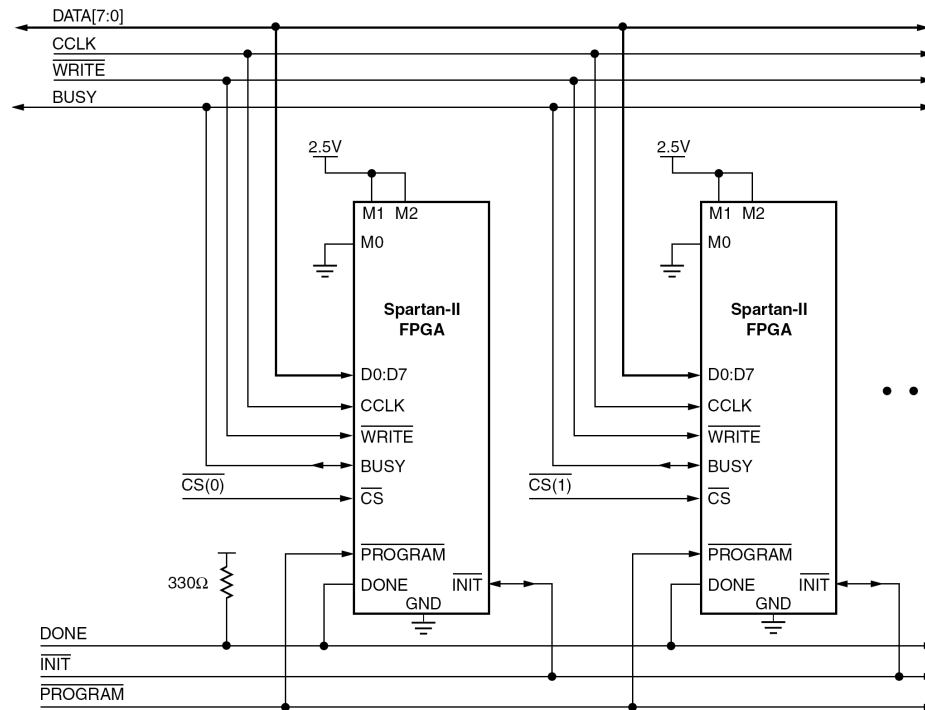


Cronograma de configuración
Modo Amo Serie

CCLK generado por un
oscilador interno de la FPGA

Xilinx Spartan-II

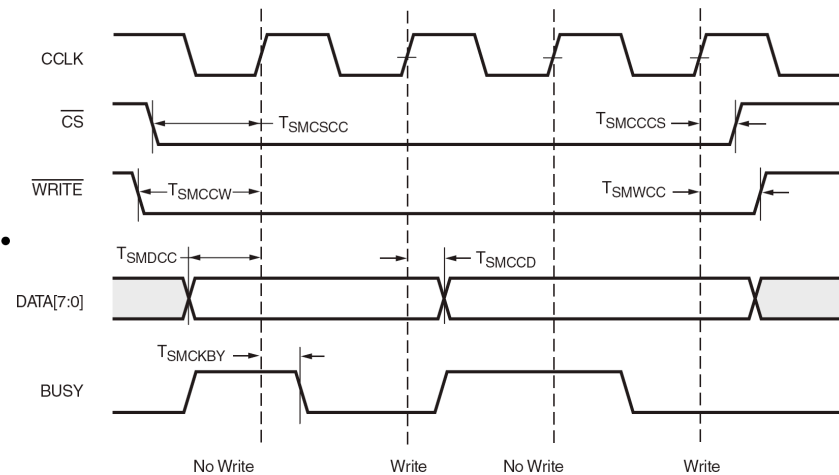
Spartan-II: Configuración (3)



**Modo Esclavo Paralelo
"Slave parallel"**

Configuración Byte a byte

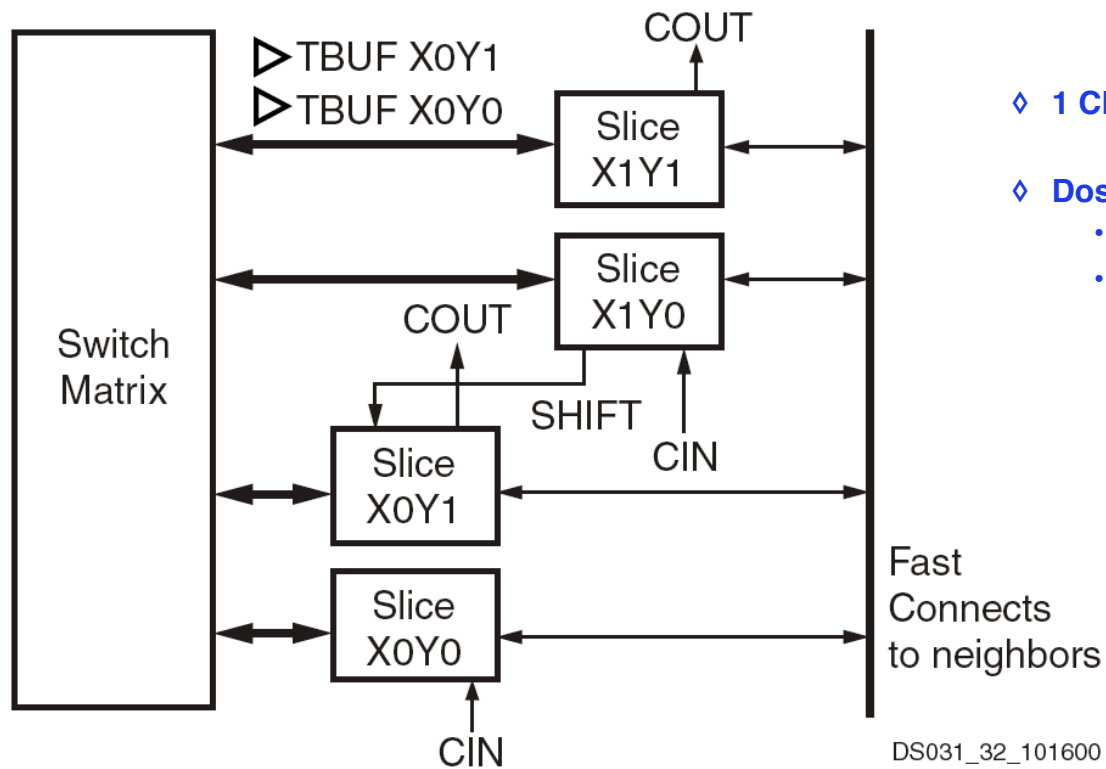
**Modo Esclavo Paralelo
 $M_0 M_1 M_2 = 011$**



Cronograma de configuración

Xilinx Spartan-II

Xilinx: Familia Virtex-II



◇ 1 CLB: 4 “slices”

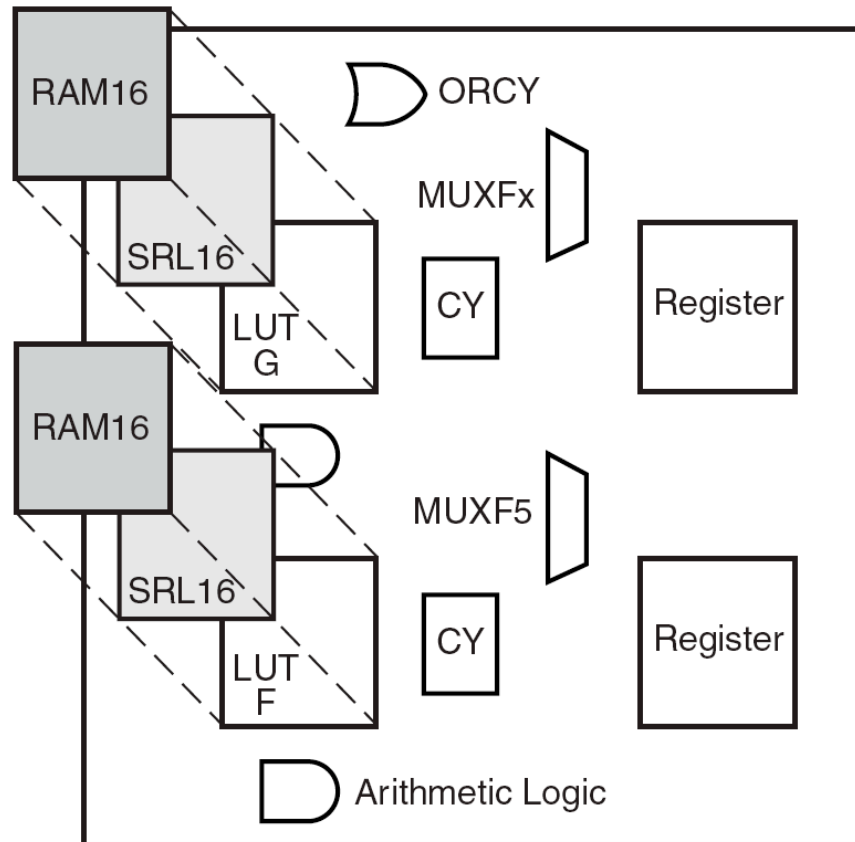
◇ Dos columnas de 2 “slices” con

- 2 cadenas de acarreo independientes
- 1 cadena de desplazamiento común

DS031_32_101600

CLB

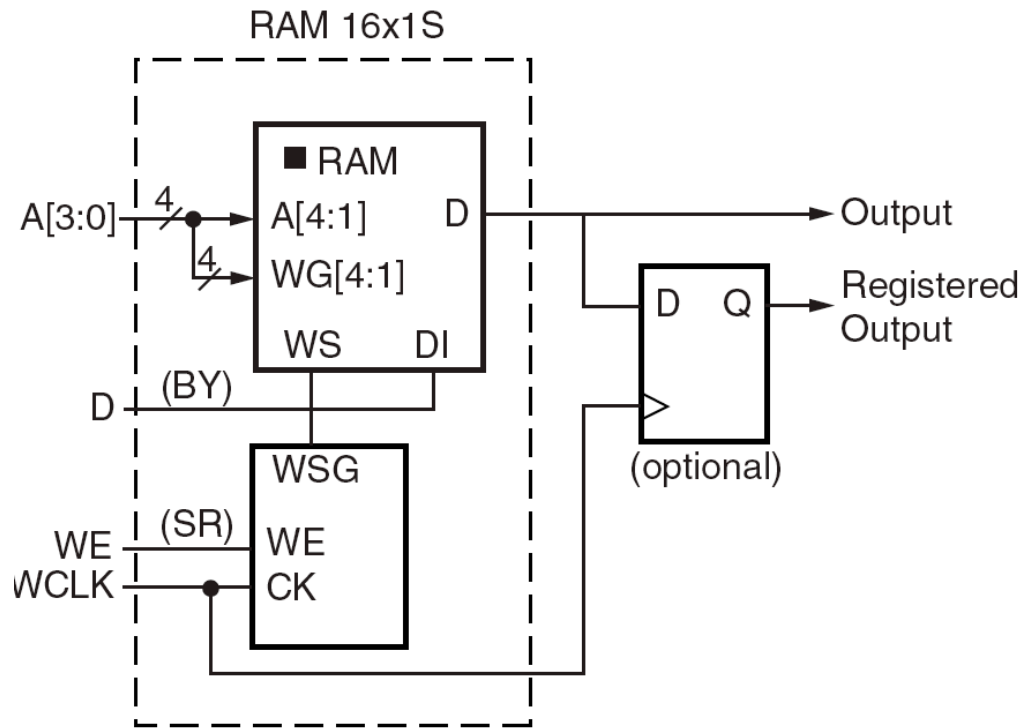
Xilinx: Familia Virtex-II (2)



“Slice” de CLB

- ◊ 1 “Slice”:
 - 2 Generadores de función de 4 entradas
 - LUT de 4 entradas
 - Memoria distribuida SelectRAM (16)
 - Registro de desplazamiento de hasta 16 bits
 - Lógica de acarreo
 - Lógica aritmética
 - Multiplexores de ampliación de función
 - 2 elementos de almacenamiento (FFs latches)
-

Xilinx: Familia Virtex-II (4)



Distributed SelectRAM Configurations

RAM	Number of LUTs
16 x 1S	1
16 x 1D	2
32 x 1S	2
32 x 1D	4
64 x 1S	4
64 x 1D	8
128 x 1S	8

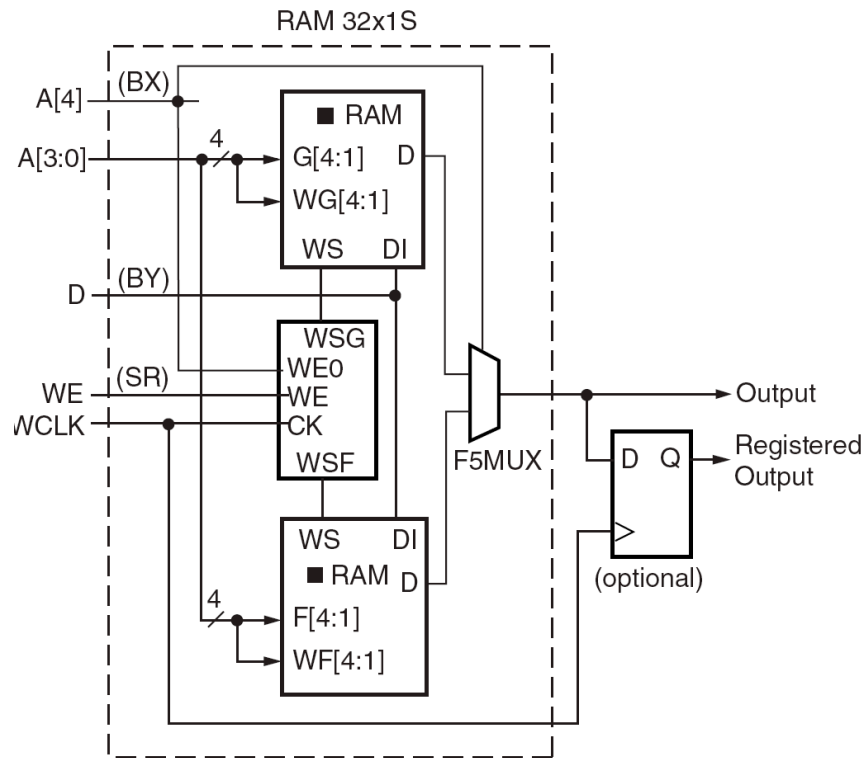
ROM Configuration

ROM	Number of LUTs
16 x 1	1
32 x 1	2
64 x 1	4
128 x 1	8 (1 CLB)
256 x 1	16 (2 CLBs)

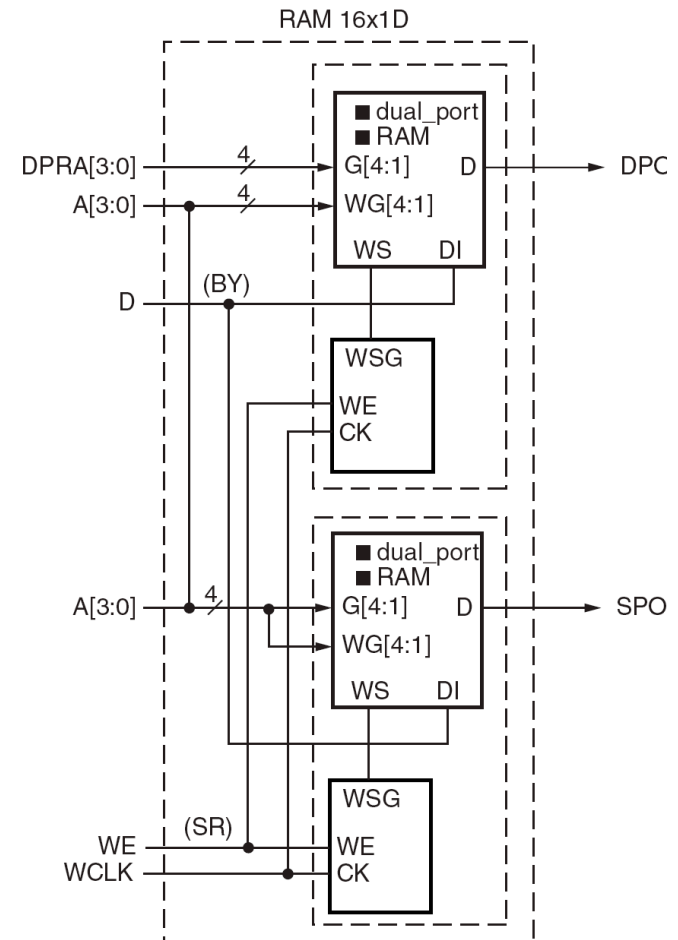
**Mitad de 1 de las 4 "Slices" de un CLB
Configurada como SelectRAM Distribuida 16 x 1 bits (puerto simple)**

Xilinx: Familia Virtex-II (5)

SelectRAM Distribuida 16 x 1 bits (doble puerto)

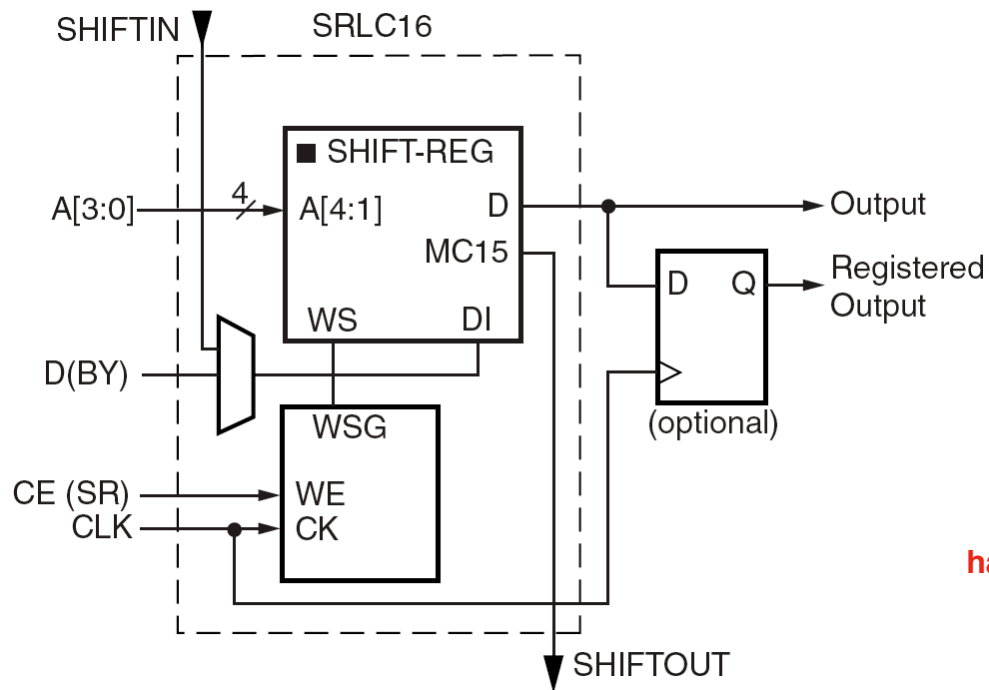


SelectRAM Distribuida 32 x 1 bits (puerto simple)



1 de las 4 "Slices" de un CLB

Xilinx: Familia Virtex-II (6)

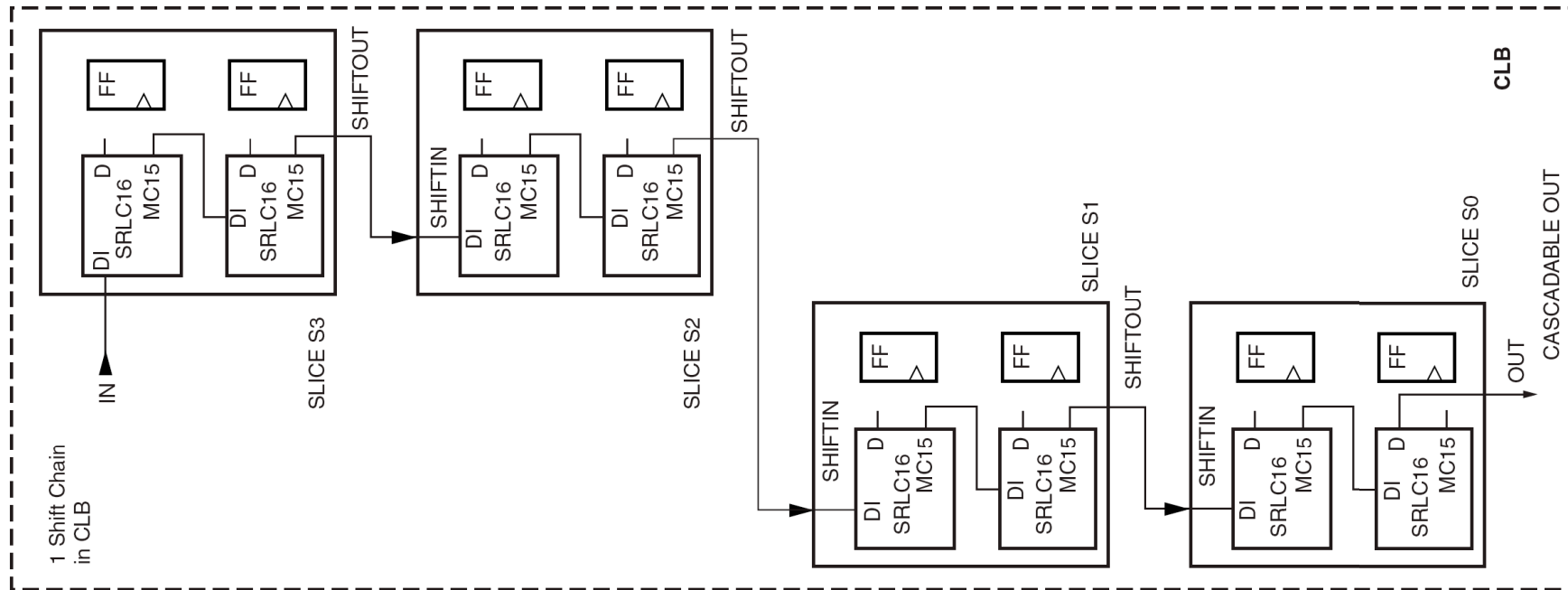


♦ 1 LUT:

- **Registro de desplazamiento de 16 bits**
 - **Acceso de lectura dinámico a uno cualquiera de los 16 bits**
 - **Conexión dedicada del último bit de un Registro de Desplazamiento al primer bit de otro Registro de Desplazamiento (sin pasar por la salida ordinaria del LUT)**
 - **Registro de desplazamiento de 16 bits**
- hasta

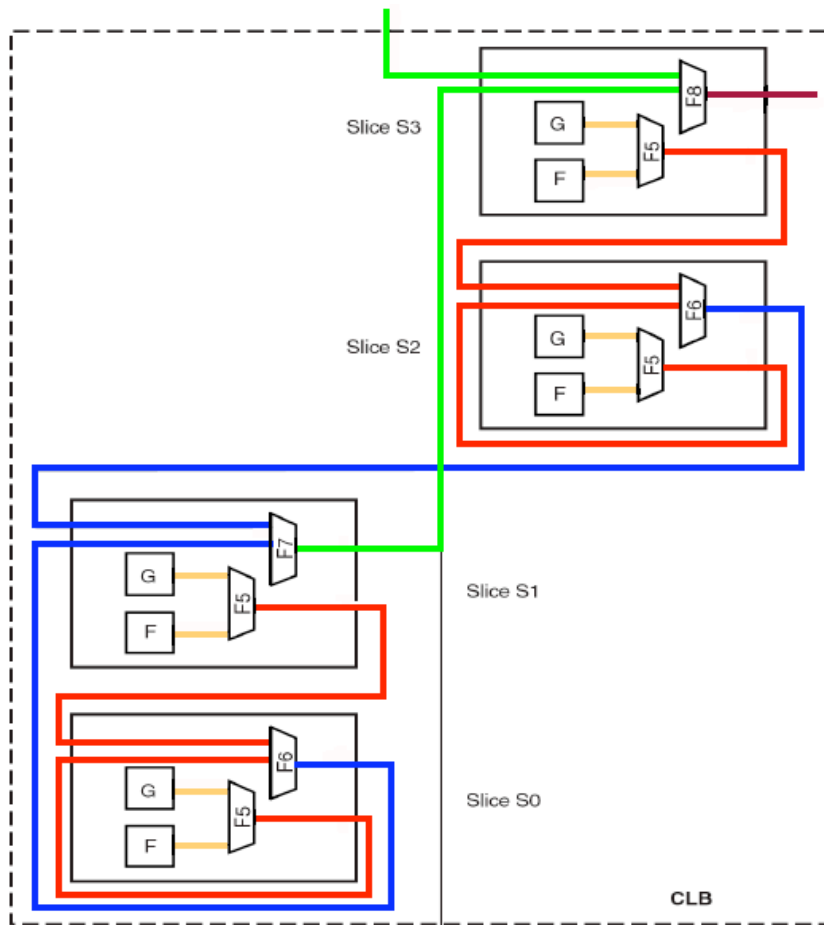
**Mitad de 1 de las 4 "Slices" (1 LUT) de un CLB
Configurada como Registro de Desplazamiento de 16 bits**

Xilinx: Familia Virtex-II (7)



1 CLB configurado como Registro de Desplazamiento de 128 bits

Xilinx: Familia Virtex-II (8)



1 CLB configurado como Multiplexor

- ◇ **MUX F5** combina las salidas de **2 LUTs** (1 “slice”)
- ◇ **MUX F6** combina las salidas de **2 MUXs F5** (2 “slices”)
- ◇ **MUX F7** combina las salidas de **2 MUXs F6** (1 CLB)
- ◇ **MUX F8** combina las salidas de **2 MUXs F7** (2 CLBs)
- ◇ **Es posible implementar MUXs de:**
 - **4:1** (1 “slice”)
 - **8:1** (2 “slices”)
 - **16:1** (1 CLB)
 - **32:1** (2 CLBs)

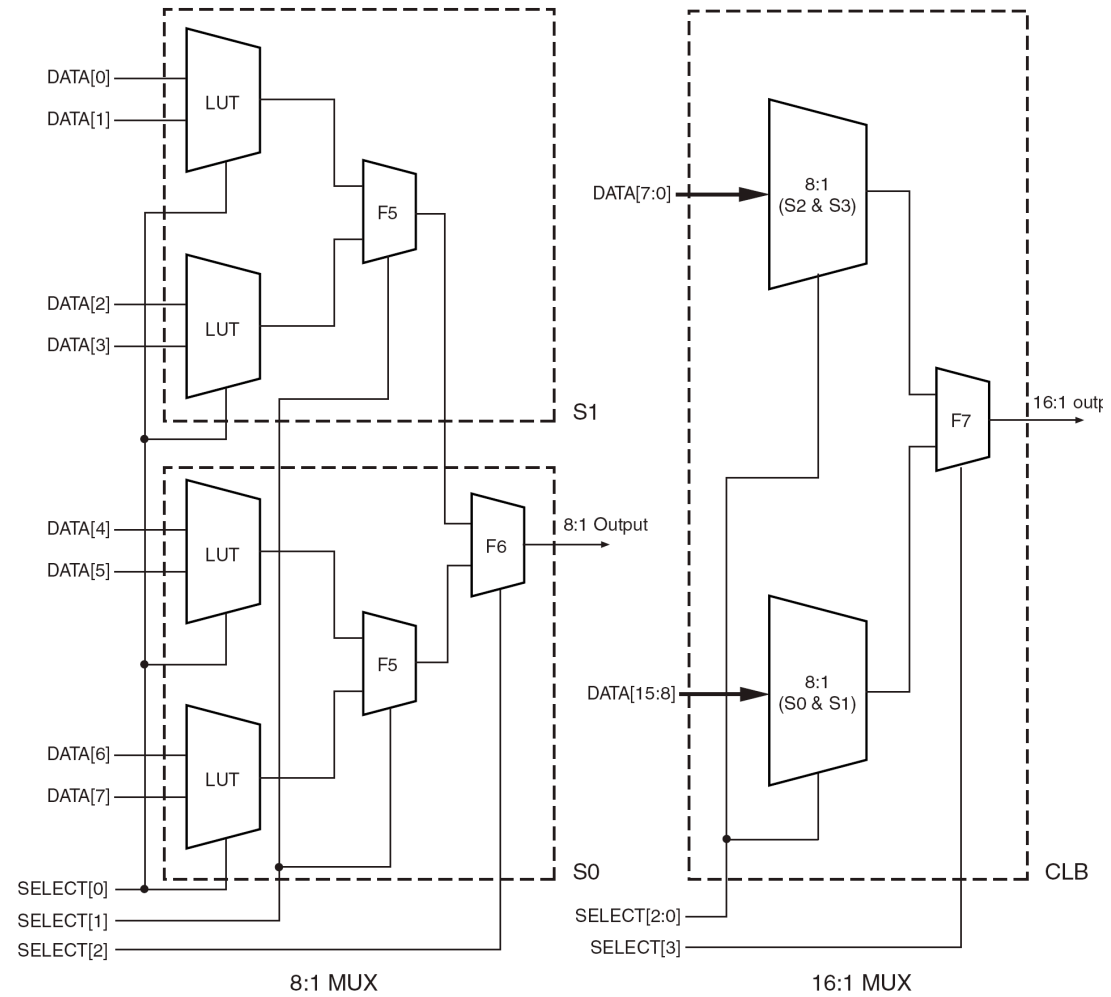
Xilinx: Familia Virtex-II (9)

Ejercicio

Mostrar la estructura de un CLB configurado como MUX 16: 1.

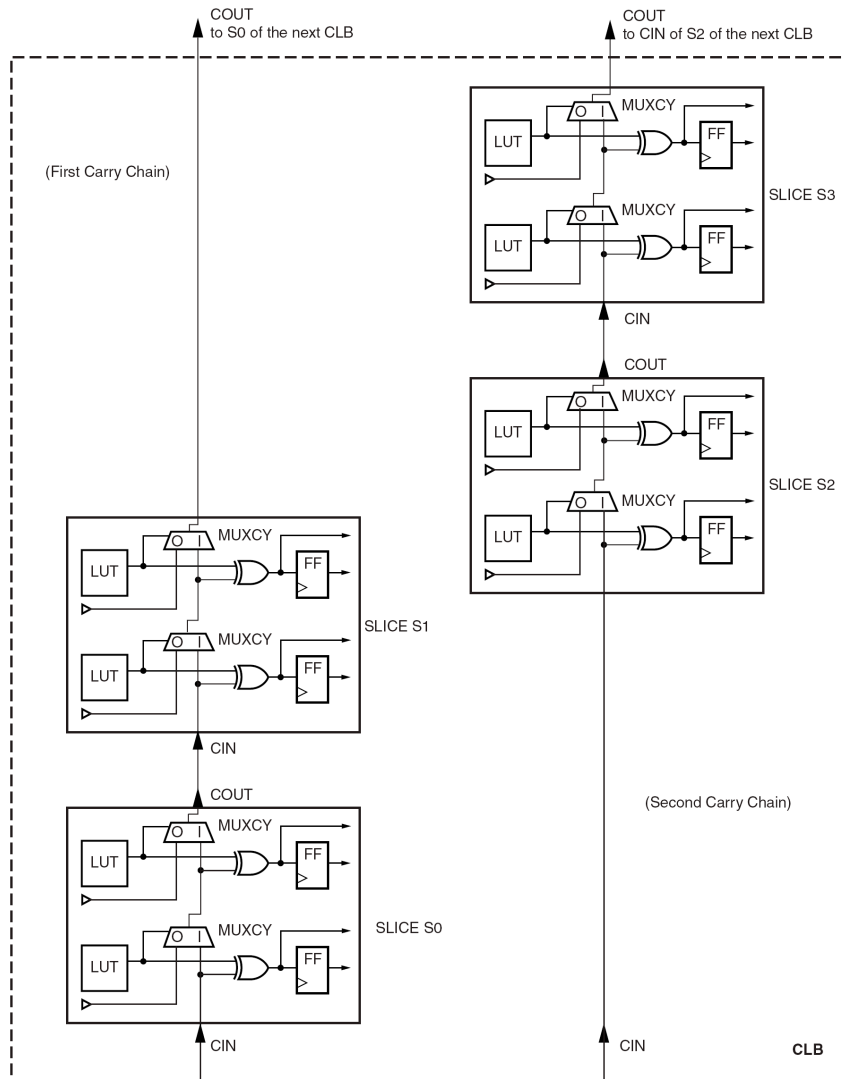
Xilinx: Familia Virtex-II (10)

Ejercicio



CLB configurado como MUX 16: 1

Xilinx: Familia Virtex-II (11)

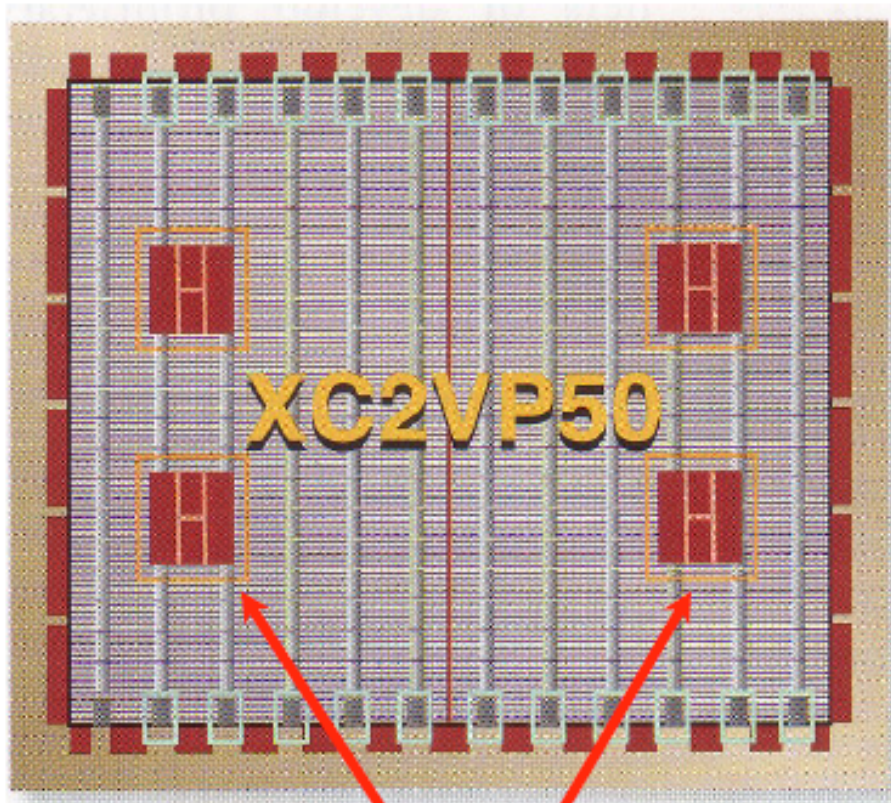


Lógica de acarreo dedicada

♦ Suma y resta rápida

- Utiliza el camino de acarreo dedicado y el MUX de acarreo dedicado MUXCY
- La XOR (lógica aritmética) permite implementar un sumador completo (“full adder”) de 2 bits en 1 “slice”

Xilinx: Familia Virtex-II Pro



Procesadores IBM Power PC 405

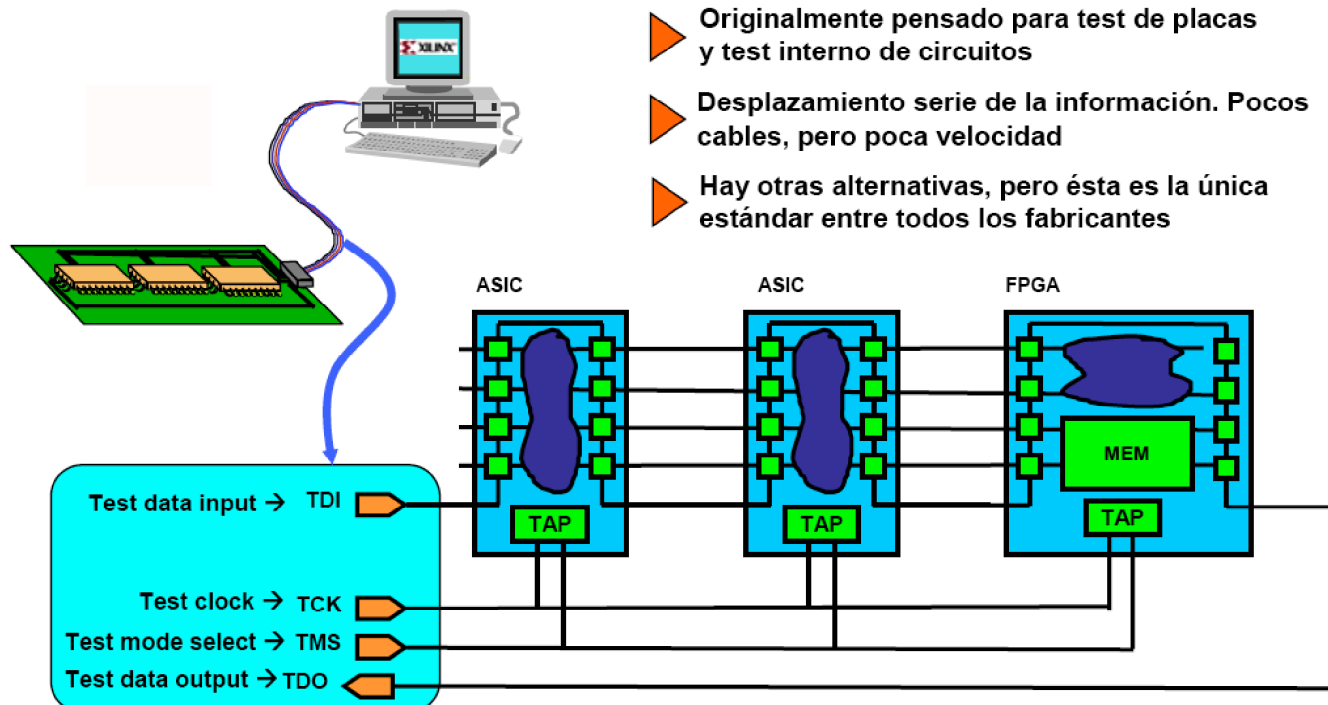
Xilinx Virtex-II Pro

- ◇ Desde 1.408 hasta 55616 CLBs
- ◇ Bloque de RAM desde 216K bits hasta 3.888K bits
- ◇ Hasta 4 procesadores IBM PowerPC 405 (RISC 32-bit) 300MHz empotrados
- ◇ De 4 a 12 DCMs (“Digital Clock Managers”)
- ◇ Rocket I/O Multi-Gigabit Transceivers
- ◇ Entre 204 y 1200 I/O “pads” disponibles por el usuario

“System-On-a-Programmable-Chip”
SOPC

Configuración

Programación basada en el estándar IEEE 1149.1 (JTAG o Boundary Scan)



Configuración (2)

