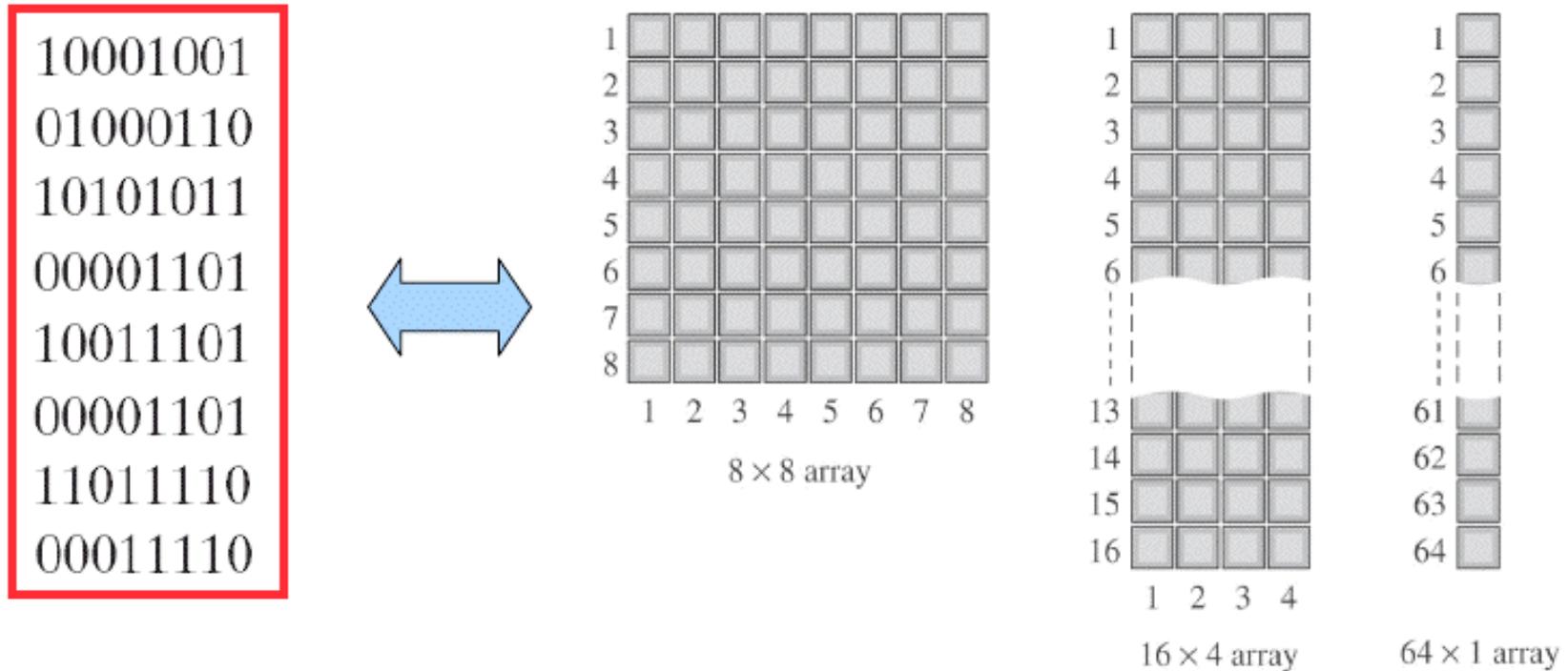


# **TEMA 1**

**Memorias semiconductoras:  
tipos básicos. Memorias SRAM.  
Memorias DRAM**

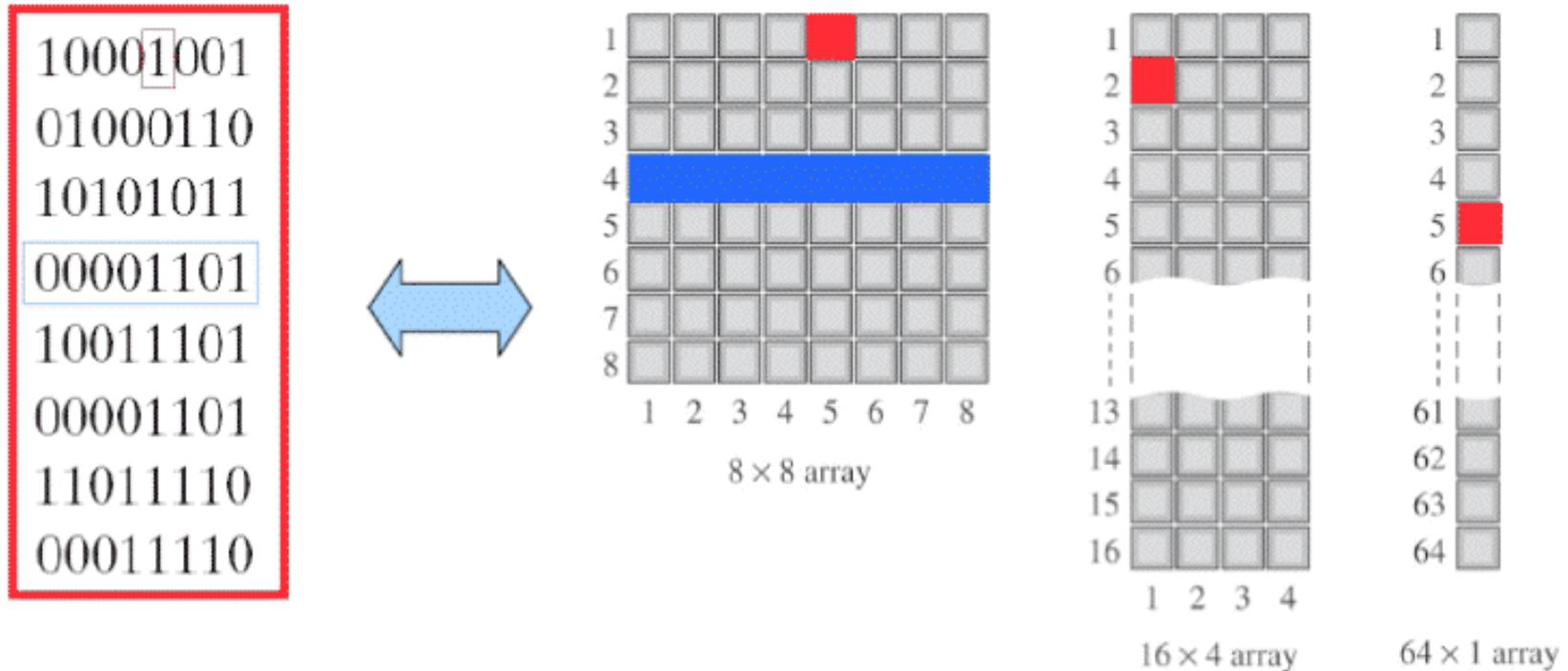
# Matriz de memoria semiconductor básica



- **Celdas de memoria**
- **Organización**  
**Filas y columnas**

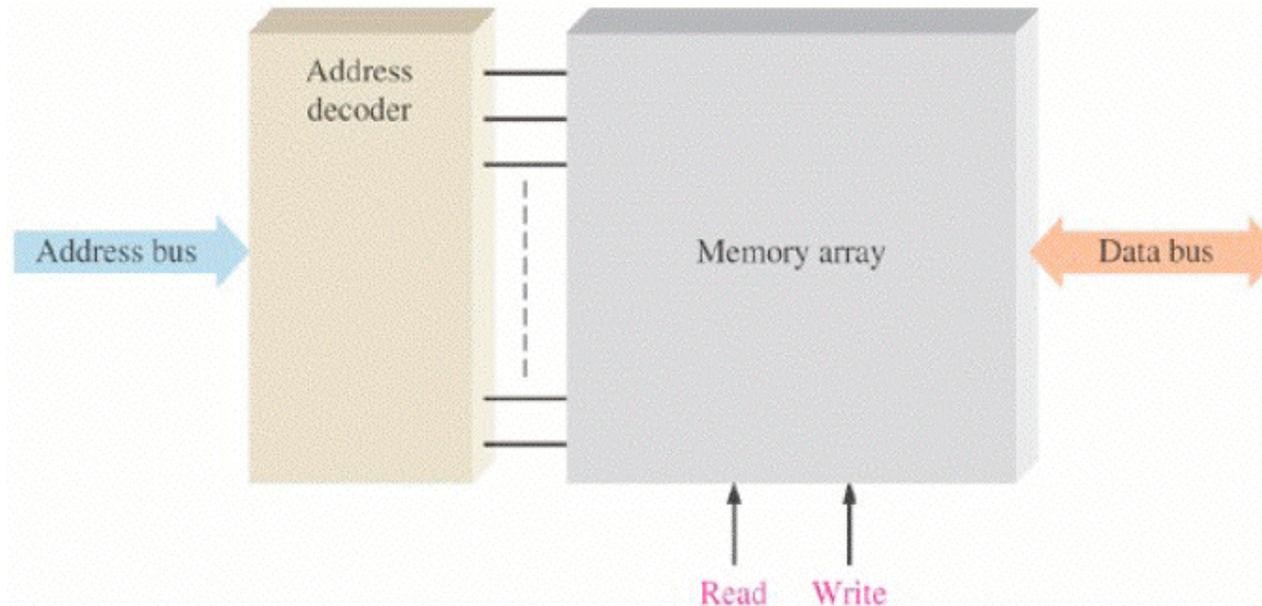
- **bit**  
**nibble (4 bits)**  
**Byte (8 bits, 2 nibbles)**  
**word (2, 4, 8, ... Bytes)**

# Características de la memoria: Capacidad y direccionamiento



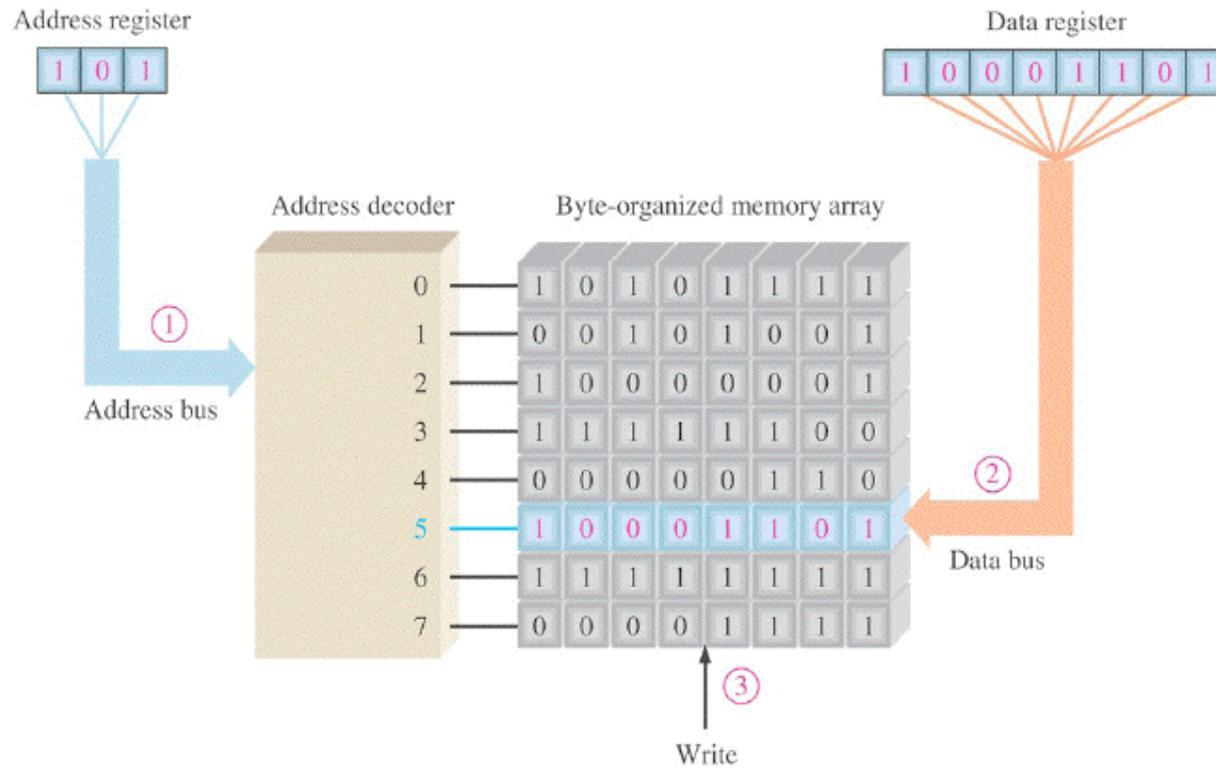
- **Capacidad:** nº de unidades de memoria (y organización)
- **Dirección:** Fila y columna (bit)  
Fila (palabra)

# Conexionado básico



- **Buses:** datos  
direcciones  
anchuras
- **Buses de datos:** entrada  
salida  
entrada/salida
- **Capacidad tri-estado:** L, H, Z
- **Decodificador de direcciones**
- **Habilitación:** chip  
salidas  
lectura  
escritura

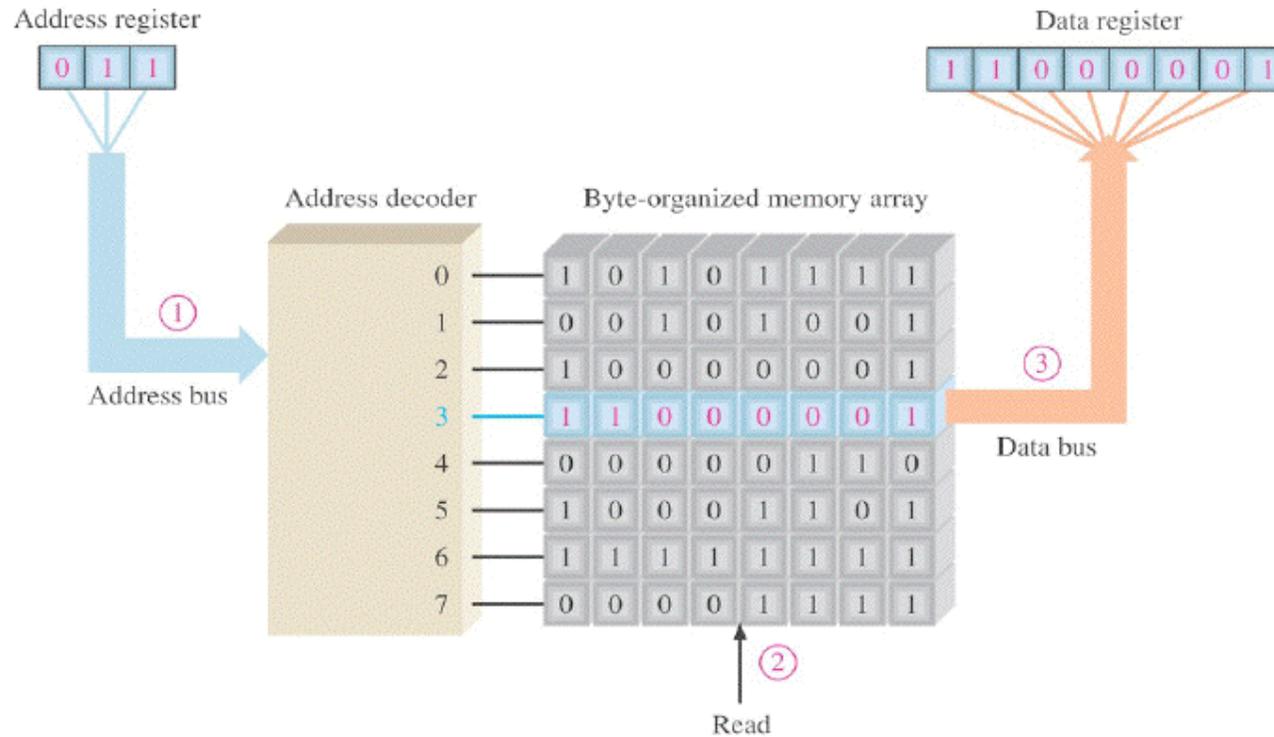
# Operación de escritura



- **Direcciones y datos**

- **Habilitación:** chip, escritura
- **Deshabilitación:** salidas
- **Destructiva**

# Operación de lectura



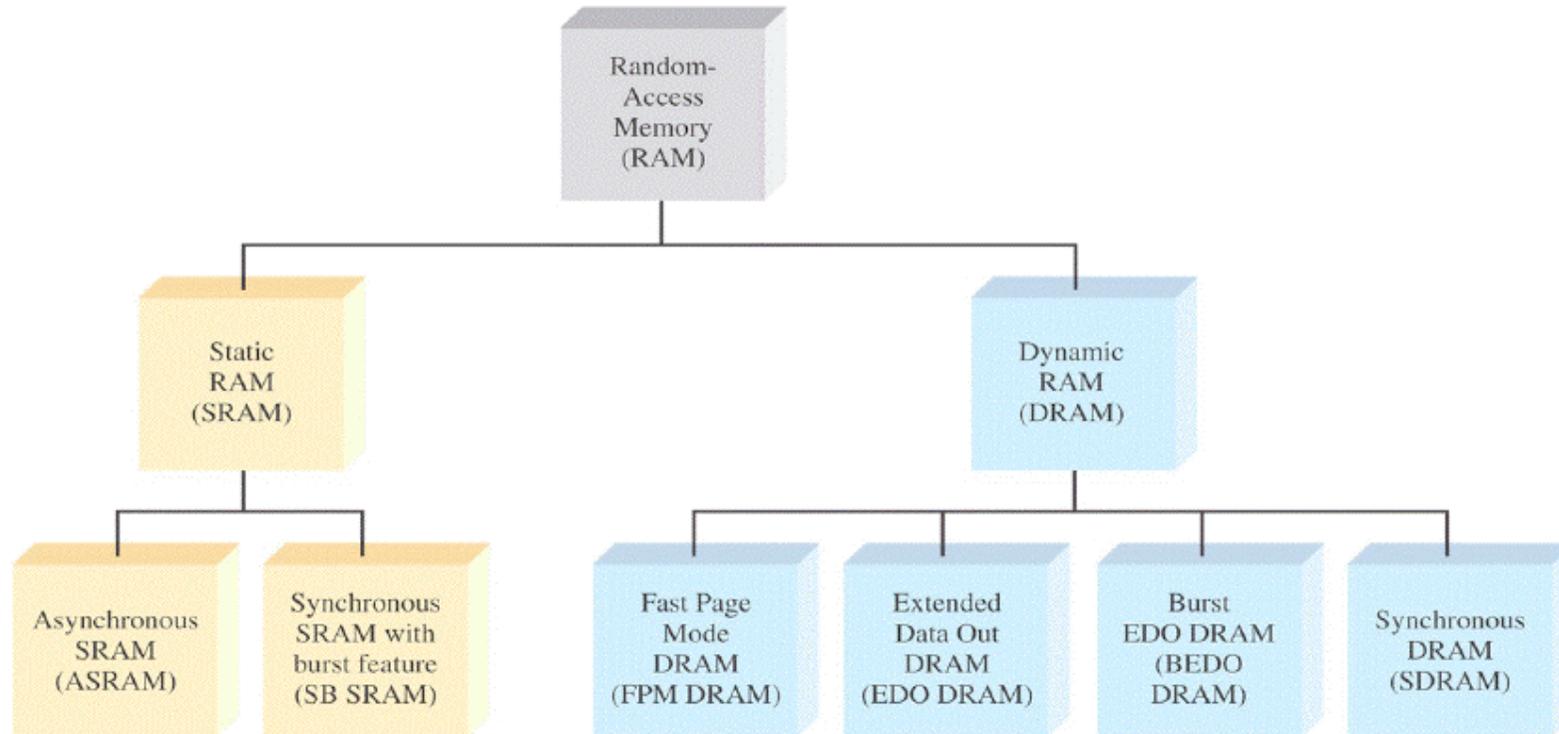
- **Direcciones**

- **Habilitación:** chip, salidas
- **Deshabilitación:** escritura
- **No destructiva**

# Tipos básicos de memorias

- ❑ **RAM (“Random Access Memory”)**
  - Volátiles
  - Accesibilidad
    - ◊ Orden aleatorio
    - ◊ Mismo tiempo de acceso a cualquier dirección
  - Lectura / Escritura
- ❑ **ROM (“Read-only Memory”)**
  - No volátiles
  - Accesibilidad
    - ◊ Orden aleatorio
    - ◊ Mismo tiempo de acceso a cualquier dirección
  - Lectura
- ❑ **“Non Random Access Memory”**
  - Volátiles
  - Accesibilidad en orden no aleatorio
  - Lectura / Escritura

# Memorias RAM



- **SRAM:** Estáticas
- **DRAM:** Dinámicas

# Memorias RAM

## ❑ SRAM (“Static Random Access Memory”)

- ◇ Almacenamiento: Flip-flop
- ◇ Almacenamiento por tiempo indefinido (manteniendo alimentación)
- ◇ Alta velocidad (pequeño tiempo de acceso)
- ◇ Area elevada

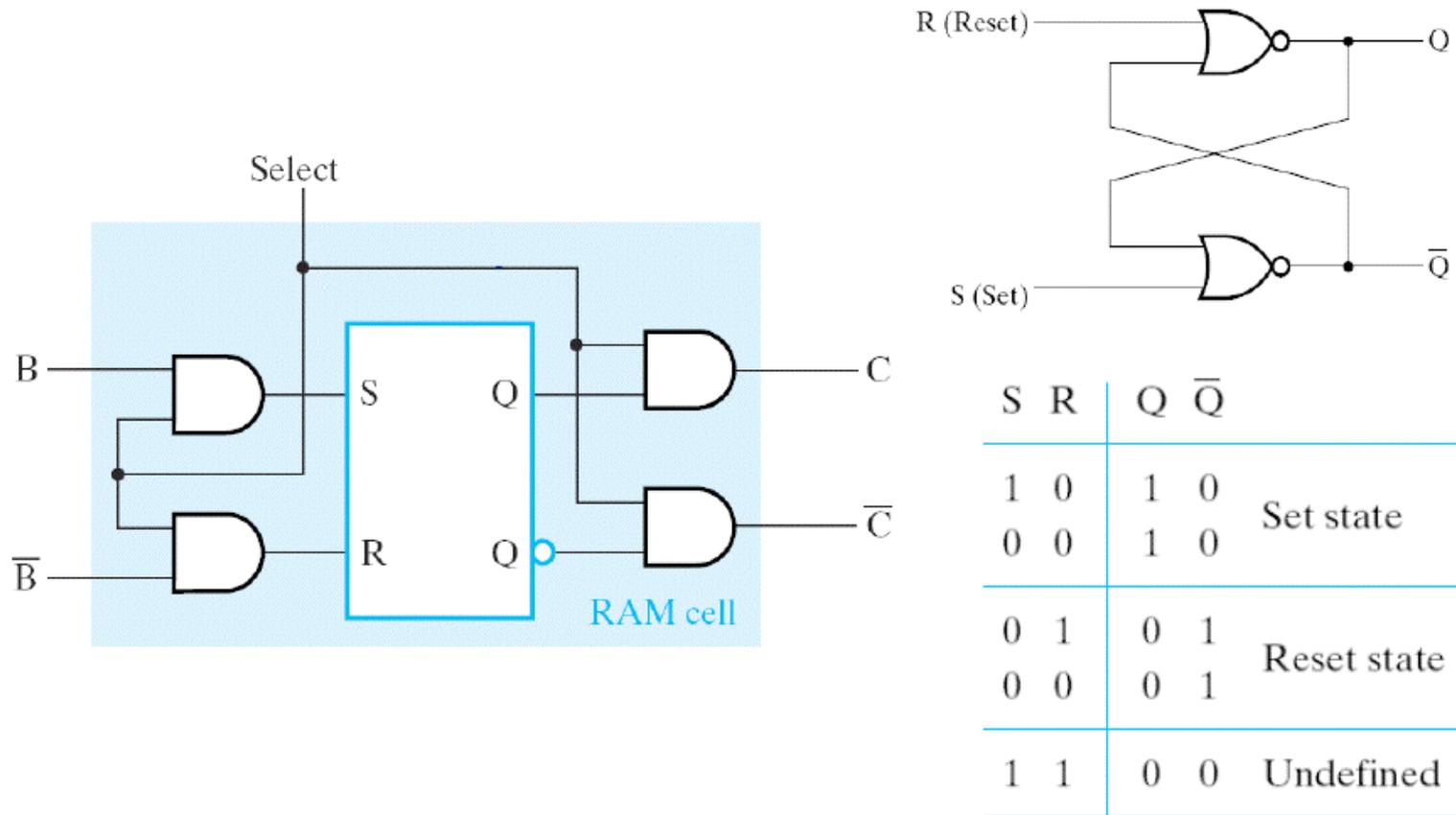
- Asíncronas (“Asynchronous SRAM”)
- Síncronas de ráfaga (“Synchronous Burst SRAM”)

## ❑ DRAM (“Dynamic Random Access Memory”)

- ◇ Almacenamiento: condensador
- ◇ Almacenamiento por tiempo limitado. Requiere refresco de datos periódico
- ◇ Menor velocidad (mayor tiempo de acceso)
- ◇ Menor área

- Modo de página rápido (“Fast Page Mode DRAM”)
- Salida de datos extendida (“Extended Data Output DRAM”)
- Salida de datos extendida en ráfaga (“Burst Extended Data Output DRAM”)
- Síncronas (“Synchronous DRAM”)

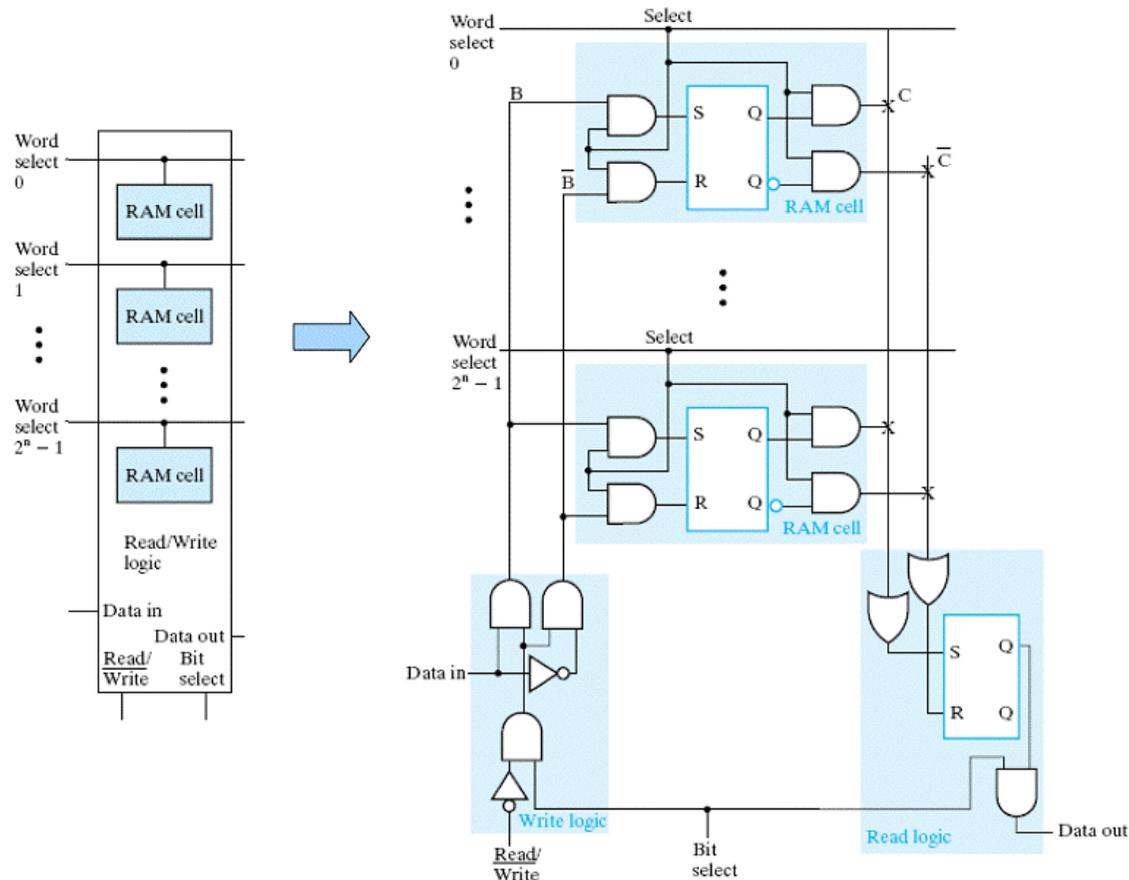
# Celda SRAM conceptual



En modo lectura (Read/Write\*=1)

- **Select 0:** SR=00, CC\*=00
- **Select 1:** SR=00, CC\*=QQ\*, se lee el valor almacenado

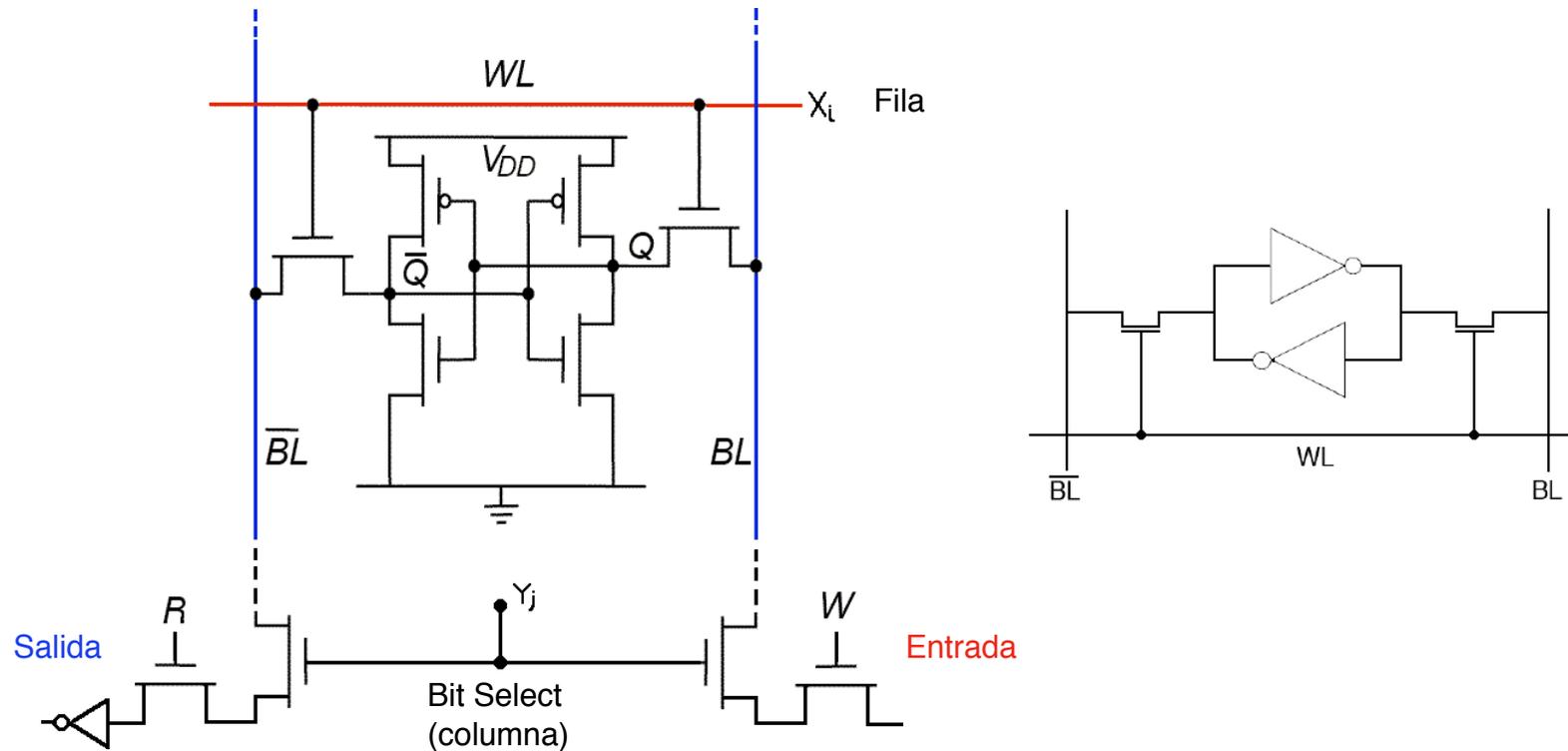
# SRAM conceptual (n X 1)



En modo escritura ( $\text{Read/Write}^*=0$ ,  $\text{Bit select}=1$ ,  $\text{Data In}=D$ )

- **Select 0:**  $\text{SR}=00$ ,  $\text{CC}^*=00$
- **Select 1:**  $\text{SR}=\text{BB}^*=\text{DD}^*$ ,  $\text{CC}^*=\text{DD}^{**}$ , se almacena el valor D en la palabra de la dirección seleccionada

# Celda SRAM (6T)



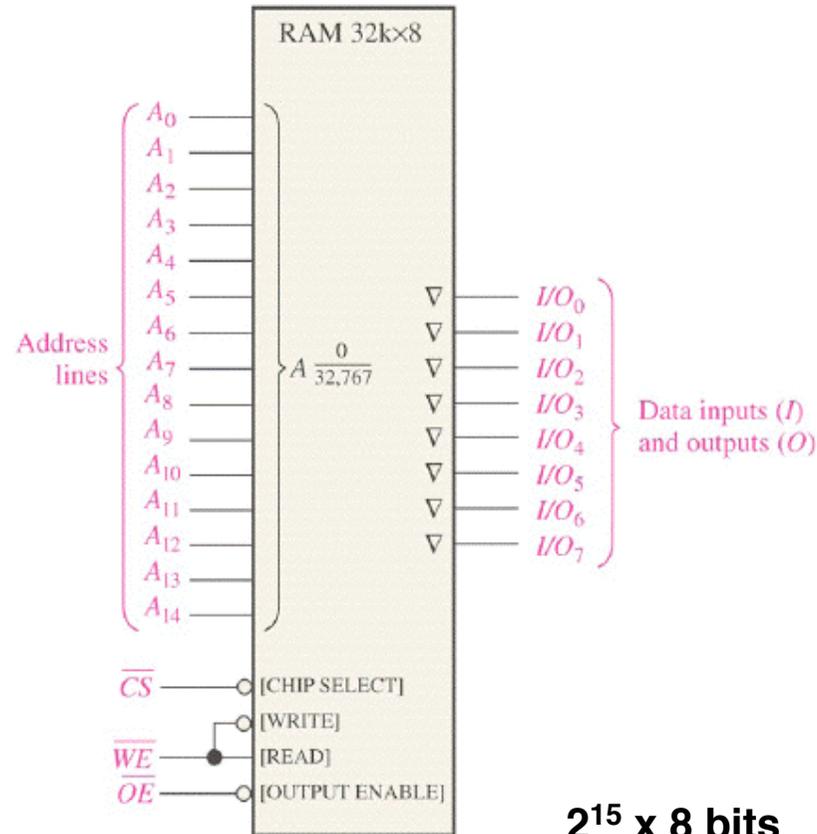
**En modo lectura (Read/Write\*=1, Bit Select= 1)**

- **Q=1:** --> **BL=1**
- **Q=0:** --> **BL=0**

**En modo escritura (Read/Write\*=0, Bit Select=1)**

- **BL=1:** --> **Q=1**
- **BL=0:** --> **Q=0**

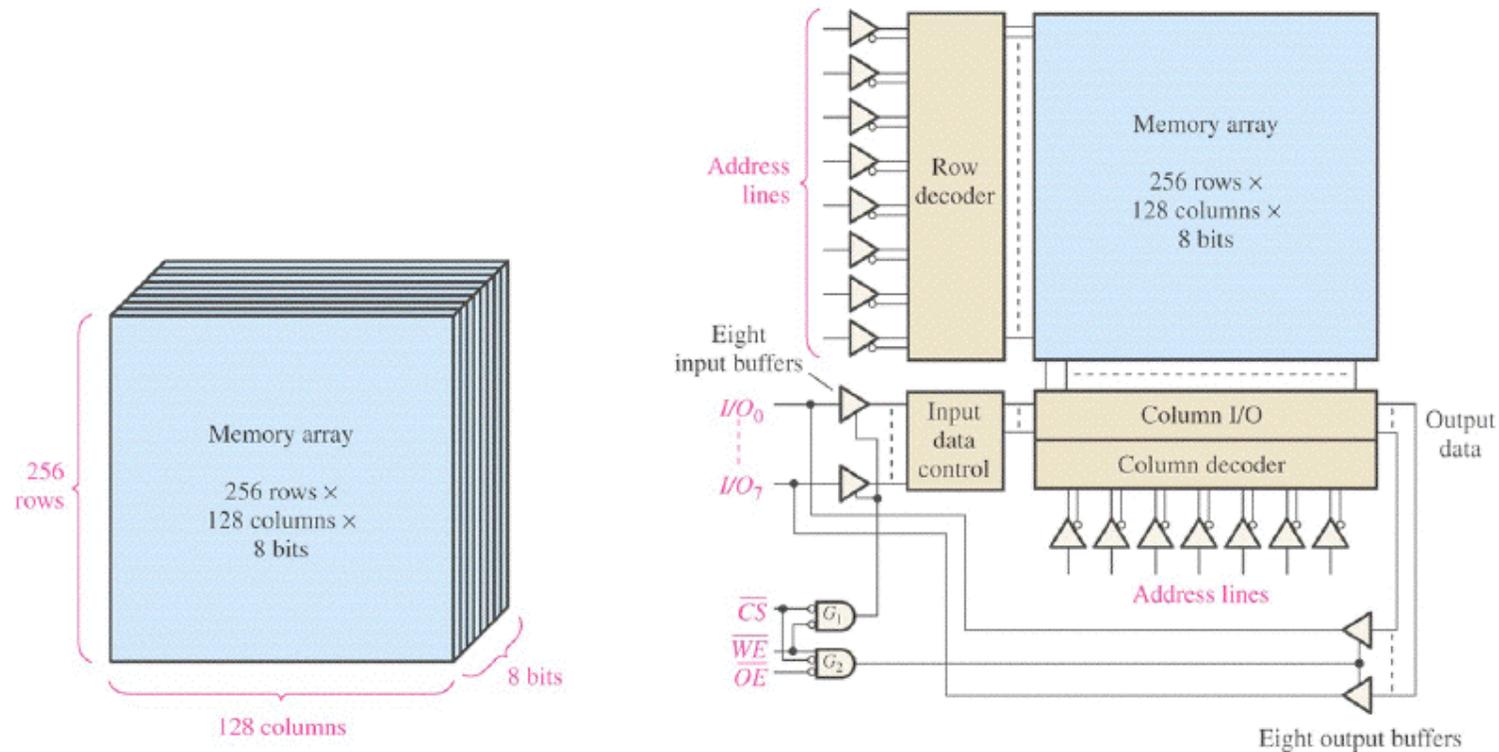
# SRAM: Representación simbólica



Líneas de direcciones. Rango  
Líneas de datos (I/O). Triestado  
Líneas de control

$2^{15} \times 8$  bits  
 $32768 \times 8$  bits = **32Kbytes**  
 $2^{18}$  bits = 262144 bits = **256Kbits**  
32Kpalabras de 8 bits

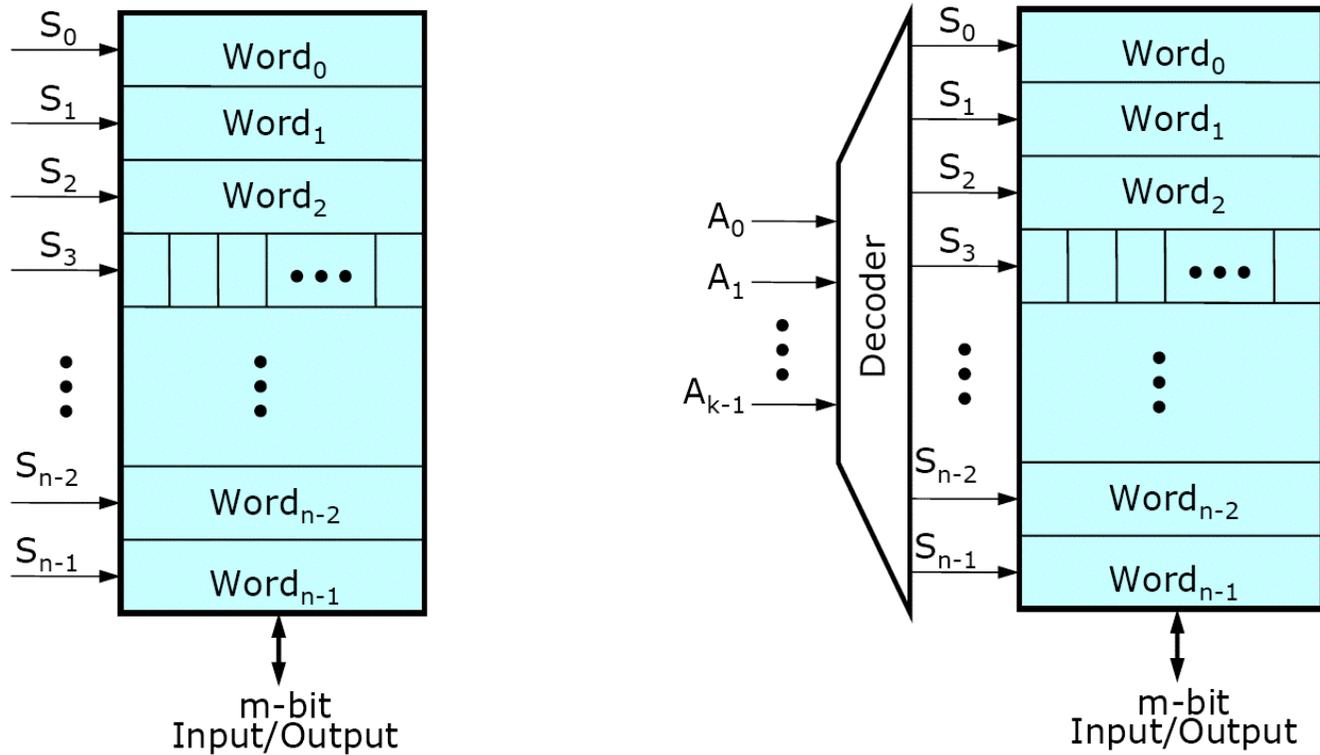
# SRAM: Organización interna



$2^8 \times 2^7 \times 2^3$  bits = **256 Kbits**  
**32 Kpalabras de 8 bits**

Lectura:  $\overline{CS}^*$ ,  $\overline{WE}^*$ ,  $\overline{OE}^*$ : L H L  
Escritura:  $\overline{CS}^*$ ,  $\overline{WE}^*$ ,  $\overline{OE}^*$ : L L H

# SRAM: Arquitectura 1-D

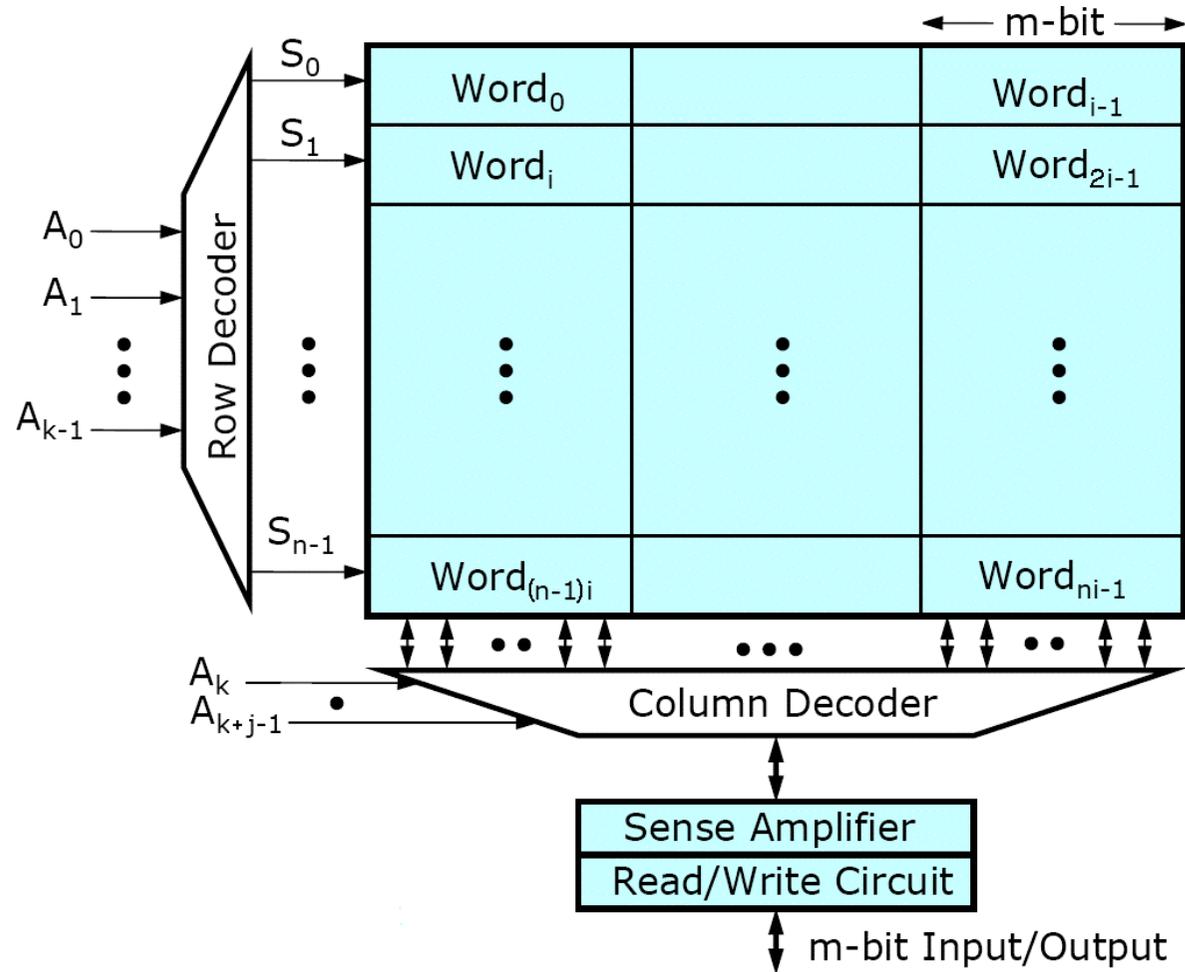


**$n \times m$  bits**

**$n$  palabras de  $m$  bits**

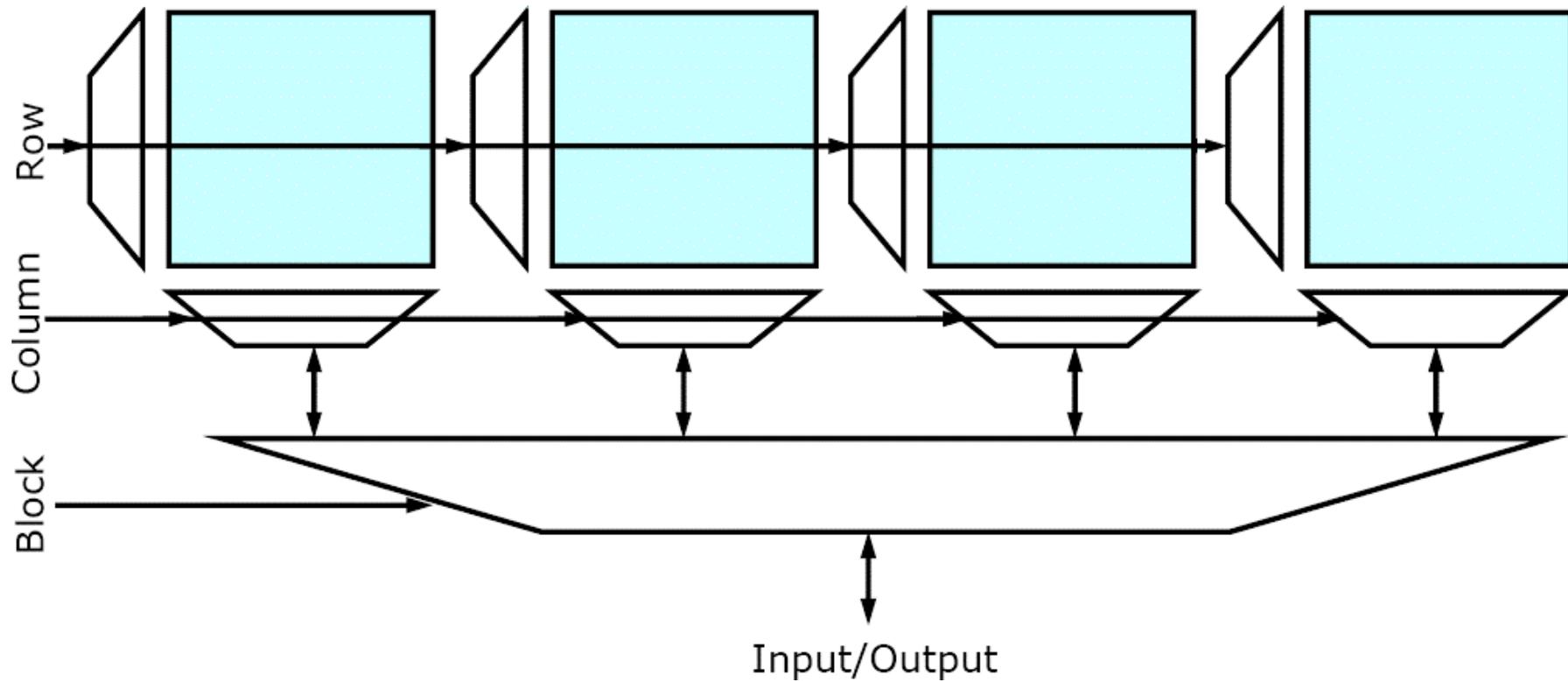
**$n$  líneas de selección -->  $k$  líneas de direcciones ( $2^k = n$ ):  $A_0$ - $A_{k-1}$**

# SRAM: Arquitectura 2-D



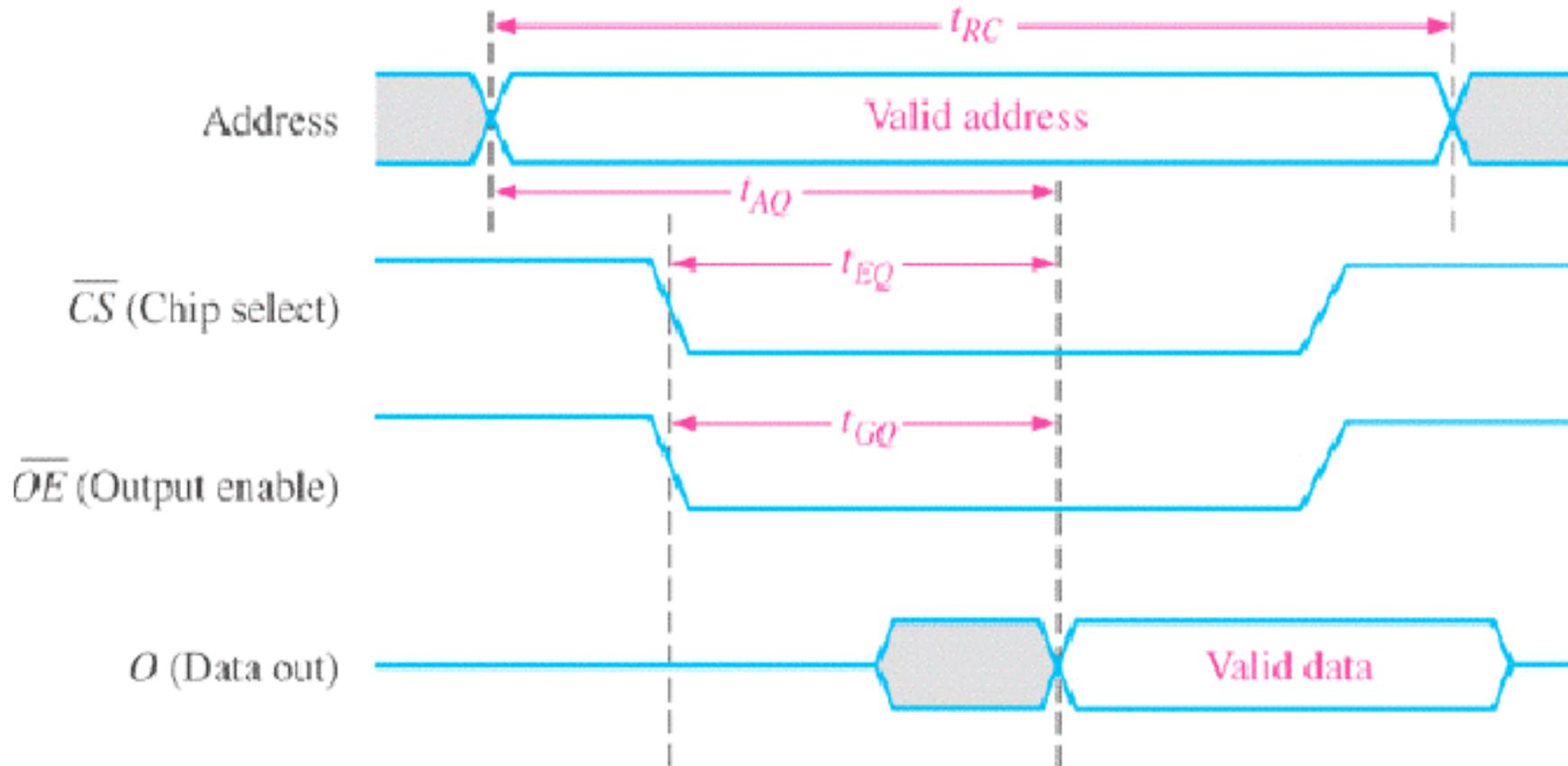
$i \times n \times m \text{ bits} = 2^{(i-k)} \times 2^k \times m \text{ bits} = 2^i \text{ palabras de } m \text{ bits}$

# SRAM: Arquitectura 3-D



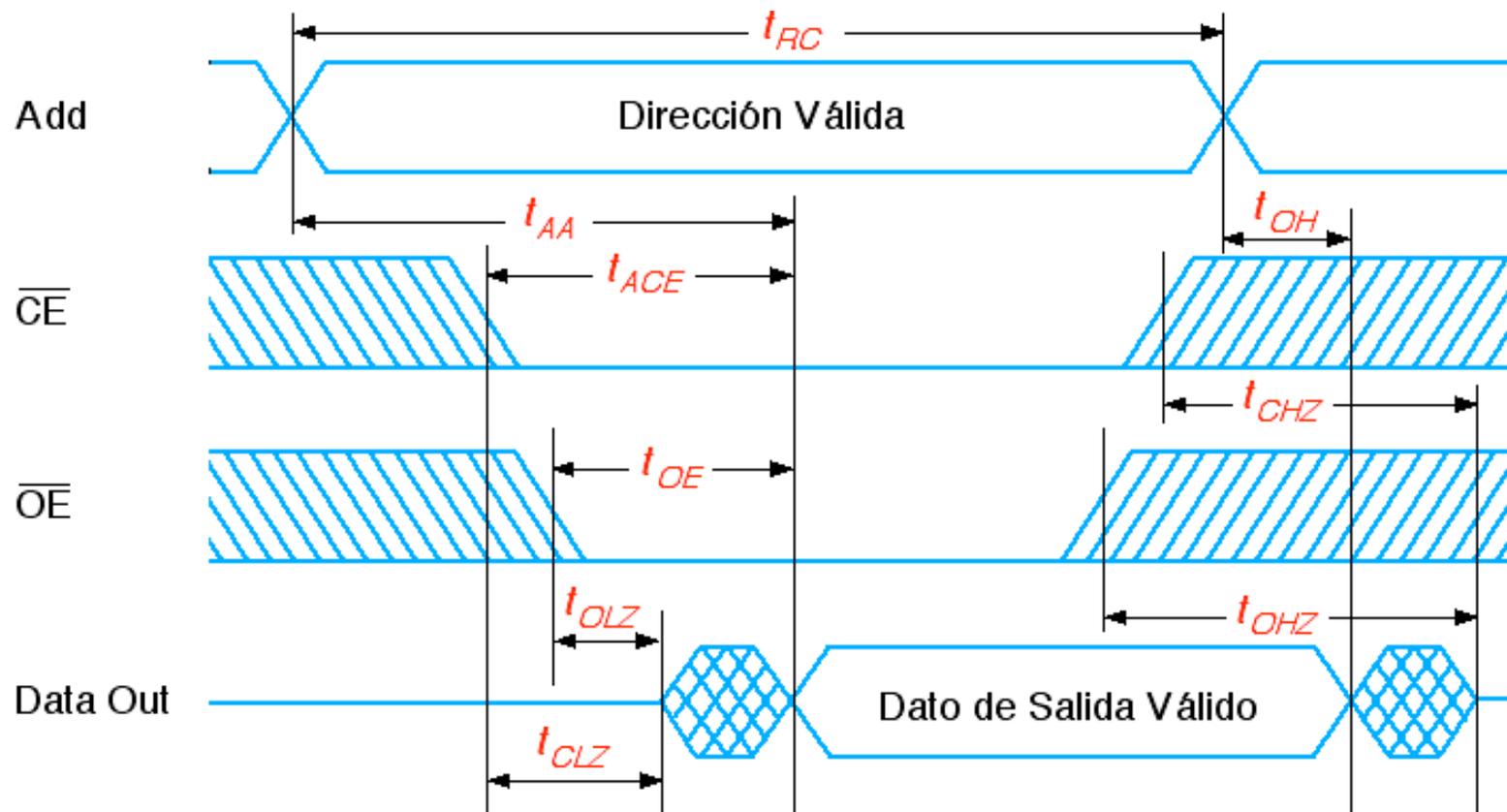
- Se activa solo un bloque de memoria (ahorro de energía)
- Cableado más corto dentro de cada bloque

# SRAM Asíncrona: Ciclo de lectura



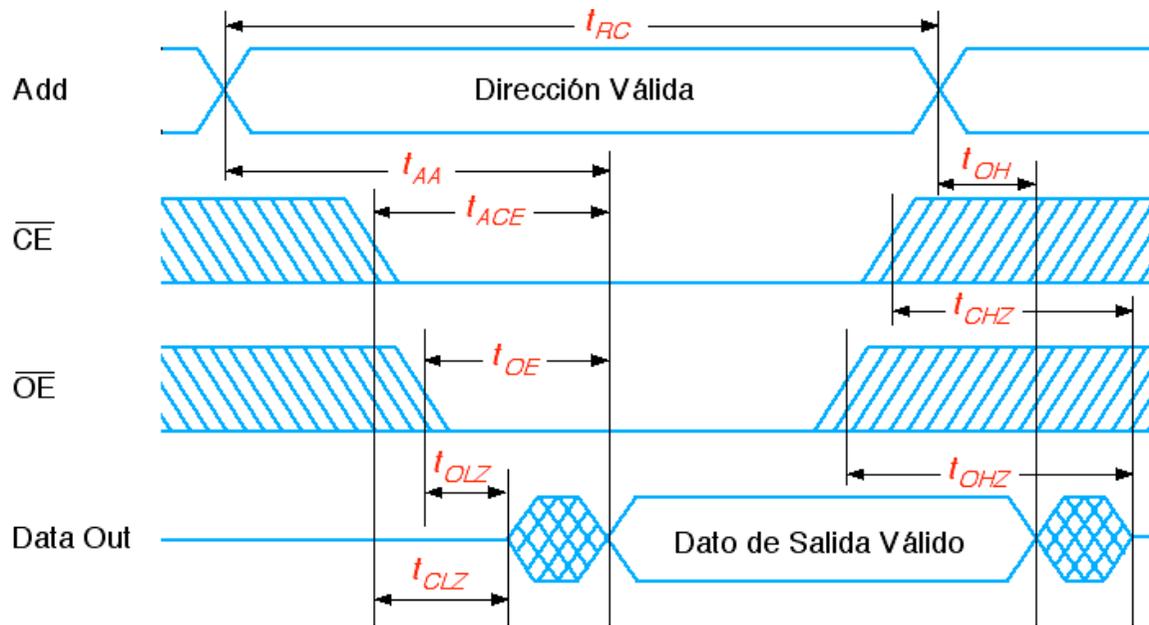
- **WE\*** a nivel H

# SRAM Asíncrona: Ciclo de lectura (1)



- **WE\*** a nivel H

# SRAM Asíncrona: Ciclo de lectura (2)



• WE\* a nivel H

$t_{RC}$ : Tiempo del ciclo de lectura (mín)

$t_{AA}$ : Tiempo de acceso desde dirección (máx)

$t_{ACE}$ : Tiempo de acceso desde CE\* (máx)

$t_{OE}$ : Tiempo desde OE\* a salida en Válida (máx)

$t_{CLZ}$ : Tiempo desde CE\* a salida en baja-Z (mín)

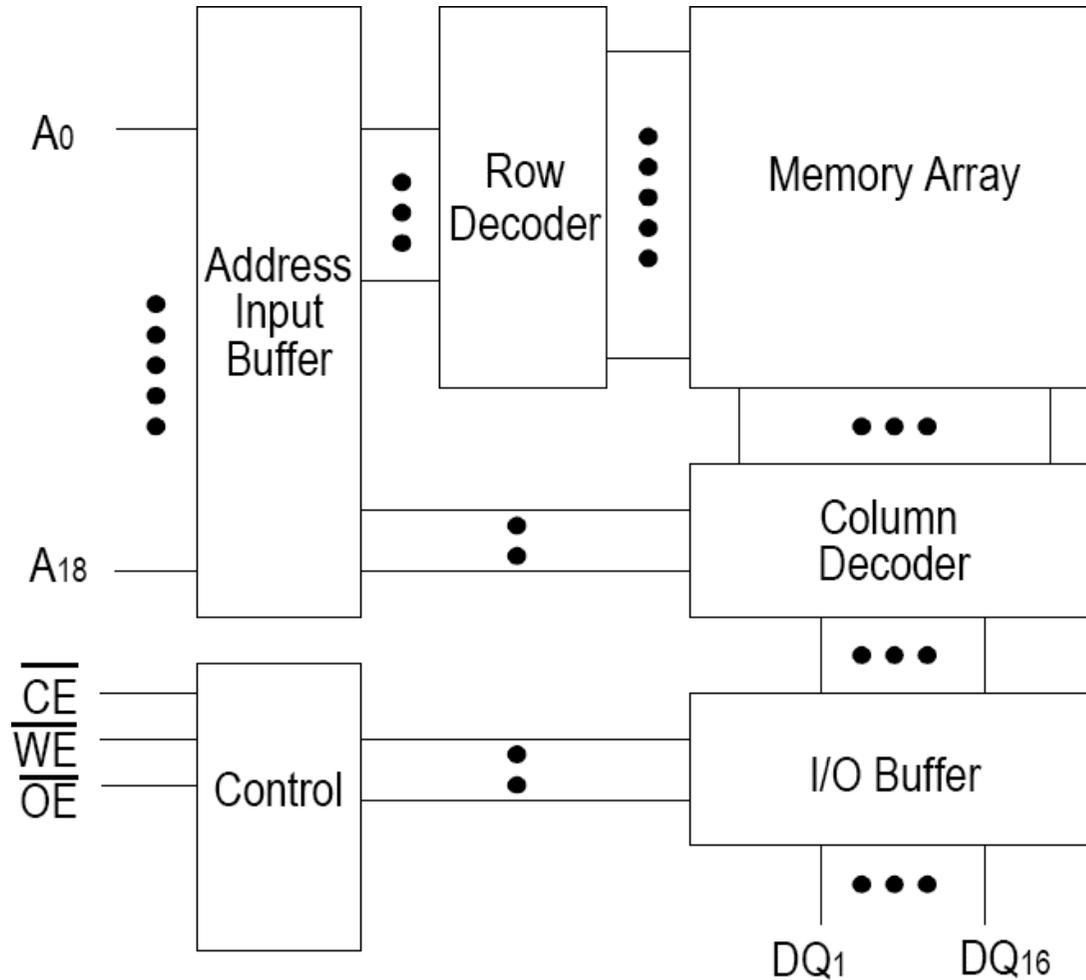
$t_{OLZ}$ : Tiempo desde OE\* a salida en baja-Z (mín)

$t_{OH}$ : Tiempo de retención de salida desde cambio de dirección (mín)

$t_{CHZ}$ : Tiempo desde CE\* a salida en alta-Z (máx)

$t_{OHZ}$ : Tiempo desde OE\* a salida en alta-Z (máx)

# SRAM Asíncrona **GS78116B** (2)



- $2^{19} = 524288 = 512K$  líneas de dirección (filas y columnas)

- 16 líneas de datos

- $2^{19} \times 16b = 2^{23}b = 8368608b = 8Mb$

- $2^{19} \times 2 \times 8b = 2^{20} \times 8b = 1048576 \times 8b = 1MB$

- $2^{19}$  palabras de 16b = 512K palabras de 16b

• **GS78116B GSI Technology Asynchronous SRAM**

# SRAM Asíncrona: Ciclo de lectura (2b)

## AC Characteristics

### Read Cycle

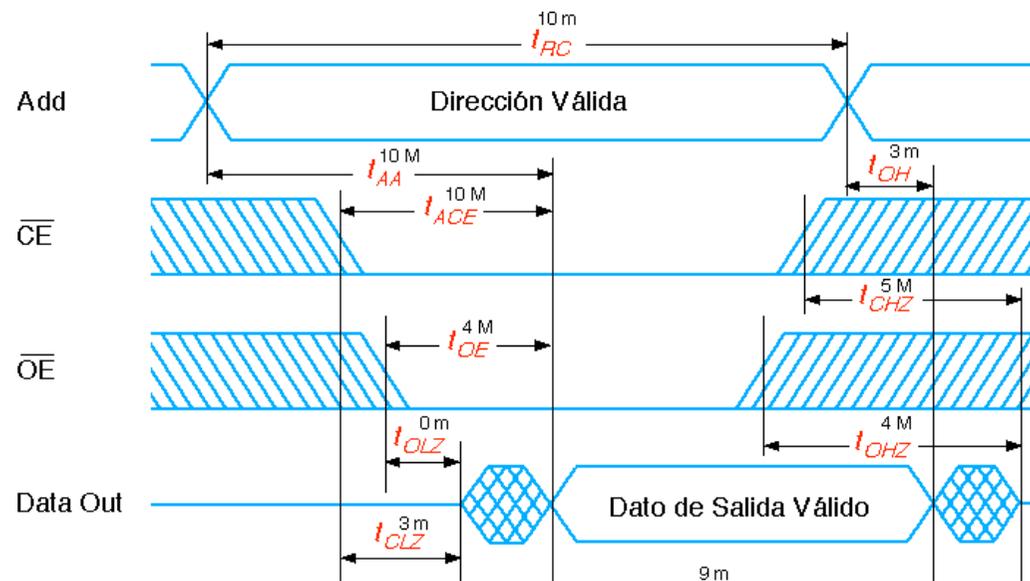
Parameter	Symbol	-10		-12		-15		Unit
		Min	Max	Min	Max	Min	Max	
Read cycle time	$t_{RC}$	10	—	12	—	15	—	ns
Address access time	$t_{AA}$	—	10	—	12	—	15	ns
Chip enable access time ( $\overline{CE}$ )	$t_{AC}$	—	10	—	12	—	15	ns
Output enable to output valid ( $\overline{OE}$ )	$t_{OE}$	—	4	—	5	—	6	ns
Output hold from address change	$t_{OH}$	3	—	3	—	3	—	ns
Chip enable to output in low Z ( $\overline{CE}$ )	$t_{LZ}^{\dagger}$	3	—	3	—	3	—	ns
Output enable to output in low Z ( $\overline{OE}$ )	$t_{OLZ}^{\dagger}$	0	—	0	—	0	—	ns
Chip disable to output in High Z ( $\overline{CE}$ )	$t_{HZ}^{\dagger}$	—	5	—	6	—	7	ns
Output disable to output in High Z ( $\overline{OE}$ )	$t_{OHZ}^{\dagger}$	—	4	—	5	—	6	ns

# SRAM Asíncrona: Ciclo de lectura (2c)

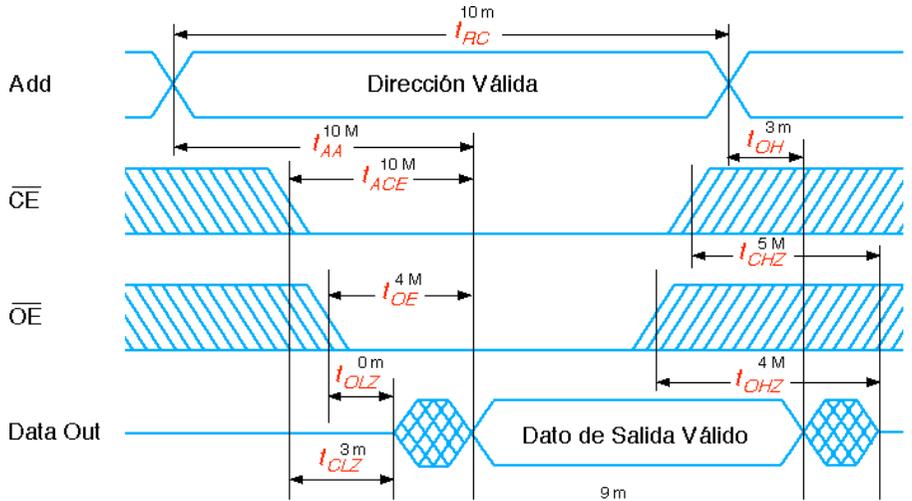
## Ejercicio

Supóngase una SRAM con los valores máximos (M) o mínimos (m) en ns para los distintos tiempos indicados en el cronograma de lectura. Supóngase además que los cambios en cualquier señal de entrada y de control ocurren con intervalos de separación múltiplos de 2 ns. El **dato válido** debe aparecer en el bus de salida durante al menos **9 ns** se pide:

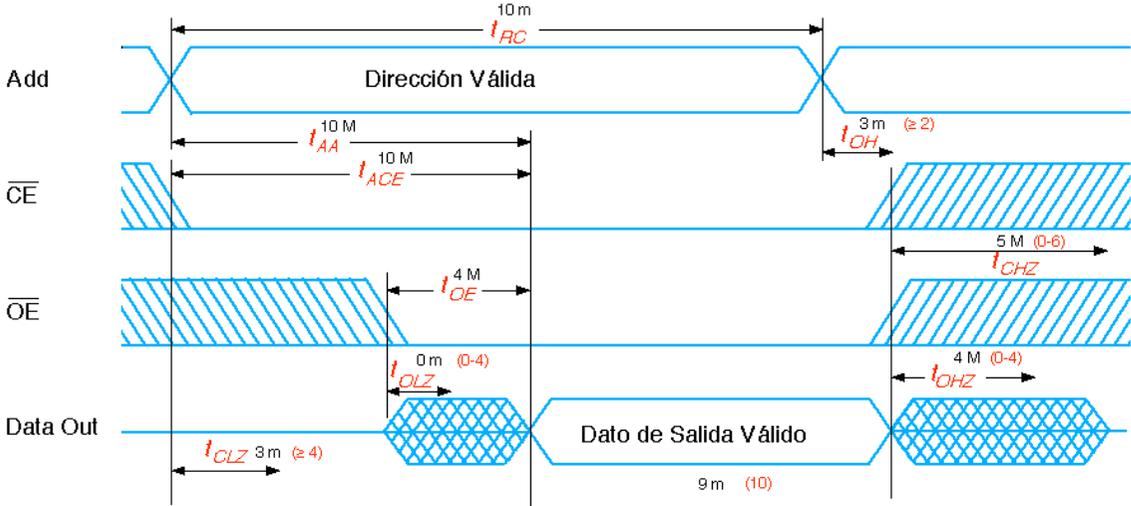
Mostrar un cronograma de lectura con el **mínimo  $t_{RC}$**  posible. Supóngase **WE\*** a nivel H.



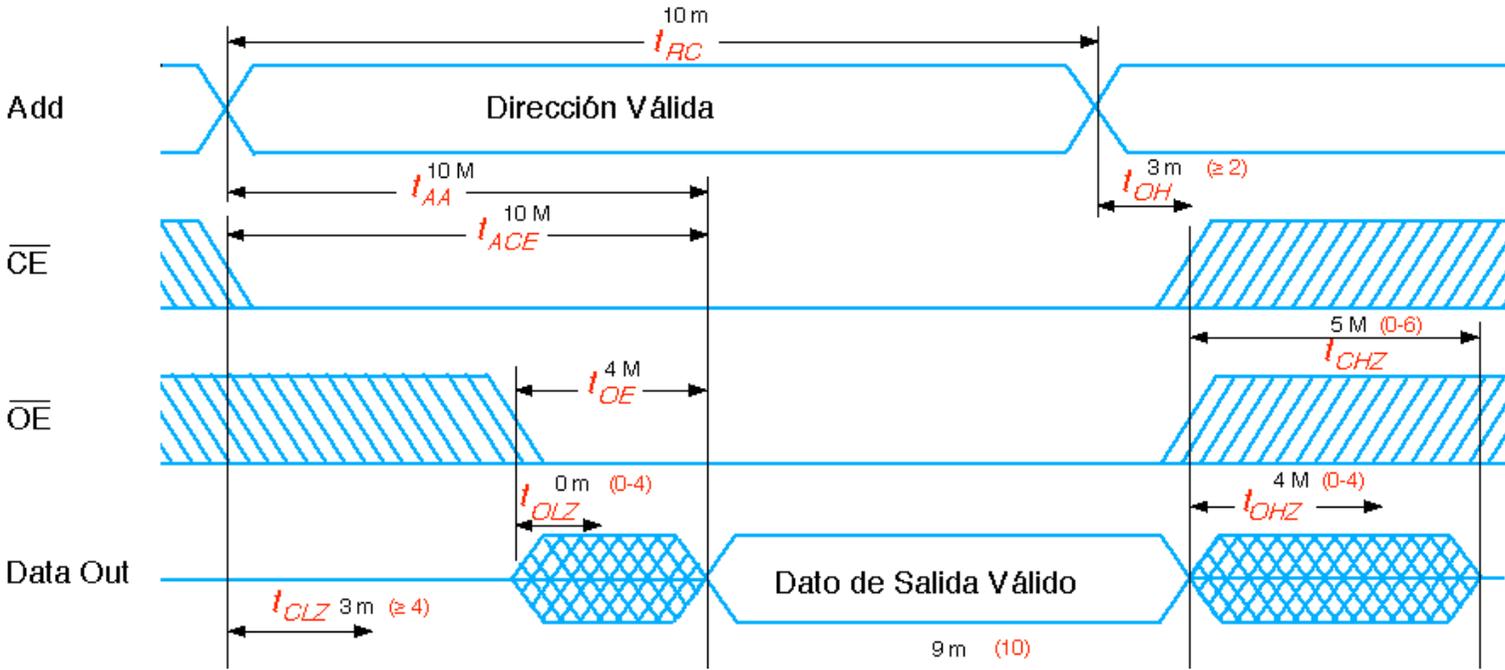
# SRAM Asíncrona: Ciclo de lectura (2d)



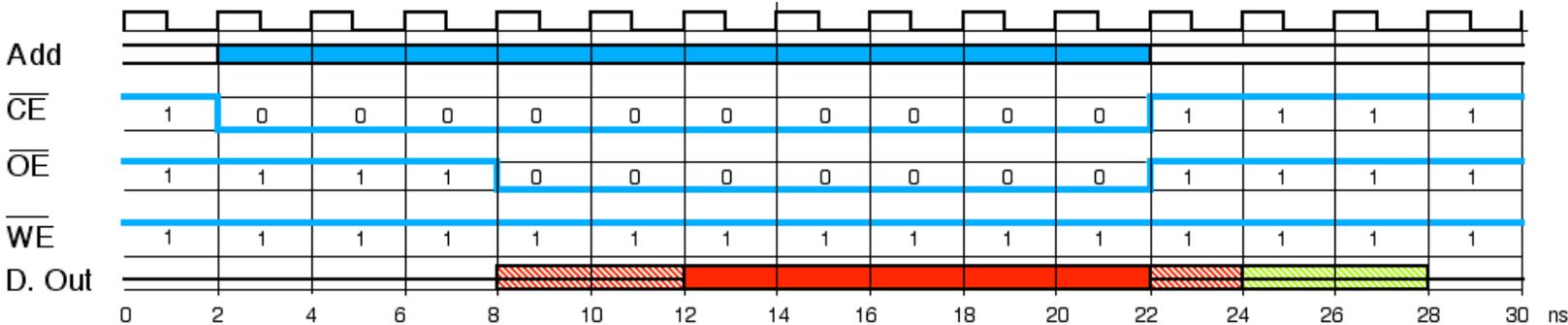
**WE\* a nivel H**



# SRAM Asíncrona: Ciclo de lectura (2e)



**WE\* a nivel H**



# SRAM Asíncrona: Ciclo de lectura (3)

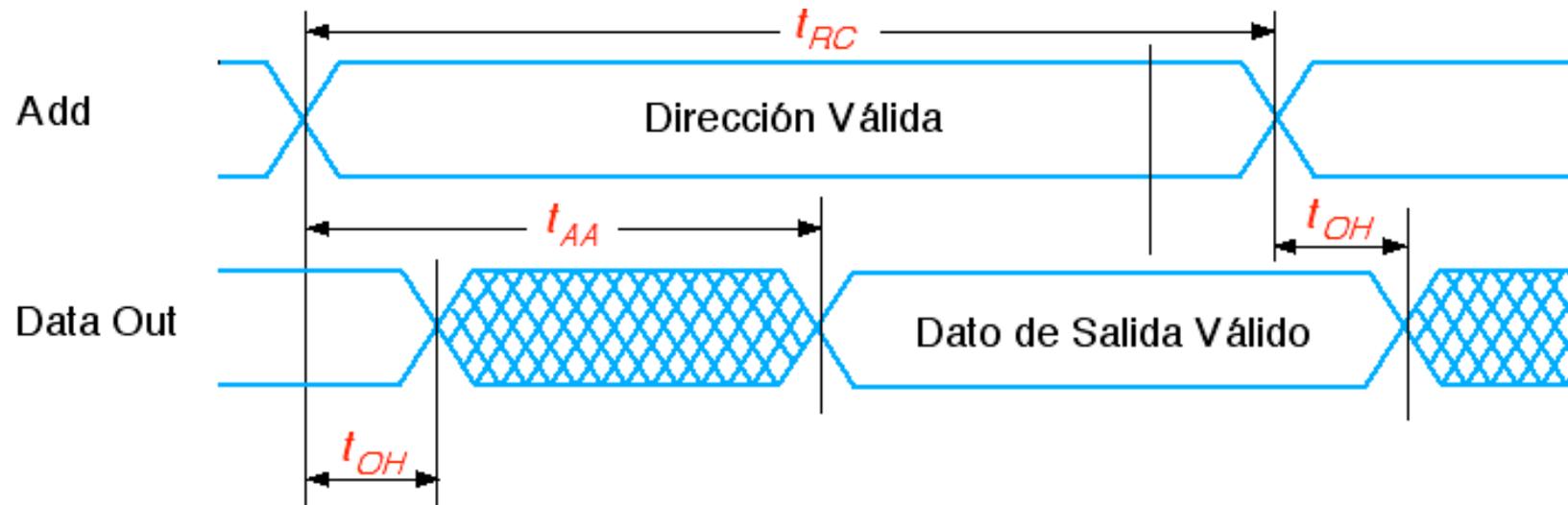
## Cronograma de lectura

OPERACIÓN DE LECTURA CONTROLADA POR DIRECCION

## PROPUESTO

**Configuraciones con una sola SRAM conectada al BUS, que solamente se utiliza para lectura de datos (siempre habilitado el módulo de memoria, siempre habilitada la salida, y siempre en modo lectura)**

## SRAM Asíncrona: Ciclo de lectura (3b)

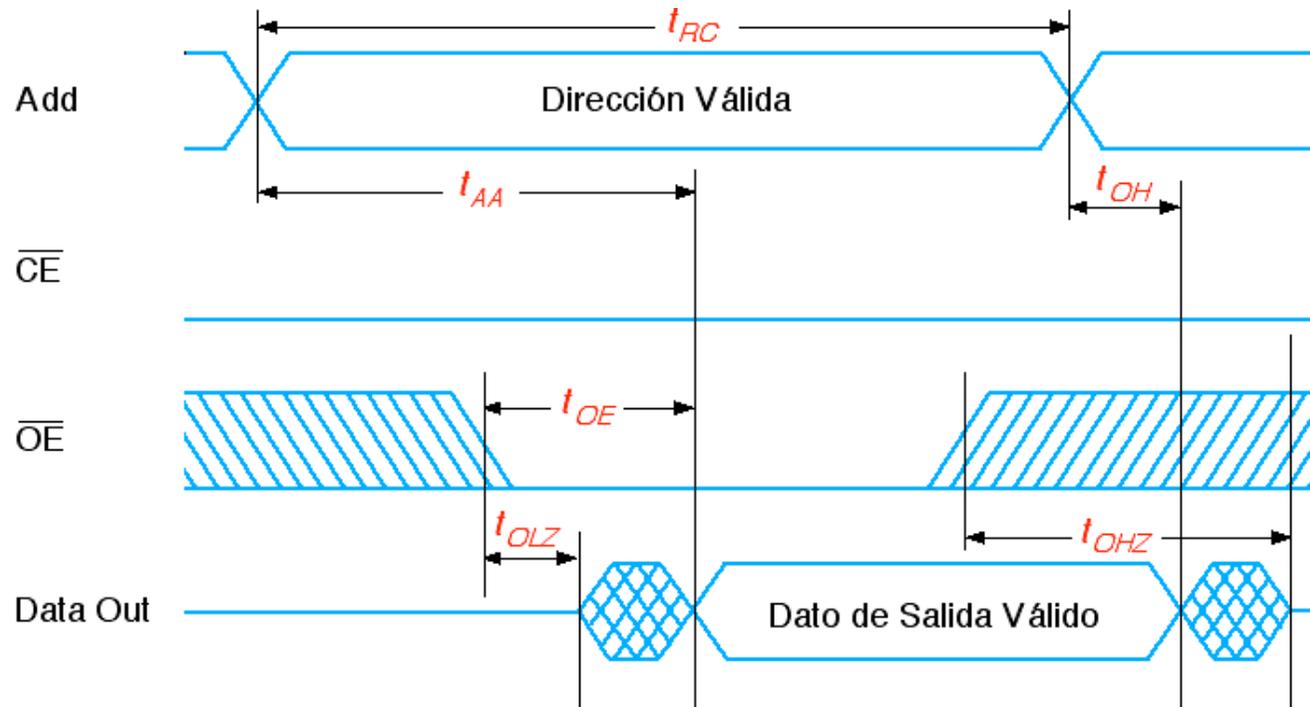


- **WE\*** a nivel H
- **CE\*** a nivel L
- **OE\*** a nivel L

**OPERACIÓN DE LECTURA CONTROLADA POR DIRECCION**

Configuraciones con una sola SRAM conectada al BUS, que solamente se utiliza para lectura de datos (siempre habilitado el módulo de memoria, siempre habilitada la salida, y siempre en modo lectura)

# SRAM Asíncrona: Ciclo de lectura (4)

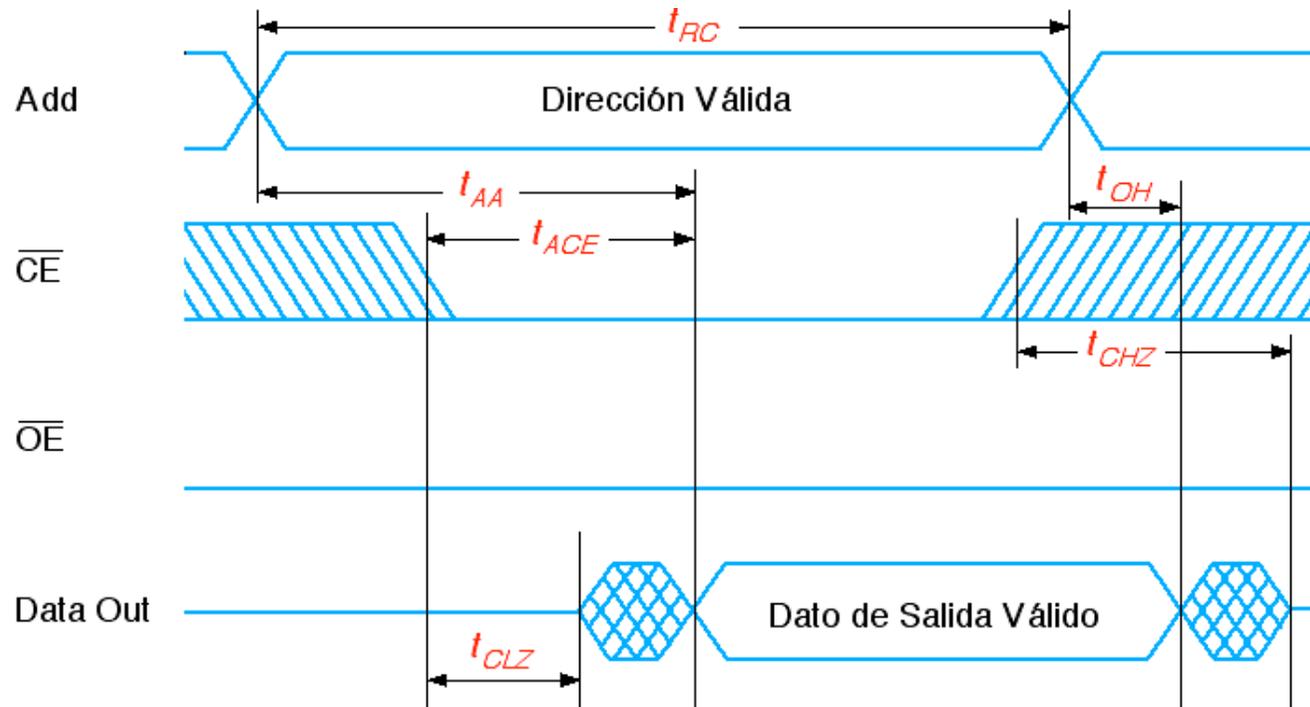


- WE\* a nivel H
- CE\* a nivel L

**OPERACIÓN DE LECTURA CONTROLADA POR OE\***

Configuraciones con una sola SRAM conectada al BUS, que se utiliza para lectura y escritura de datos (siempre habilitado el módulo de memoria)

# SRAM Asíncrona: Ciclo de lectura (5)

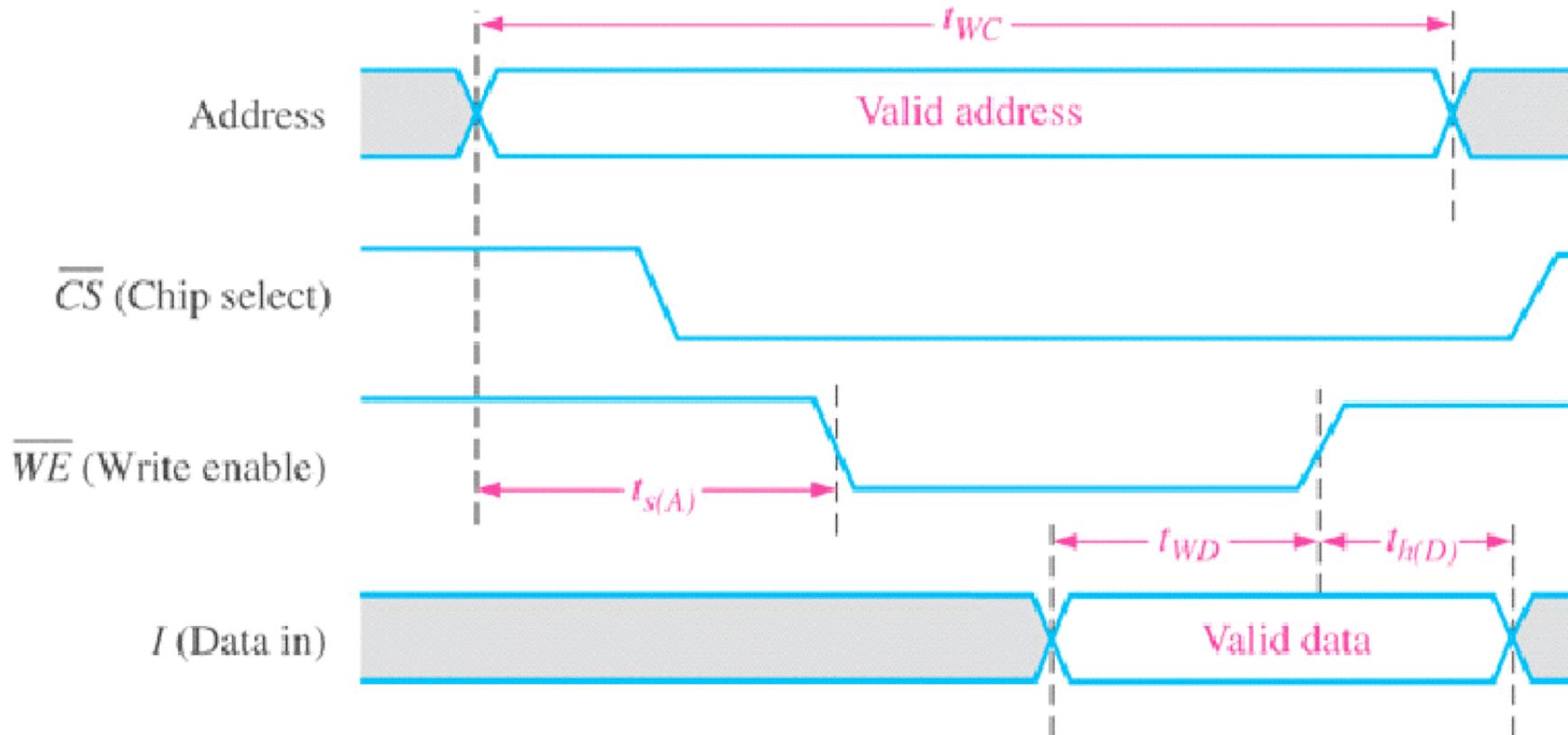


- WE\* a nivel H
- OE\* a nivel L

OPERACIÓN DE LECTURA CONTROLADA POR CE\*

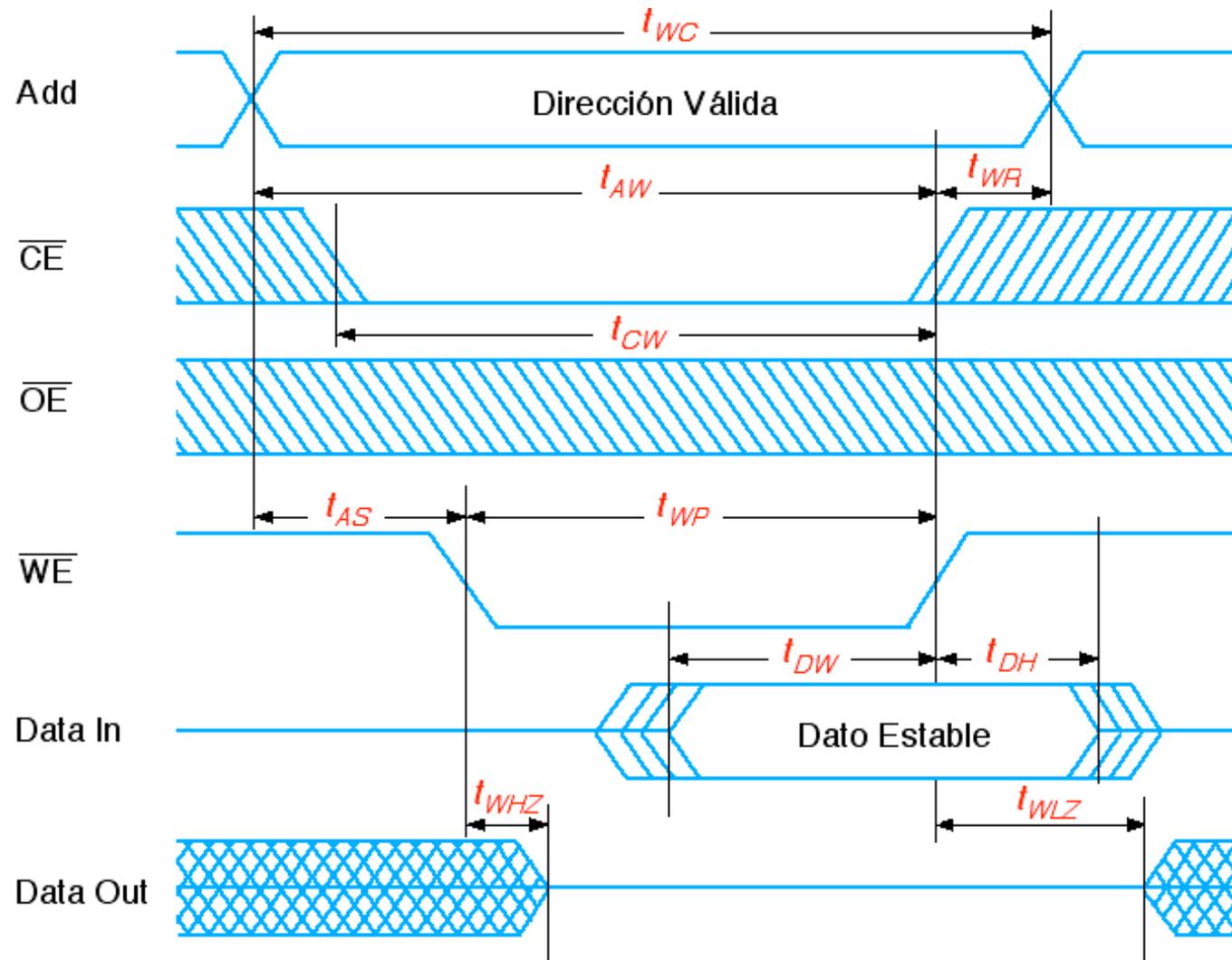
Configuraciones con varias SRAM conectadas al mismo BUS, que se utilizan solamente para lectura de datos (siempre habilitada la salida de la SRAM)

# SRAM Asíncrona: Ciclo de escritura



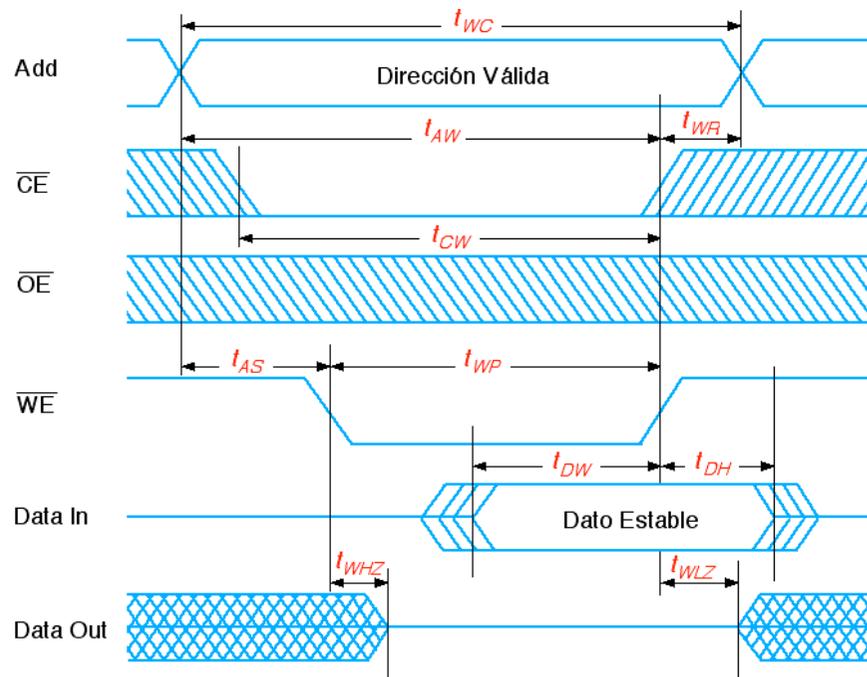
- Controlada por WE\*
- Deben respetarse  $t_{WD}$  ( $t_s$ ) y  $t_{H(D)}$  ( $t_h$ )

# SRAM Asíncrona: Ciclo de escritura (1)



- Controlada por WE\*

# SRAM Asíncrona: Ciclo de escritura (2)



- Controlada por WE\*

$t_{WC}$ : Tiempo del ciclo de escritura (mín)

$t_{AW}$ : Tiempo desde dirección válida a fin de escritura (desactivación de WE\*) (mín)

$t_{CW}$ : Tiempo desde CE\* a fin de escritura (mín)

$t_{AS}$ : Tiempo establecimiento de dirección (mín)

$t_{WP}$ : Anchura del pulso de escritura (mín)

$t_{DW}$ : Tiempo asentamiento del dato (mín)

$t_{DH}$ : Tiempo retención del dato (mín)

$t_{WR}$ : Tiempo de recuperación de escritura

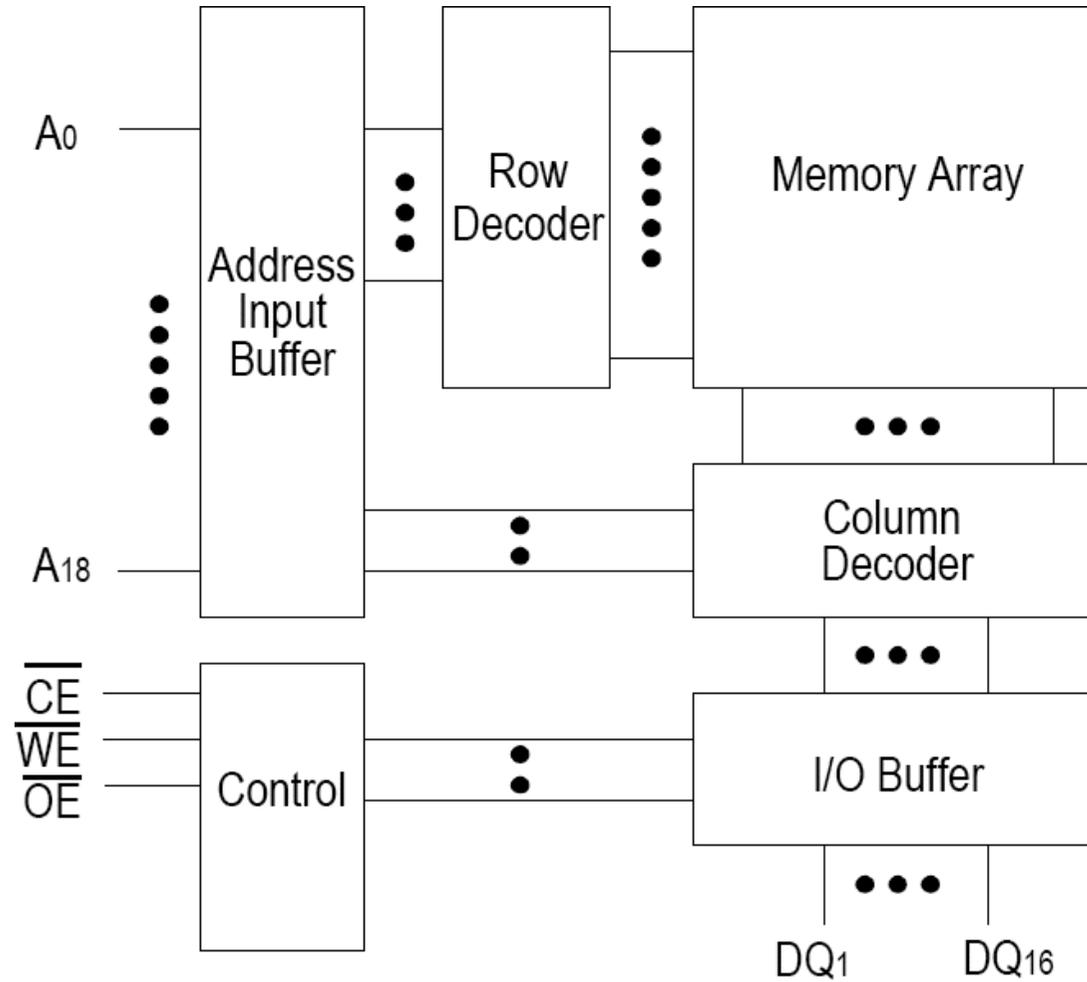
(tiempo entre fin de escritura y nueva dirección) (mín)

$t_{WR1}$ : Tiempo de recuperación de escritura desde fin de CE\* (mín)

$t_{WHZ}$ : Tiempo desde activación de WE\* hasta salida en alta-Z (máx)

$t_{WLZ}$ : Tiempo desde fin de escritura a salida en baja-Z (mín)

# SRAM Asíncrona **GS78116B**



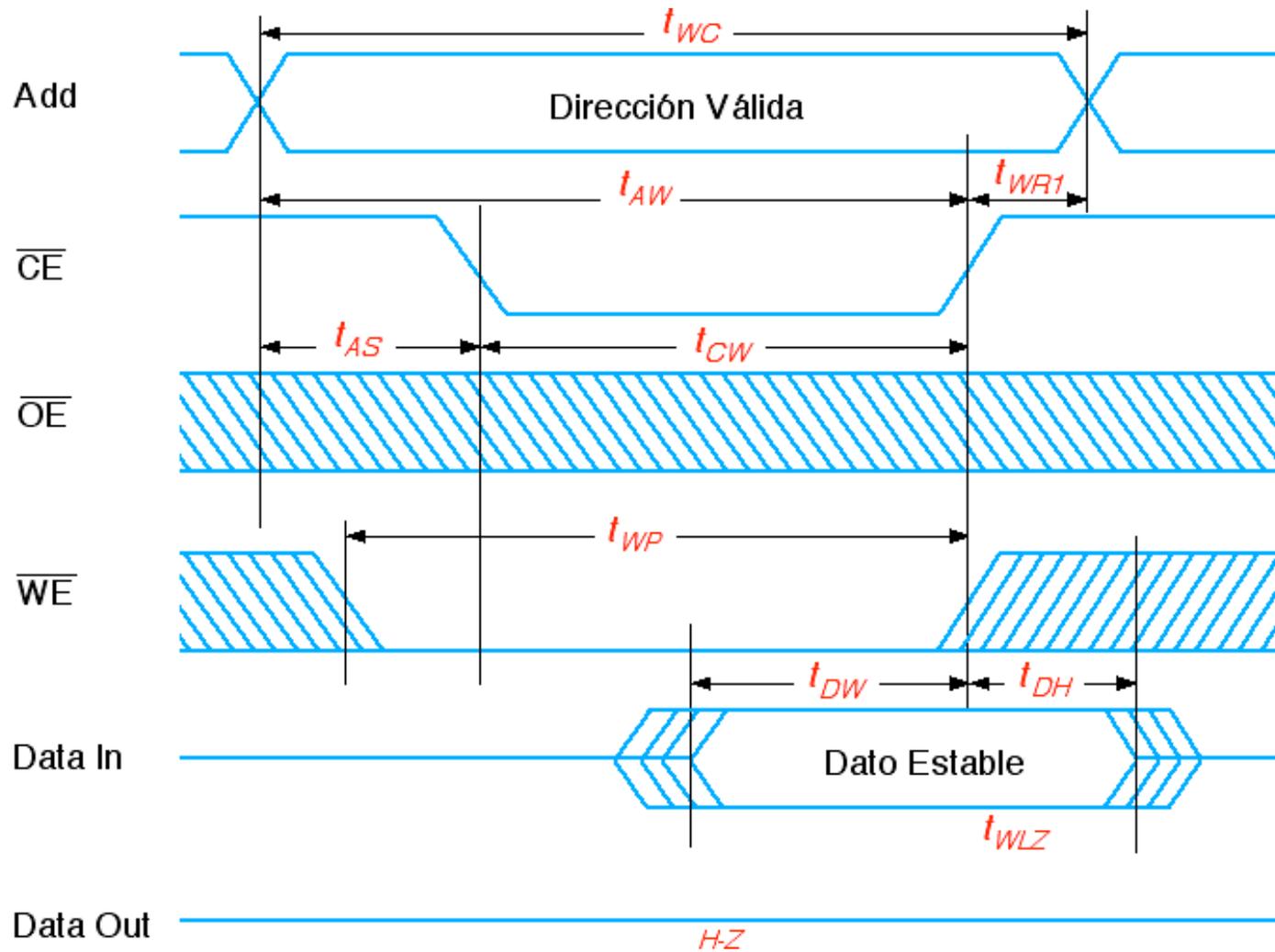
# SRAM Asíncrona: Ciclo de escritura (2b)

## Write Cycle

Parameter	Symbol	-10		-12		-15		Unit
		Min	Max	Min	Max	Min	Max	
Write cycle time	tWC	10	—	12	—	15	—	ns
Address valid to end of write	tAW	7	—	8	—	10	—	ns
Chip enable to end of write	tCW	7	—	8	—	10	—	ns
Data set up time	tDW	5	—	6	—	7	—	ns
Data hold time	tDH	0	—	0	—	0	—	ns
Write pulse width	tWP	7	—	8	—	10	—	ns
Address set up time	tAS	0	—	0	—	0	—	ns
Write recovery time ( $\overline{WE}$ )	tWR	0	—	0	—	0	—	ns
Write recovery time ( $\overline{CE}$ )	tWR1	0	—	0	—	0	—	ns
Output Low Z from end of write	tWLZ <sup>*</sup>	3	—	3	—	3	—	ns
Write to output in High Z	tWHZ <sup>*</sup>	—	4	—	5	—	6	ns

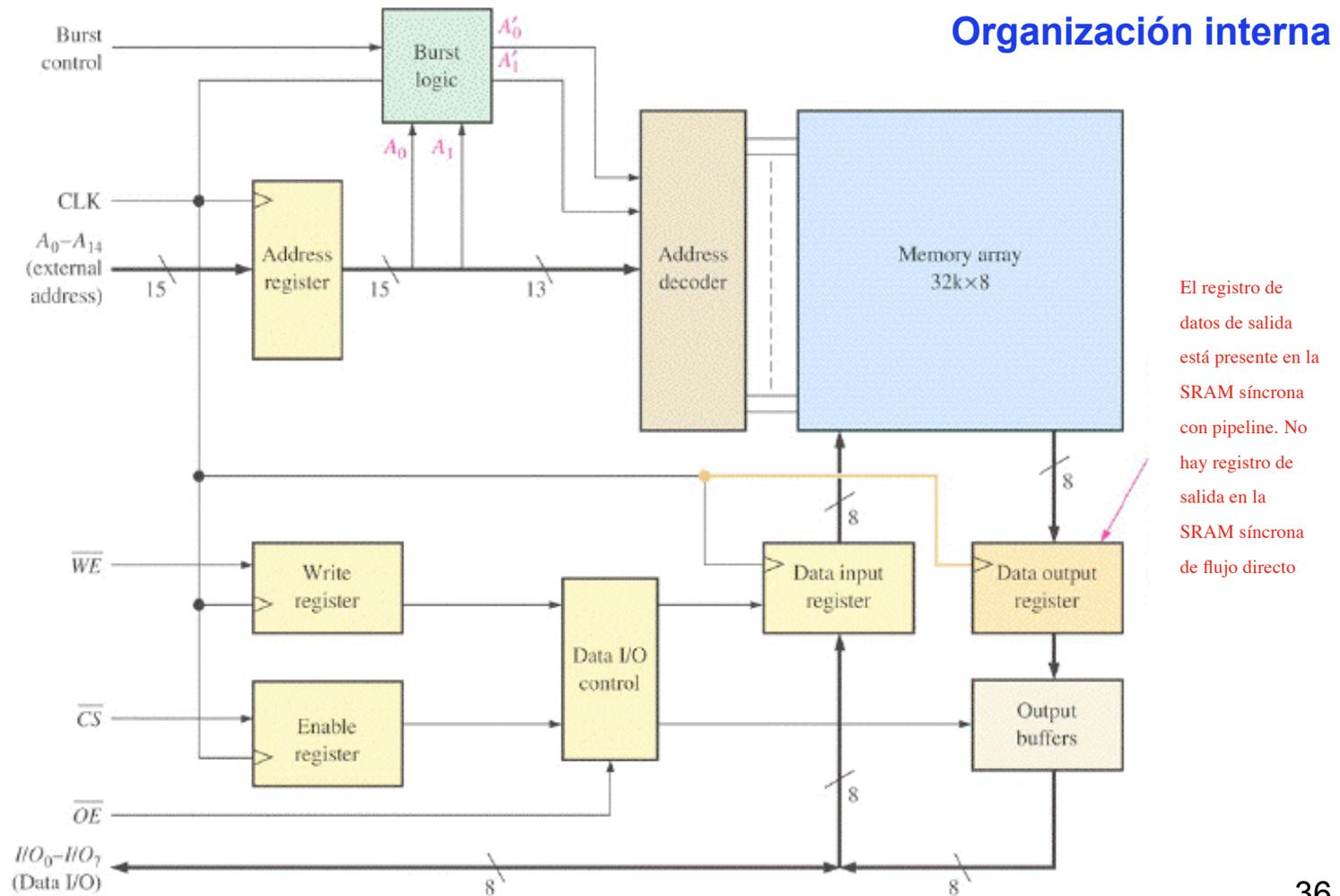
\* These parameters are sampled and are not 100% tested.

# SRAM Asíncrona: Ciclo de escritura (3)

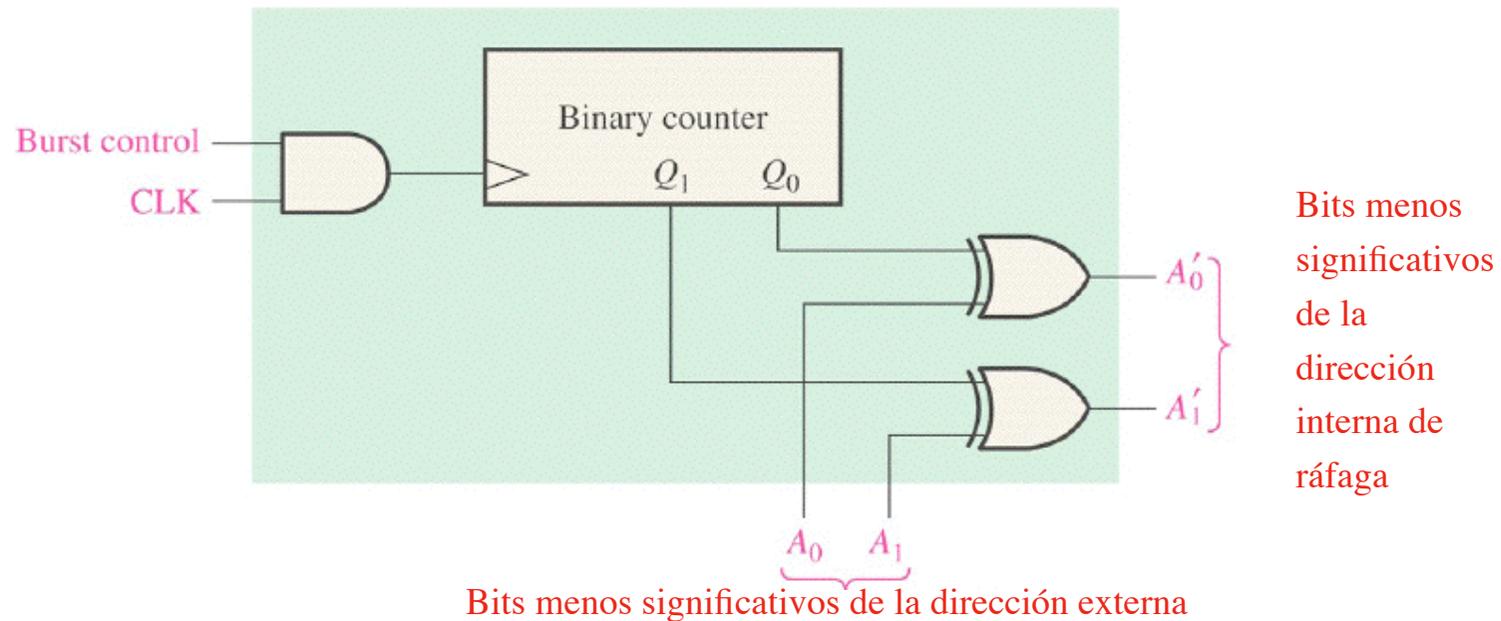


- Controlada por  $\overline{CE}^*$

# SRAM Síncrona de Ráfaga

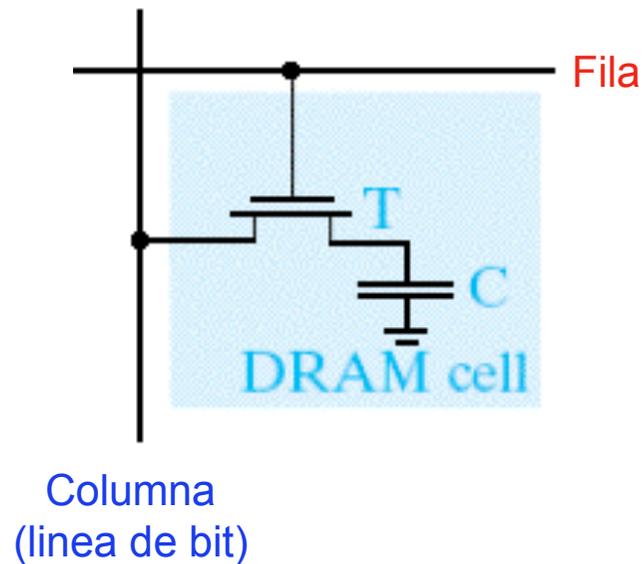


## SRAM Síncrona de Ráfaga (2)



- Permite leer o escribir hasta 4 posiciones consecutivas utilizando una sola dirección.
- Utiliza los dos bits menos significativos de la dirección externa.
- Al comenzar la secuencia de ráfaga el contador está inicializado a 00.
- Finalizada la secuencia de ráfaga, el contador se inicializa.

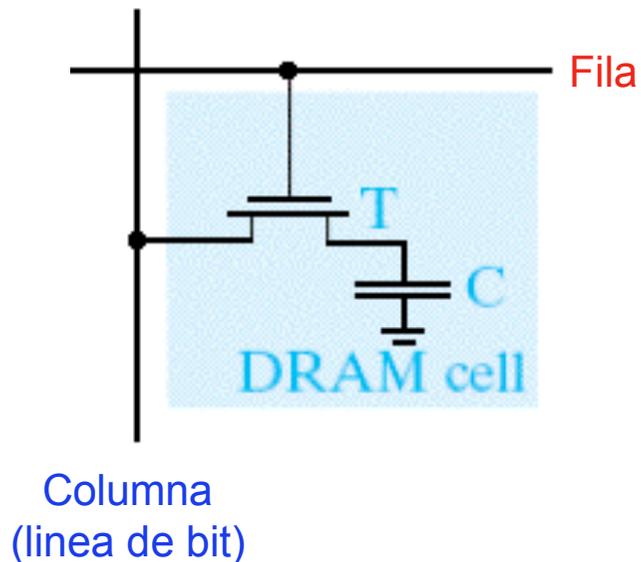
# Celda DRAM



- Celda de memoria muy eficiente: 1 transistor y 1 condensador.  
Mayor densidad que las SRAM.  
Mayor número de palabras (mayor número de líneas de direcciones).

- El contenido de la memoria decae con el tiempo.  
Requiere el refresco (lectura y reescritura) de cada celda de memoria.

## Celda DRAM (2)



### Escritura:

- Se selecciona (activa) la línea de palabra (fila). El transistor pasa a ON. Se aplica el voltaje H(1) o L(0) a la línea de bit (columna). El condensador se carga con el voltaje aplicado.

### Lectura:

- Se selecciona (activa) la línea de palabra (fila). El transistor pasa a ON. El condensador comparte el voltaje aplicado con la línea de bit.

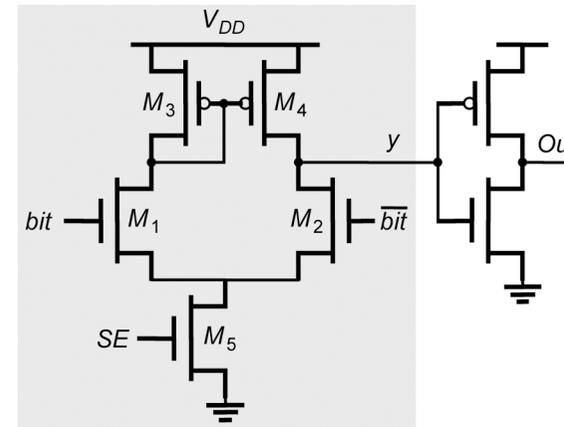
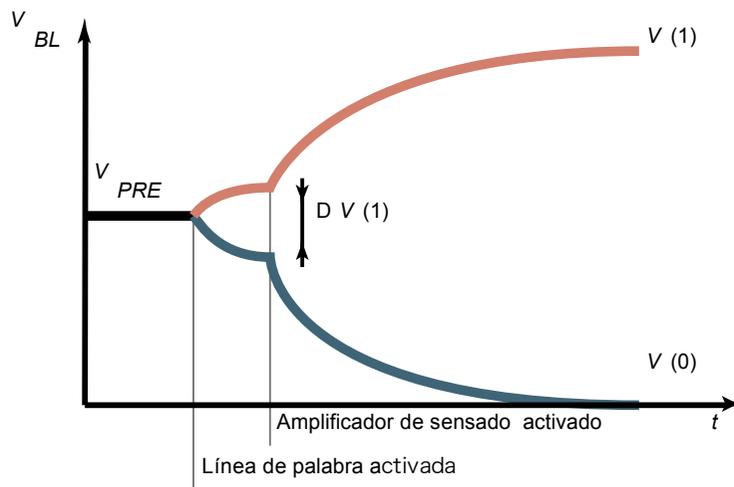
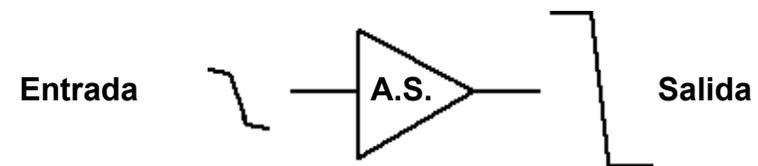
- Mediante un **amplificador de sentido** (“sense amplifier”) se detecta el nivel de carga del condensador y lo amplifica hasta un nivel de 0 o 1 lógicos. El nivel de sensibilidad del amplificador de sentido es muy alto, pues debe ser capaz de separar la carga del condensador de la celda accedida, de las capacidades de la línea de datos y de las demás celdas en la columna que, aunque no habilitadas, sí están conectadas físicamente. Un amplificador de sentido es capaz de detectar pequeñas variaciones de la señal de bit.

- Para la lectura del bit, el condensador **se descarga**. Tras la lectura se debe reescribir el dato una vez restaurado.

# Amplificador de Sensado

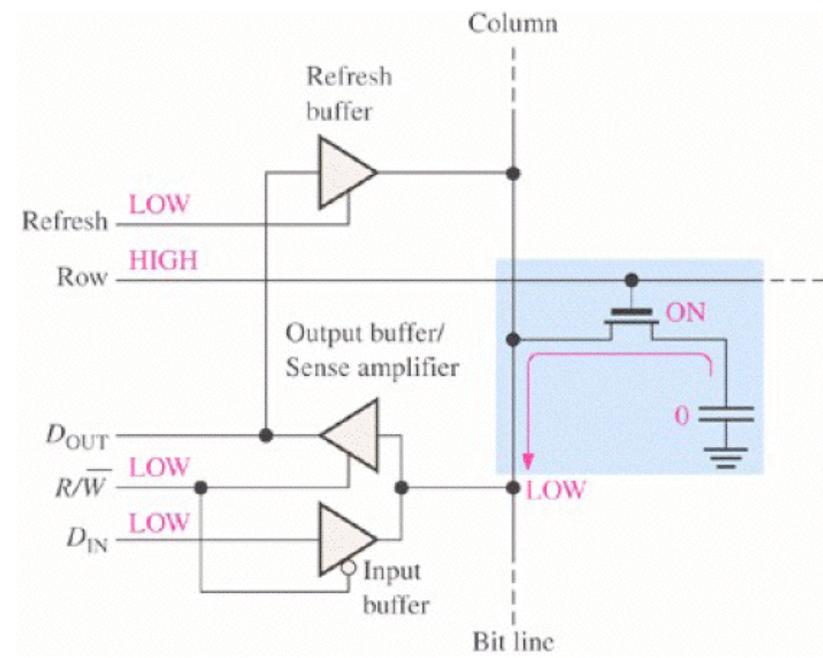
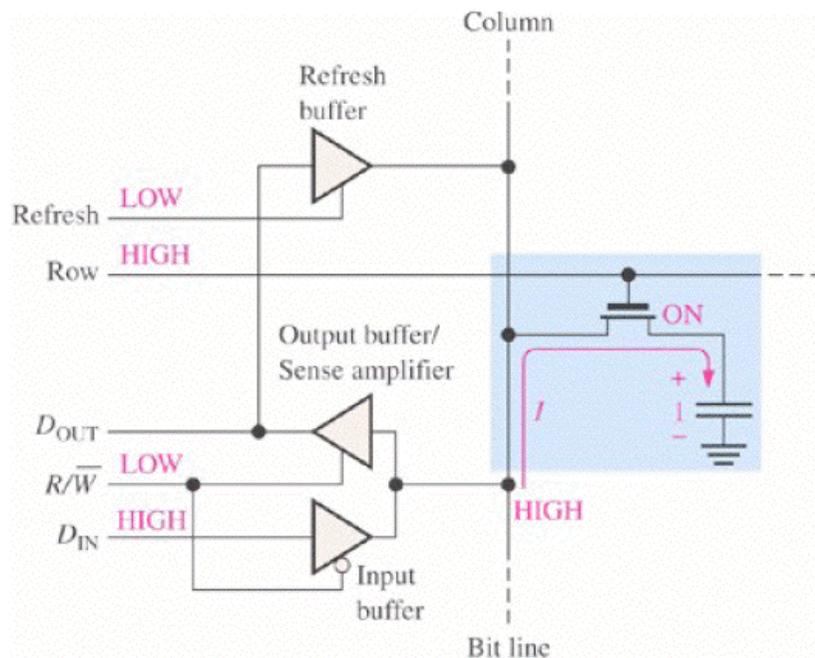
$$t_p = \frac{C \times \Delta V}{I_{av}}$$

grande pequeña  
 pequeña pequeña



**Amplificador de sensado diferencial**

# Escritura de la Celda DRAM



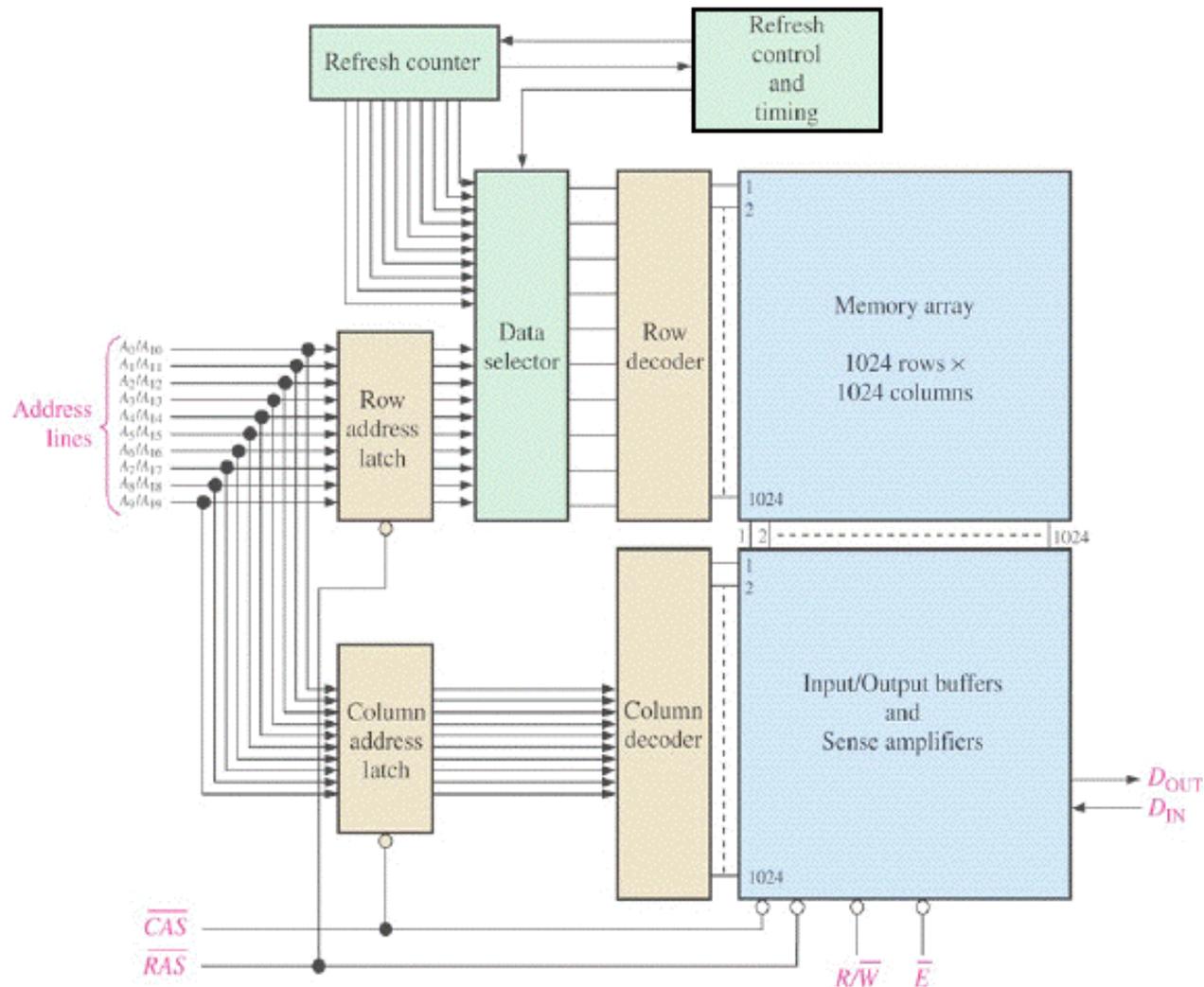
**Control de refresco: desactivado**

**Escritura de un 1 lógico (H)**  
**R/W\* a L, Refresh a L, Din a H**

**Escritura de un 0 lógico (L)**  
**R/W\* a L, Refresh a L, Din a L**



# DRAM: Organización interna

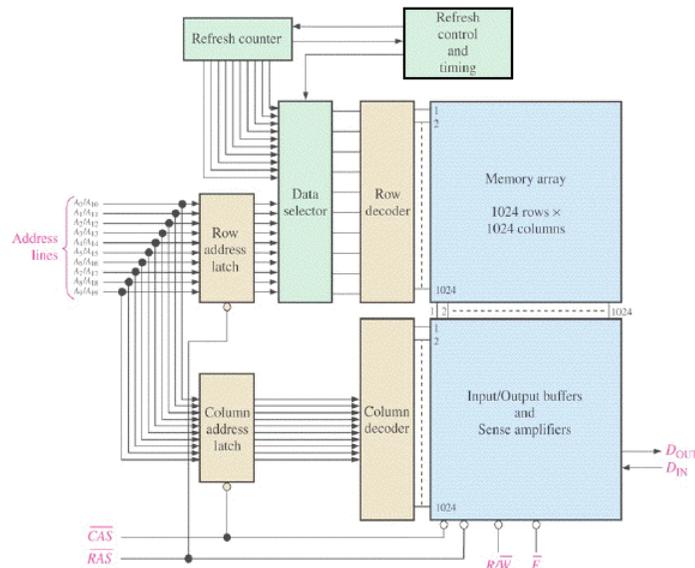


$$2^{20} \times 1b = 1048576b \\ = 1Mb = 1M \times 1 \text{ bits}$$

Líneas de direcciones

Líneas de entrada y  
líneas de salida

# DRAM: Organización interna



Líneas de entrada y líneas de salida separadas  
- Se incrementa el número de pines

Multiplexado temporal de las líneas de direcciones

Dirección de fila

Señal de validación RAS\*  
("row address strobe")

Dirección columna

Señal de validación CAS\*  
("column address strobe")

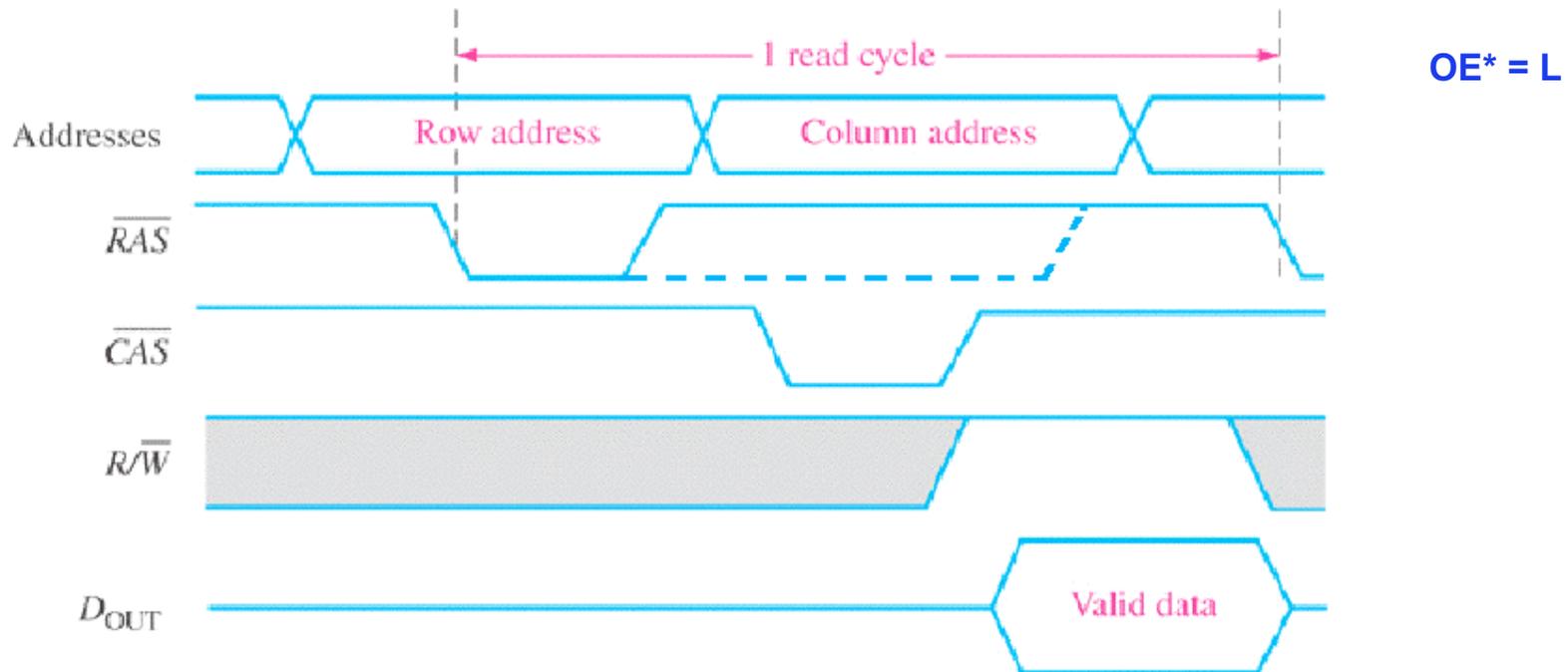
- Se reduce el número de pines

- Mayor velocidad de acceso a posiciones contiguas

Circuitería de control de refresco

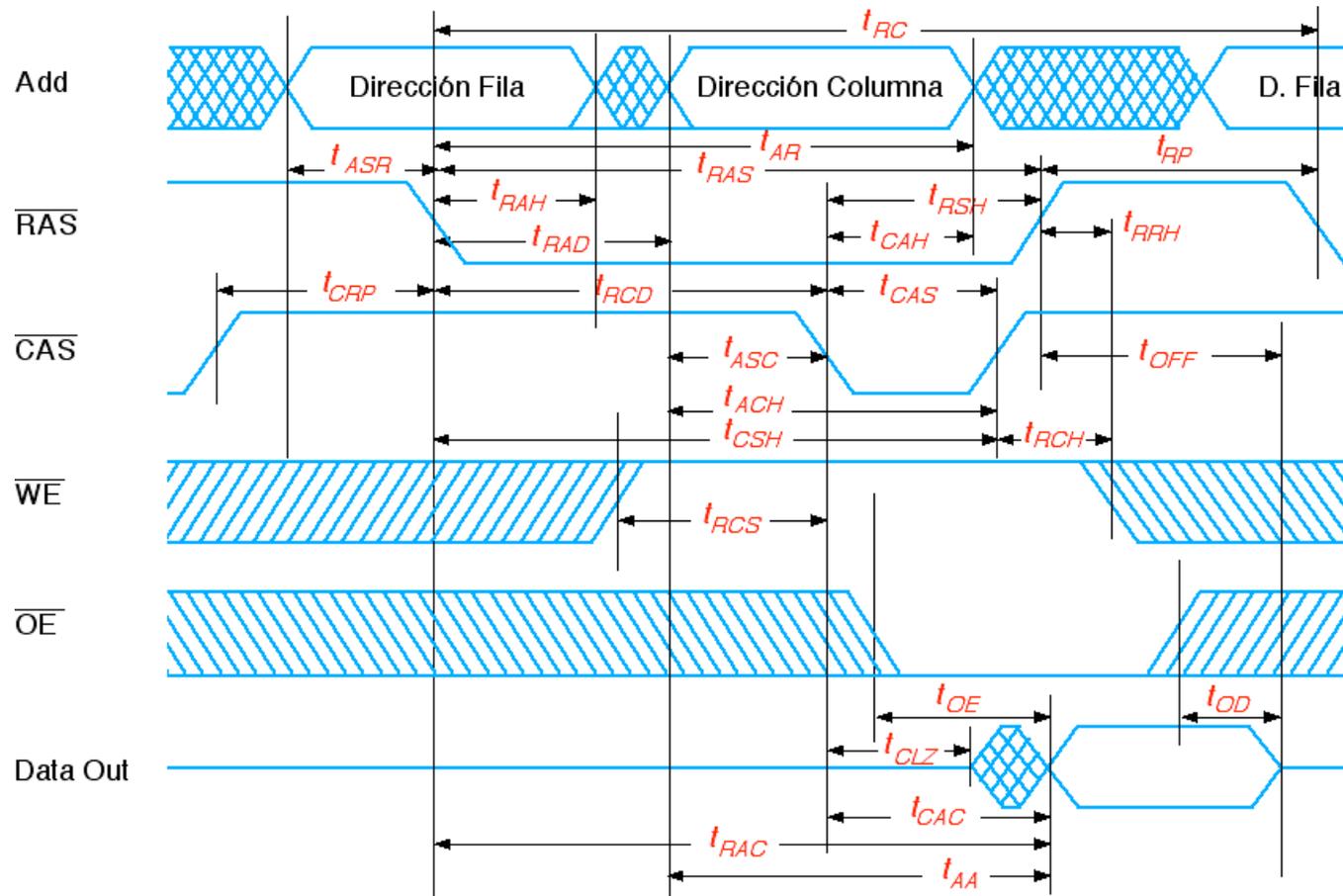
- Retener la actividad de lectura / escritura mientras se realiza el refresco de los datos almacenados

# DRAM: Ciclo de lectura

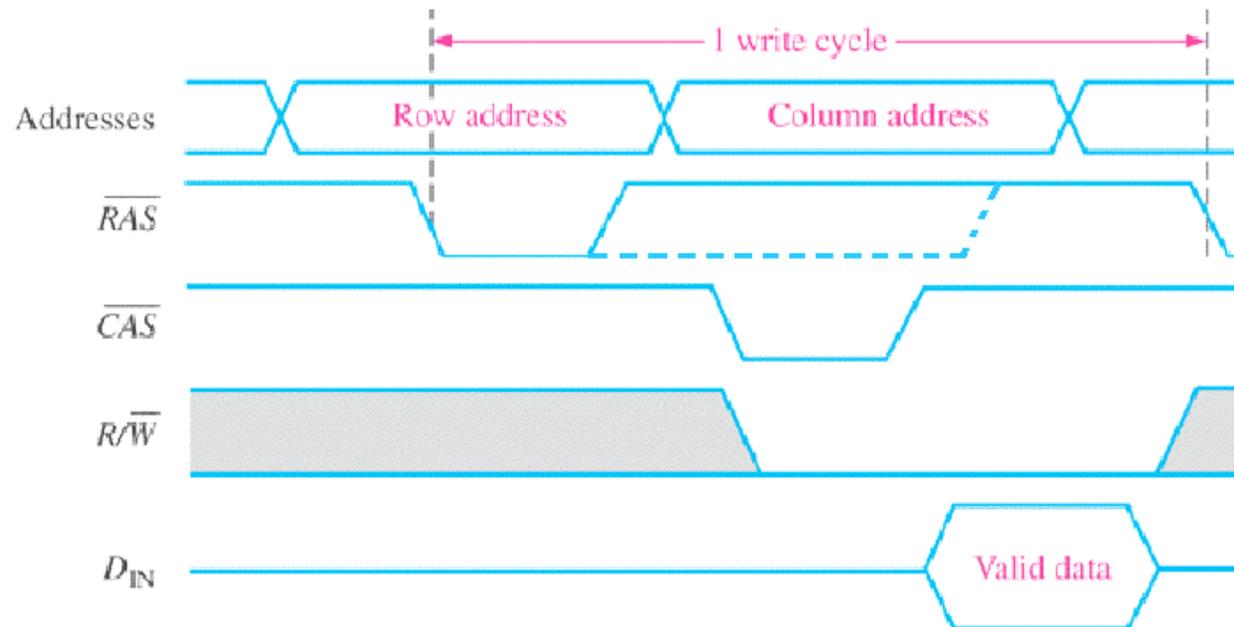


- **Dirección de fila**
  - Se almacena en los latches de direcciones de filas con la bajada de **RAS\***
- **Dirección de columna**
  - Se almacena en los latches de direcciones de columnas con la bajada de **CAS\***
- Al activarse **CAS\*** las salidas dejan el estado de alta-Z y muestran los datos de la fila-columna seleccionada. Al desactivarse **CAS\*** las salidas vuelven a alta-Z
- Con la subida de **RAS\*** los datos de la fila (todas las columnas) se reescriben (refresco)
- El **tiempo de acceso** se mide desde la activación de **CAS\***

# DRAM: Ciclo de lectura (2)

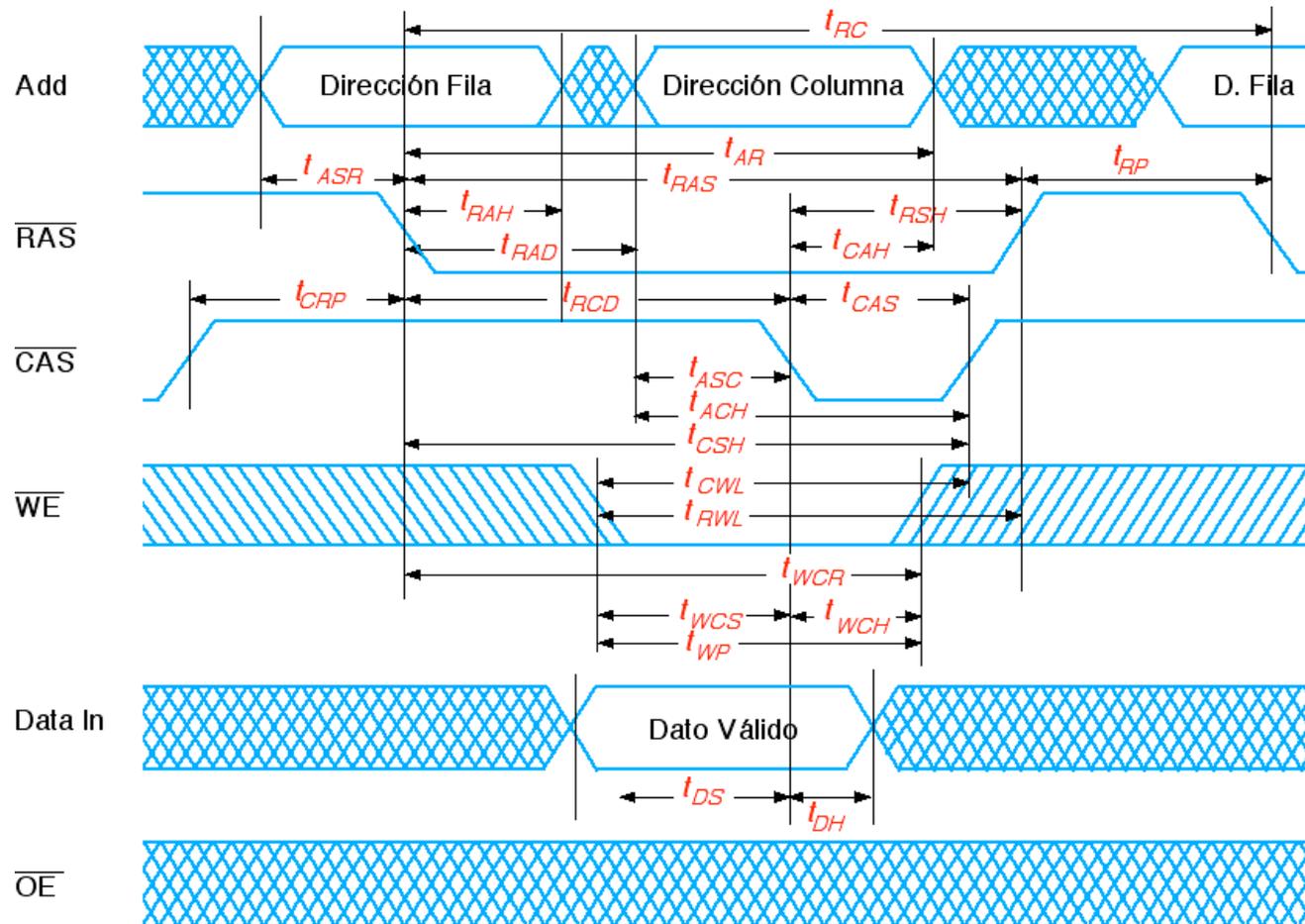


# DRAM: Ciclo de escritura

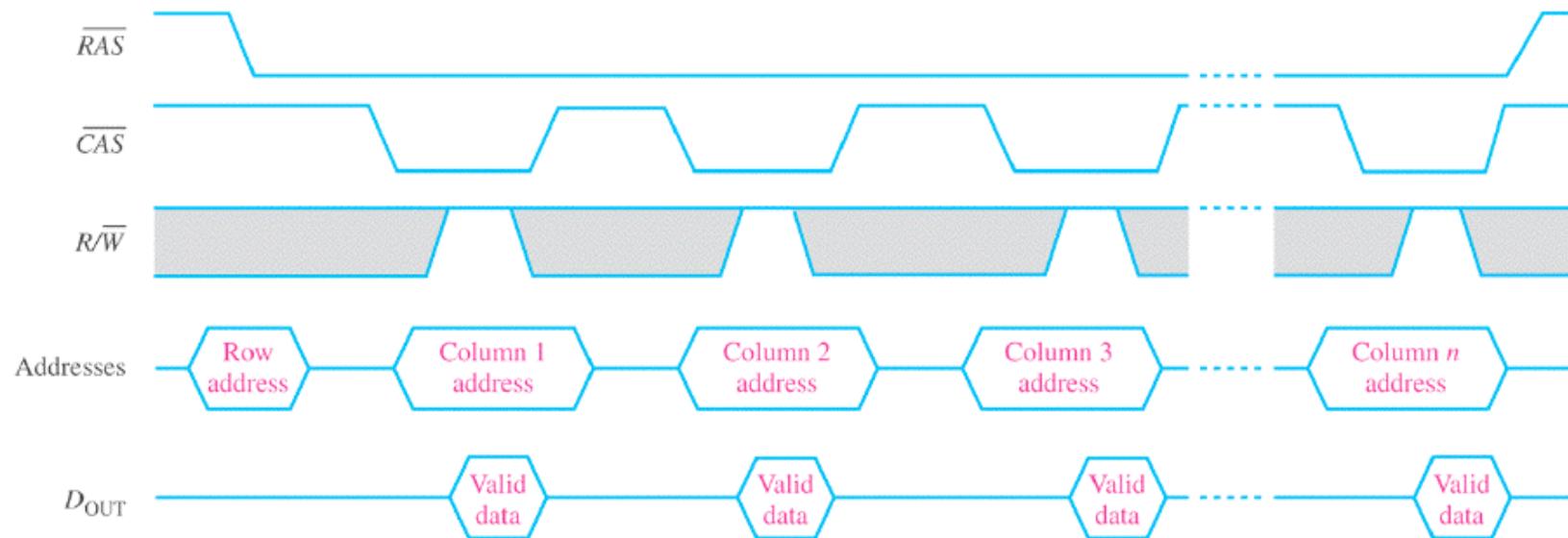


- **Dirección de fila**
  - Se almacena en los latches de direcciones de filas con la bajada de  $\overline{RAS}$ \*
- Se activa  $\overline{WE}$ \* y se aplican los Datos Válidos en las entradas de datos ( $\overline{OE}$ \* se ignora)
- **Dirección de columna**
  - Se almacena en los latches de direcciones de columnas con la bajada de  $\overline{CAS}$ \*. Los datos presentes en las entradas de datos **se escriben** en la dirección seleccionada
- $\overline{WE}$ \* y  $\overline{CAS}$ \* se desactivan
- Con la subida de  $\overline{RAS}$ \* los datos de la fila (todas las columnas) se reescriben (refresco)

# DRAM: Ciclo de escritura (2)

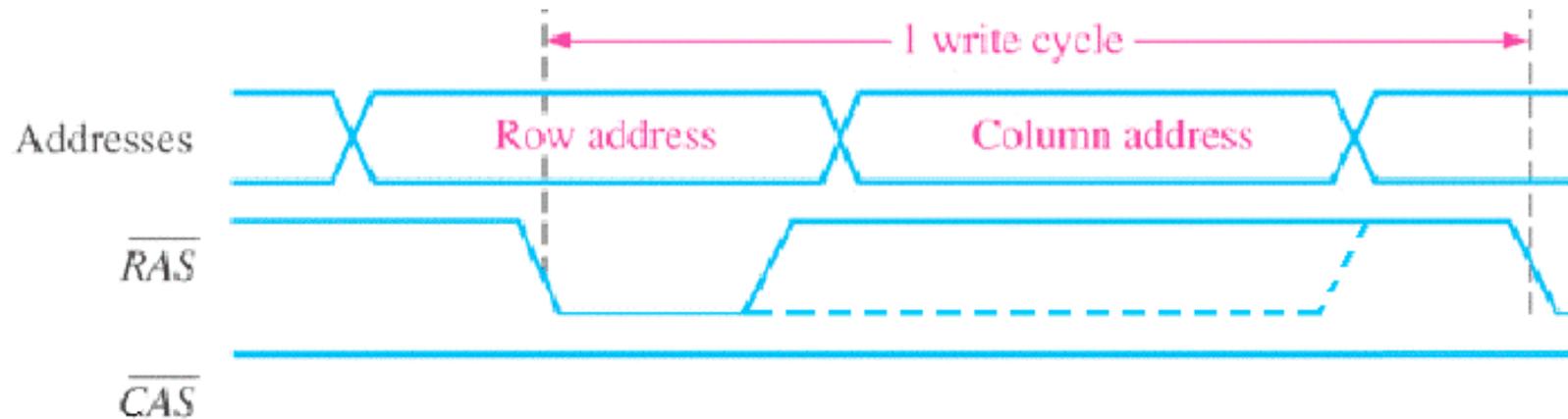


# DRAM: Lectura y escritura en modo página



- **Página:**  
Sección de memoria disponible en la misma dirección de fila (todas las columnas de una fila)
- Se activa  $WE^*$  y se aplican los Datos Válidos en las entradas de datos
- El modo página rápido permite leer de o escribir en cada una de las columnas de una fila sin modificar parte de la dirección correspondiente a la fila

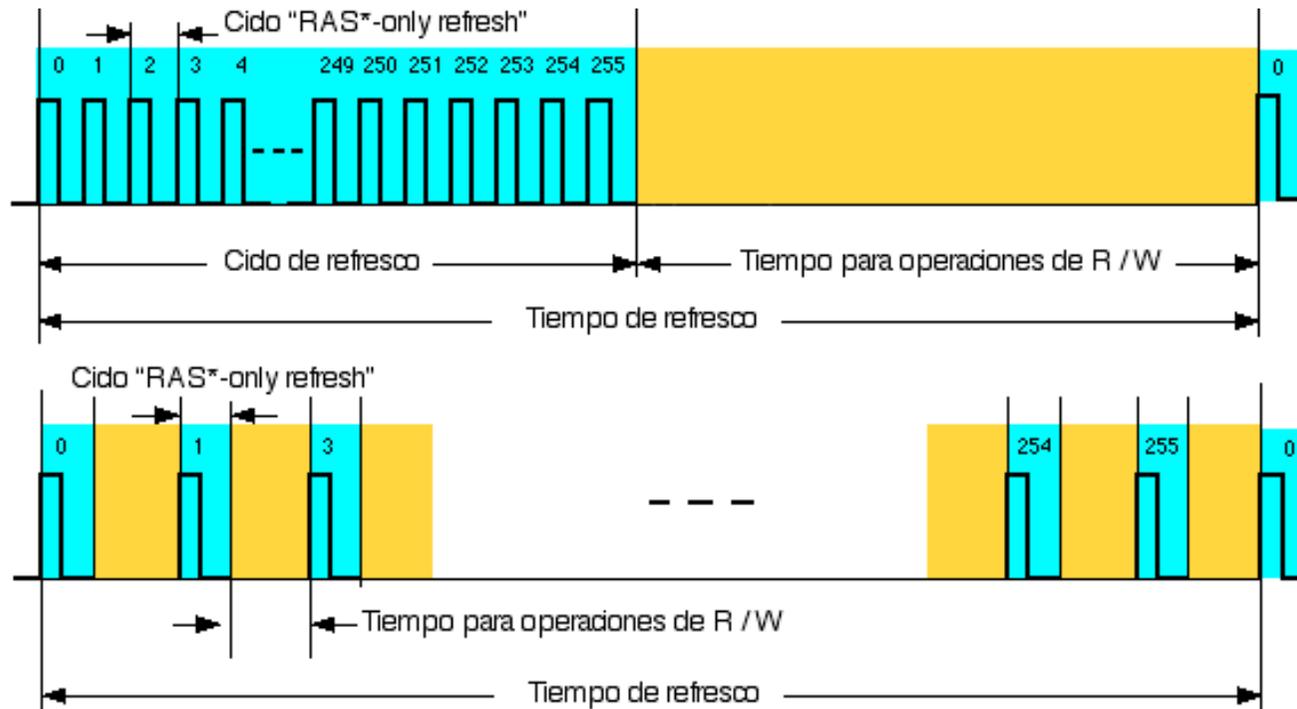
# DRAM: Refresco de datos



Refresco de datos “Solo-RAS\*”

- Un ciclo de lectura o escritura **refresca** la fila direccionada completa, esto es, **las direcciones** correspondientes a **todas las columnas de esa fila** (bajada y subida de RAS\*) El modo “Solo-RAS\*” (“RAS\*-only refresh”) es análogo a un ciclo de lectura, sin la activación de CAS\* (no aparecen los datos en las salidas). Un contador externo debe proporcionar la dirección de la fila a refrescar.
- Modo “CAS\* antes de RAS\*” (“CAS before RAS\* refresh”): Esta secuencia activa un contador de secuencia interno que genera la fila a refrescar. Esta dirección se conmuta mediante el selector de datos hacia el decodificador de filas.

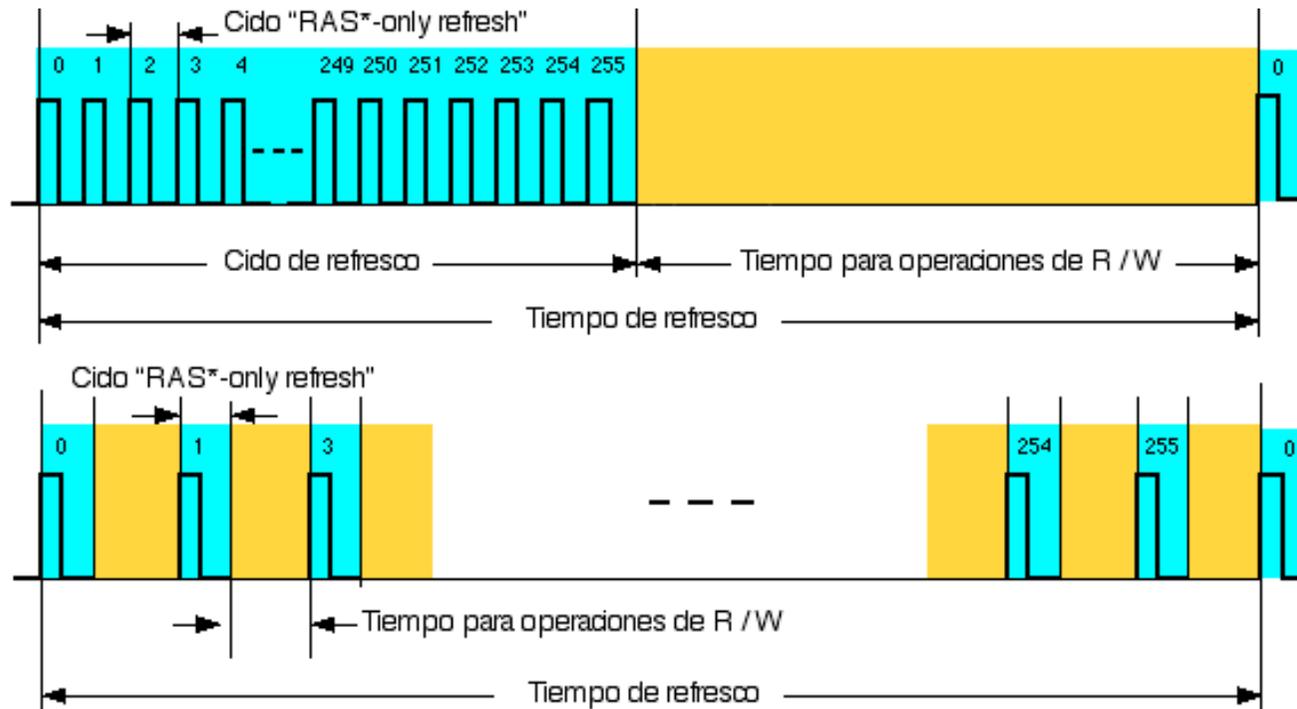
# DRAM: Refresco de datos (2)



DRAM 256 (x 256 x 8)

- Refresco a ráfagas
- Refresco distribuido
- Período de refresco

# DRAM: Refresco de datos (2b)



DRAM 256 (x 256 x 8)

Si período de refresco = 2 ms

Refresco distribuido: Debe refrescarse una fila cada:  $2 \text{ ms} / 256 \text{ filas} = 7,81 \mu\text{s}$

## DRAM: Refresco de datos (3)

**Factor de calidad de una memoria DRAM**

$$F.C. = \frac{\# \text{ Ciclos de refresco en un período de refresco}}{\# \text{ Ciclos de memoria en un período de refresco}}$$

**Indica la parte del período de refresco que debe dedicarse a refresco de datos**

# DRAM: Refresco de datos (4)

## Ejercicio

Supóngase una DRAM de 64K x 8 cuyo período de refresco es de 5 ms y cuyo ciclo de memoria (lectura, escritura, refresco) es de 300 ns. Indicar cuál es el factor de calidad de la memoria y cuántos ciclos de memoria pueden realizarse entre dos ciclos de refresco si el refresco es distribuido.

# DRAM: Refresco de datos (4b)

## Ejercicio

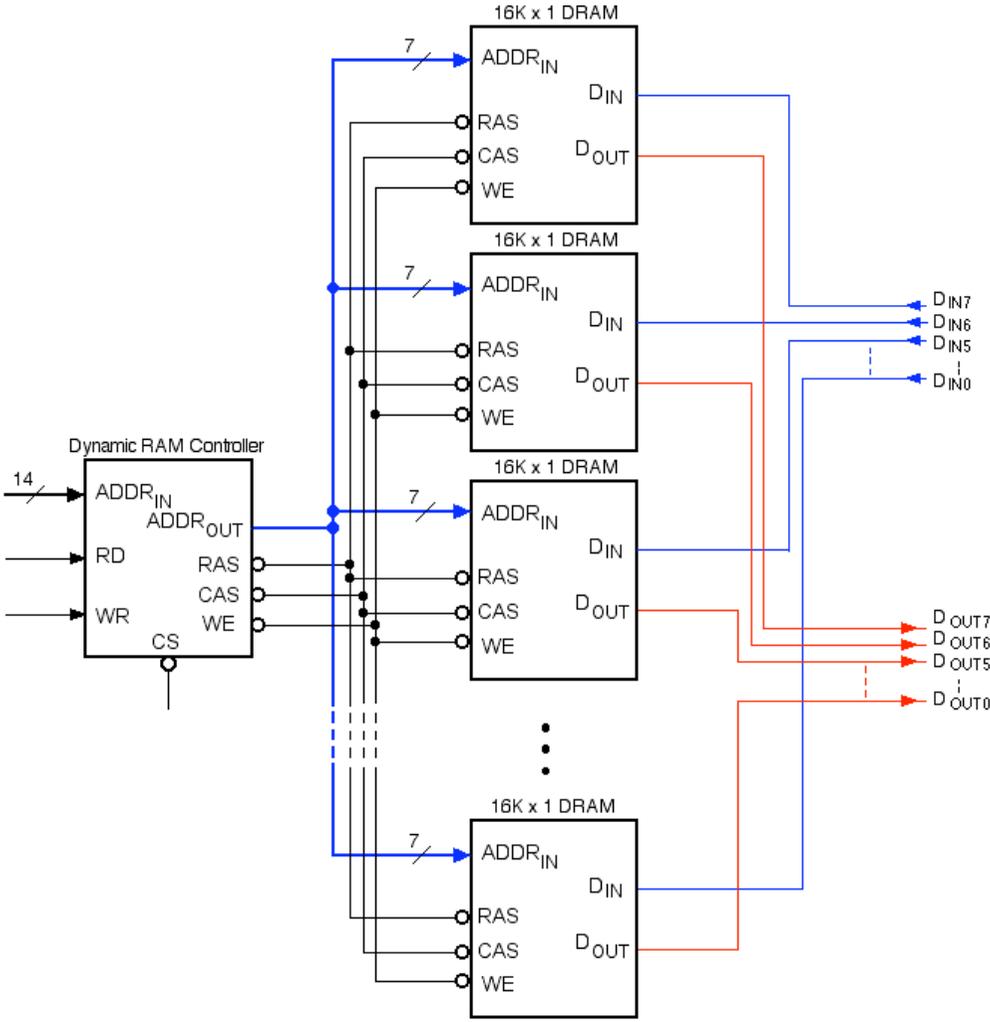
Supóngase una DRAM de **64K x 8** cuyo período de refresco es de **5 ms** y cuyo ciclo de memoria (lectura, escritura, refresco) es de **300 ns**. Indicar cuál es el factor de calidad de la memoria y cuántos ciclos de memoria pueden realizarse entre dos ciclos de refresco si el refresco es distribuido.

$$F.C. = \frac{(64K)^{\frac{1}{2}} \text{ filas}}{5 \times 10^{-3} \text{ s}} \times 100 = \frac{256 \text{ filas}}{16,667 \times 10^3 \text{ filas}} \times 100 = 1,536 \%$$
$$\frac{300 \times 10^{-9} \text{ s}}{\text{fila(ciclo memoria)}}$$

$$\frac{5 \times 10^{-3} \text{ s}}{\text{ciclo de refresco}} = 19,53 \times 10^{-6} \text{ s/op. de refresco}$$
$$\frac{256 \text{ filas (op. de refresco)}}{\text{ciclo de refresco}}$$

$$\frac{19,53 \times 10^{-6} \text{ s}}{\text{op. de refresco}} = 65,1 \text{ ciclos memoria} \Rightarrow 64 \text{ ciclos de memoria entre dos ciclos de refresco}$$
$$\frac{300 \times 10^{-9} \text{ s}}{\text{ciclo memoria}}$$

# DRAM: Controlador de DRAM



# RAM: Descripción VHDL

## Ejercicio

Mostrar una descripción VHDL para una SRAM de lectura asíncrona y escritura síncrona, con A líneas de direcciones y D líneas de entrada/salida de datos. Las líneas de control deben ser únicamente CLK, CE\* y R/W\*.

CLK	$\overline{CE}$	R/ $\overline{W}$	Op.
X	1	X	Deshabilitada. Data en alta – Z
X	0	1	Lectura. Data $\Leftarrow$ Contenido de Address
$\uparrow$	0	0	Escritura. Contenido de Address $\Leftarrow$ Data

# RAM: Descripción VHDL (2)

## Ejercicio

```
-----  
library ieee;  
use ieee.std_logic_1164.all;  
use ieee.numeric_std.all;           -- para soportar operaciones aritméticas  
                                     -- sobre vectores binarios  
-----  
  
-----  
entity SRAM is  
    generic ( A : integer := 8;      -- generic list : formal generic constants  
              D : integer := 8 );   -- de mode in que parametrizan la entidad  
    port ( Address : in std_logic_vector(A-1 downto 0);  
          Data : inout std_logic_vector(D-1 downto 0);  
          CLK : in std_logic;  
          CE : in std_logic;  
          WR : in std_logic );  
end SRAM;  
-----
```

# RAM: Descripción VHDL (3)

## Ejercicio

```
architecture beh of SRAM is
type tipo_RAM is array(2**A-1 downto 0) of std_logic_vector(D-1 downto 0);
signal ram_stat : tipo_RAM;
begin
    process(CE, RW);
    begin
        if (CE = '0' and RW = '1') then
            Data <= ram_stat(to_integer(unsigned(Address)));
        else
            Data <= (others => 'Z');
        end if;
    end process;

    process(CLK);
    begin
        if (CLK'event and CLK = '1') then
            if (CE = '0' and RW = '0') then
                ram_stat(to_integer(unsigned(Address))) <= Data;
            end if;
        end if;
    end process;
end beh;
```

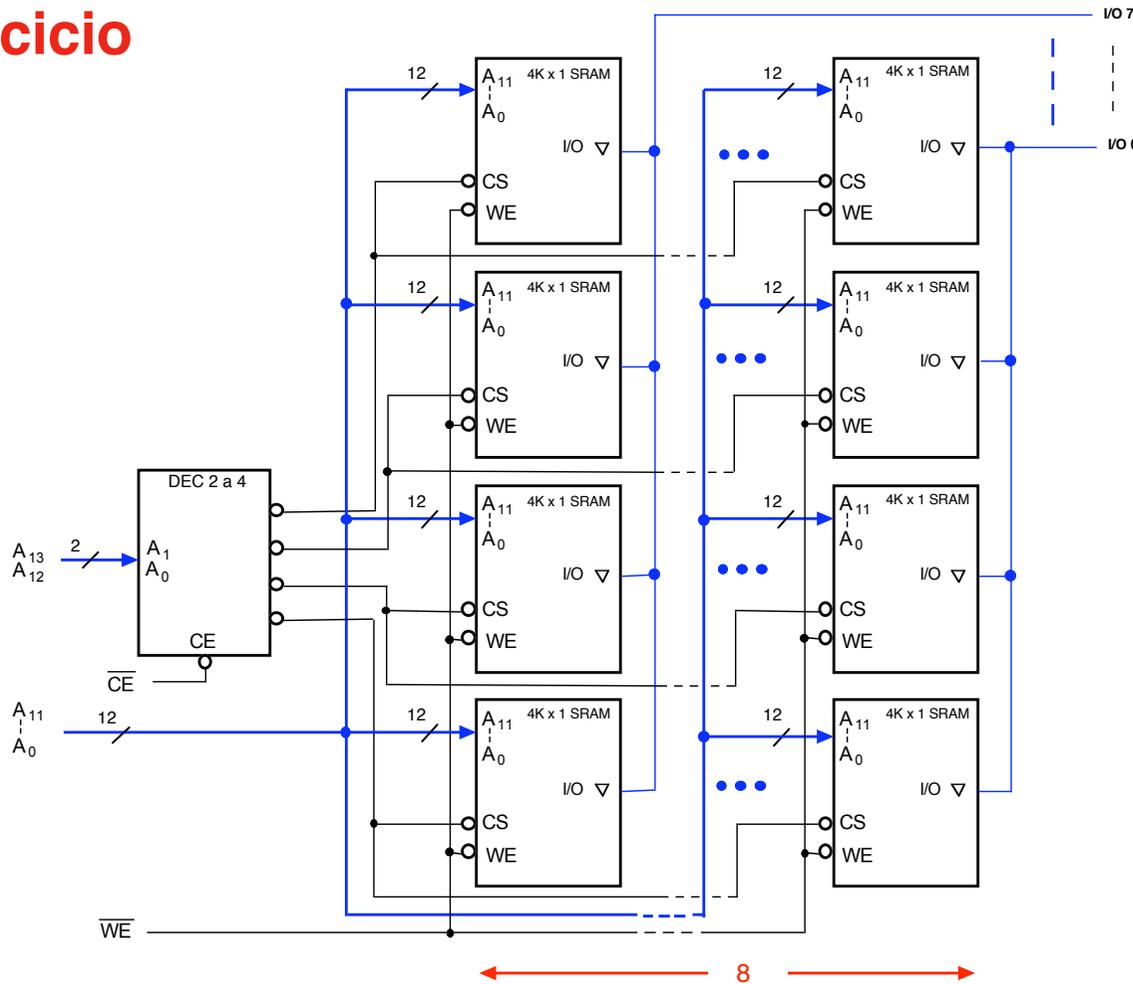
# Ampliación de memoria RAM

## Ejercicio

Un microprocesador con un bus de datos de 8 bits utiliza chips de RAM estática de 4096x1 bits de capacidad. ¿Cuántos chips son necesarios y cómo deben ser conectadas sus líneas de direcciones y de datos para proporcionar al microprocesador una memoria de 16KB?

# Ampliación de memoria RAM (2)

## Ejercicio



16Kx8:

Cuadruplicar el  
#direcciones  
(palabras) y  
multiplicar por 8  
el #bits de cada  
palabra

(32 chips SRAM)

# Ampliación de memoria RAM (3)

## Ejercicio

Se dispone de 4 SRAM de 512Kx4 y 2 de 1Mx4. Diseñar una SRAM de 2Mx8 utilizando las anteriores. Indíquense claramente las características de las SRAM y las conexiones, documentando adecuadamente el diseño.