

Registros de desplazamiento

- Definición de registro de desplazamiento básico
- Tipos de registro de desplazamiento
- Configuraciones específicas
- Aplicaciones más típicas
- VHDL
- Ejercicio propuestos

Definición

Los registros de desplazamiento son circuitos secuenciales formados por biestables o flip-flops generalmente de tipo D conectados en serie y una circuitería adicional que controlará la manera de cargar y acceder a los datos que se almacenan.

En los de desplazamiento se transfiere información de un flip-flop hacia el adyacente, dentro del mismo registro o a la entrada o salida del mismo.

La capacidad de almacenamiento de un registro es el número total de bits que puede contener .

El funcionamiento se realiza de manera síncrona con la señal de reloj. Gran parte de los registros de desplazamiento reales incluyen una señal RESET o CLEAR asíncrona, que permite poner simultáneamente todas las salidas en "0" o estado bajo, sin necesidad de introducir ceros seguidos. Esto permite limpiar rápidamente el registro de desplazamiento lo cual es muy importante a nivel práctico.

Sus funciones dentro del sistema digital son:

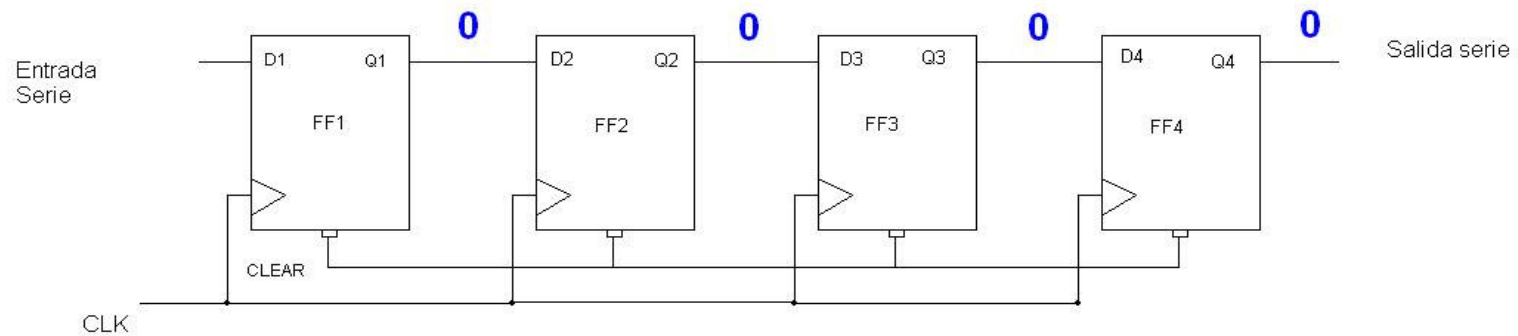
- Servir de almacenamiento temporal de un conjunto de bits sobre los que se está realizando una labor de procesamiento.
- Desplazamiento de datos a lo largo de los flip-flops.

Tipos de registros

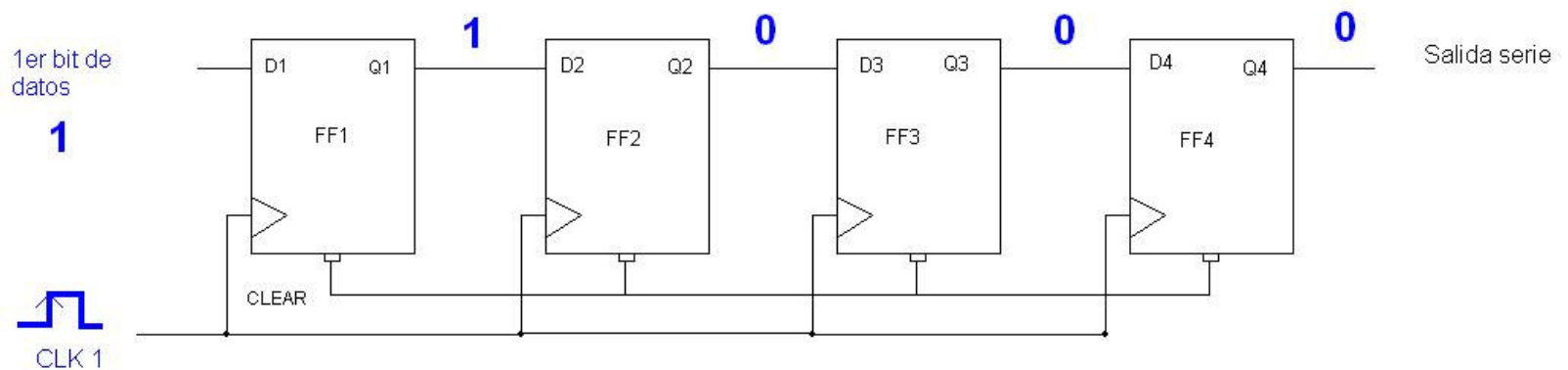
- Entrada serie/salida serie :

Los datos deben introducirse en serie, es decir, bit a bit por una única línea. La salida se obtendrá de la misma manera.

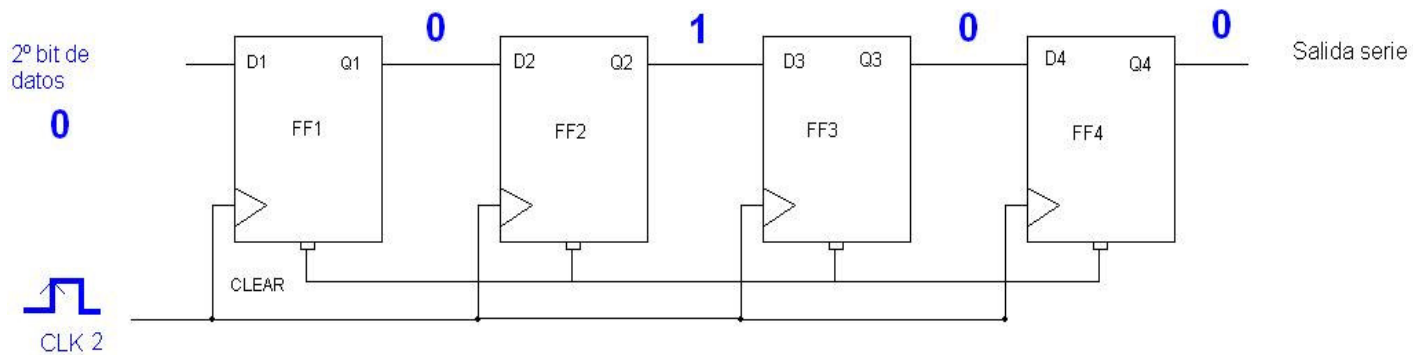
Bc



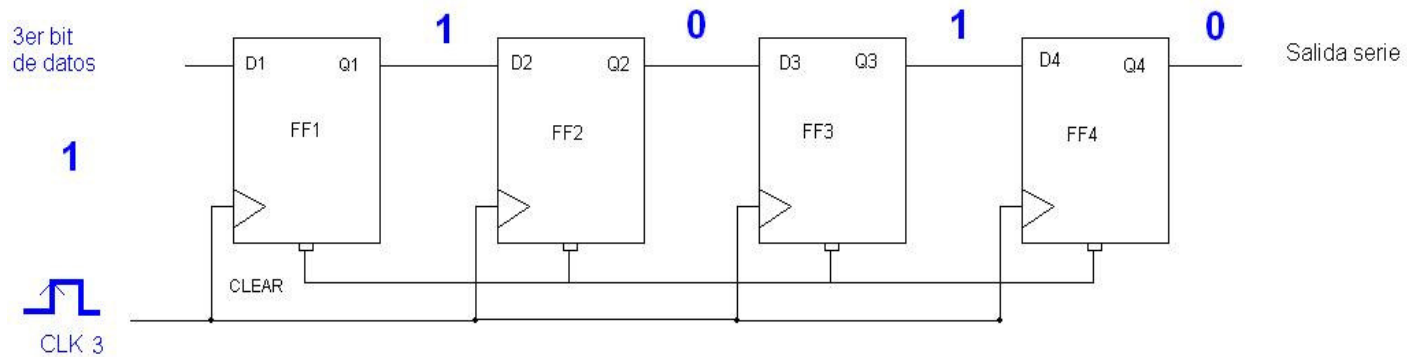
El bit de la derecha es un 1 por lo que le aplicaremos en la entrada lo que hace que $D=1$ en el FF1. En el momento que halla un flanco de reloj el FF1 pasara al estado SE almacenando el 1.



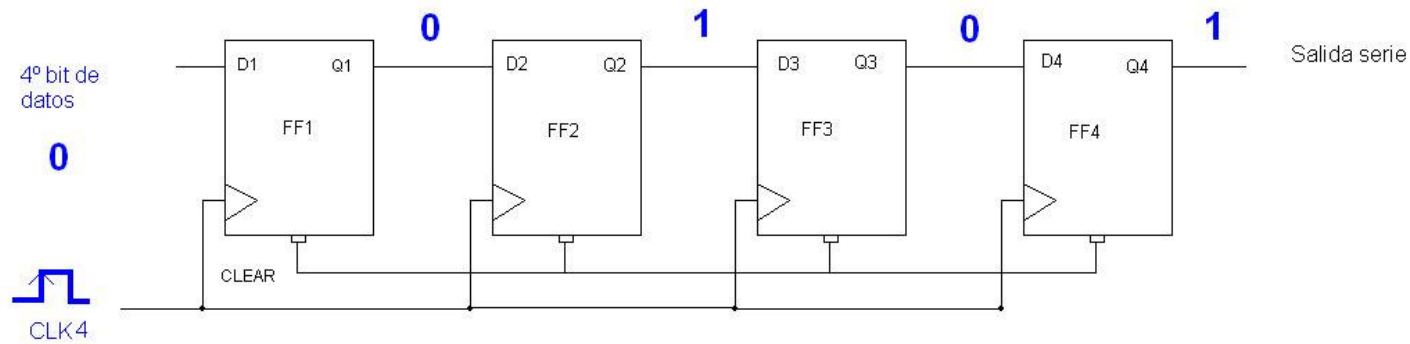
Seguidamente introduciremos el segundo bit un 0. Esto significa que en el FF1 $D=0$ y en el FF2 $D=1$. El 1er "1" se ha desplazado al producirse el 2º flanco de reloj y a su vez se ha introducido un nuevo bit.



Introducimos el tercer bit de datos entonces tendremos
FF3 D=1; FF2 D=0; FF1 D=1



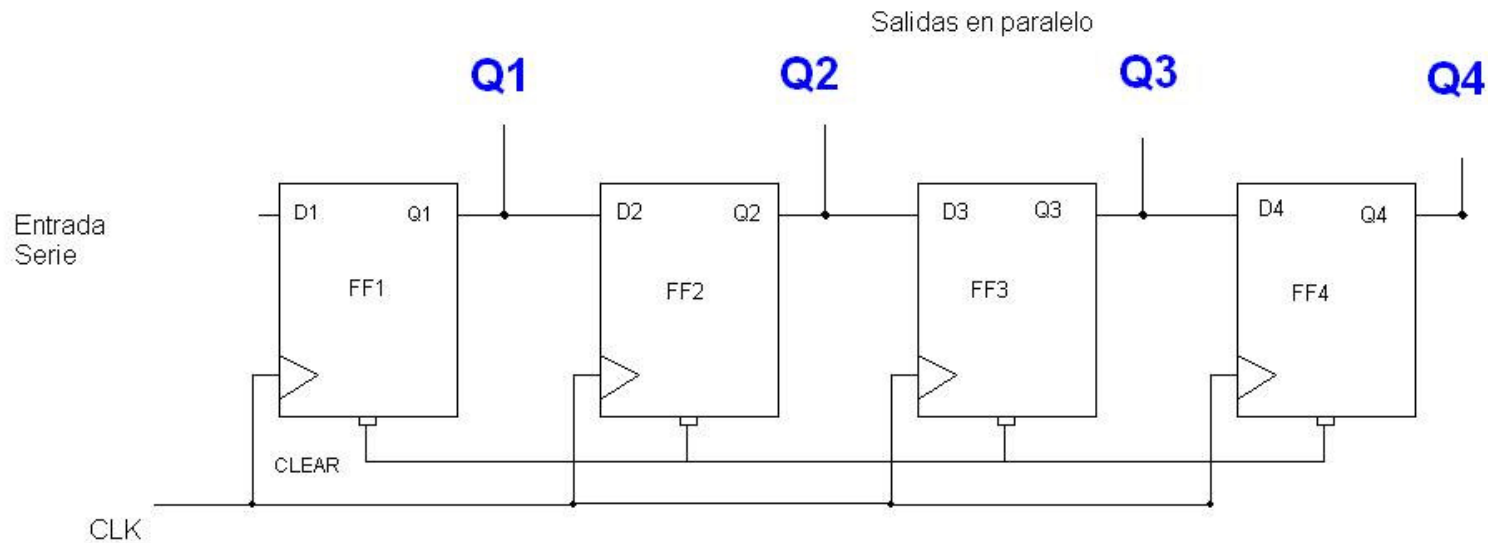
- Introducimos el ultimo bit con lo que quedara la secuencia guardada al producirse el 4^o pulso de reloj. FF4 D=1; FF3 D=0; FF2 D=1; FF1 D=0.



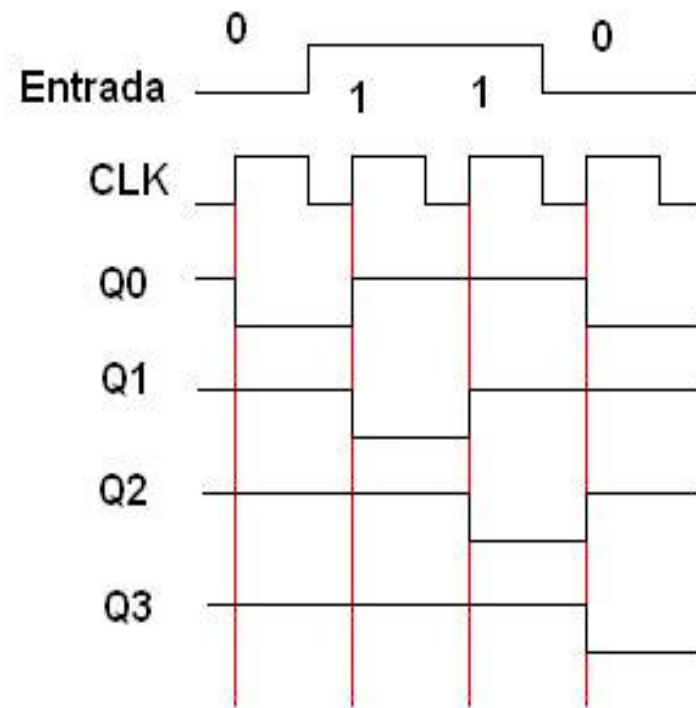
Para obtener la secuencia a la salida debemos seguir el mismo procedimiento que para introducirlos los datos para lo cual tendremos que aplicar tantos pulsos de reloj como sea necesario, en este caso serán otros 4.

- **Entrada serie/salida paralelo :**

En este tipo de registros con salida en paralelo se dispone de la salida de cada flip-flop por lo que una vez almacenados los datos cada bits se representa en su respectiva salida. De esta manera todos los bits de salida estarán disponibles al mismo tiempo.



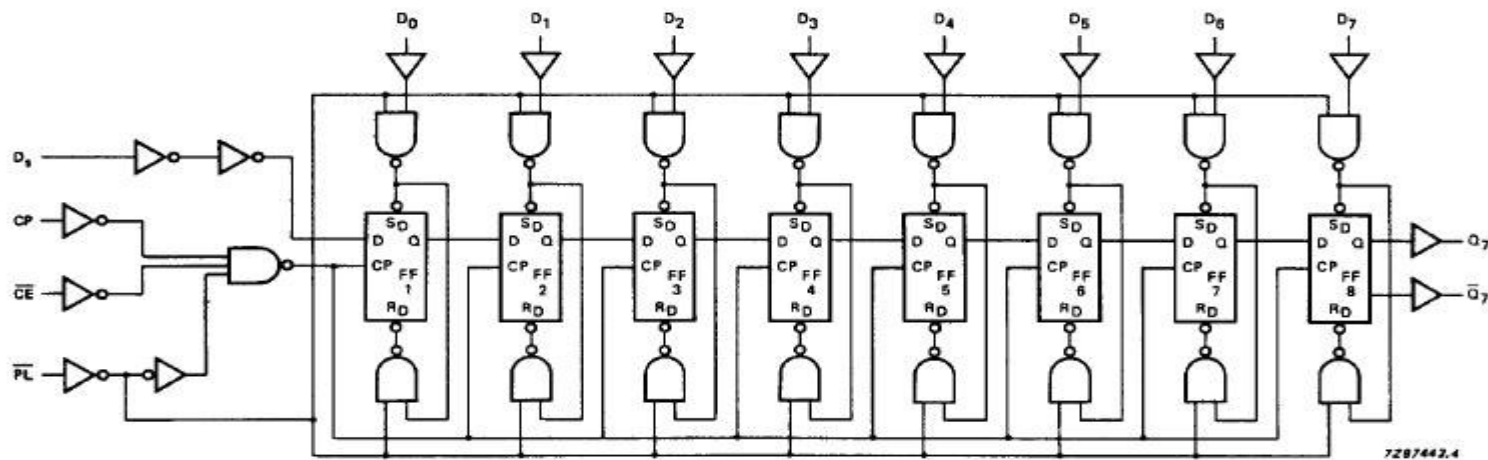
En este caso mostraremos gráficamente los estados del registro para unos datos de entrada determinados. Mostraremos los cambios fijándonos en la señal de reloj.



- Entrada paralelo/salida serie :

En este tipo de registros los bits de datos se introducen simultáneamente a través de líneas paralelo en lugar bit a bit. La salida serie se hace de igual modo que en el primer caso explicado una vez que los datos hayan sido almacenados.

El funcionamiento de un registro de desplazamiento de 8bits con carga en paralelo, utilizaremos como ejemplo

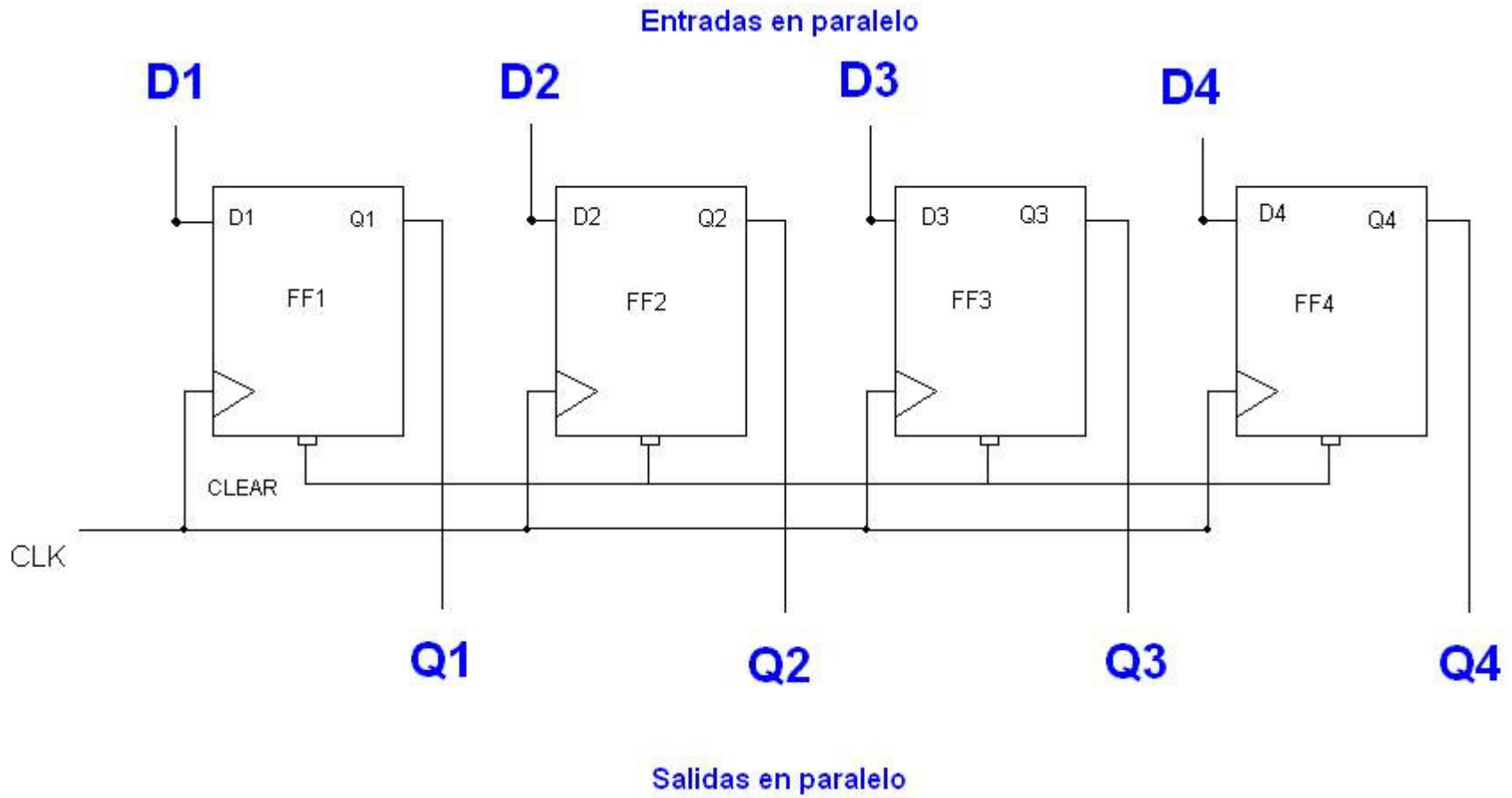


Este dispositivo posee una entrada (pl) que estando a nivel bajo activa todas las puertas NAND permitiendo la carga de los datos de entrada en paralelo.

Cuando a la entrada nos encontramos un “1” el flip-flop correspondiente pasa al estado de SET de manera asíncrona debido al nivel bajo de la puerta superior.

Por el contrario cuando la entrada es “0” el flip-flop pasará a estado de RESET de forma asíncrona por el mismo motivo. Este dispositivo tiene la opción de introducir también los datos en serie a través de la entrada SER. Las salidas de datos serie del registro son Q7 y Q7’.

- Entrada paralelo/salida paralelo :



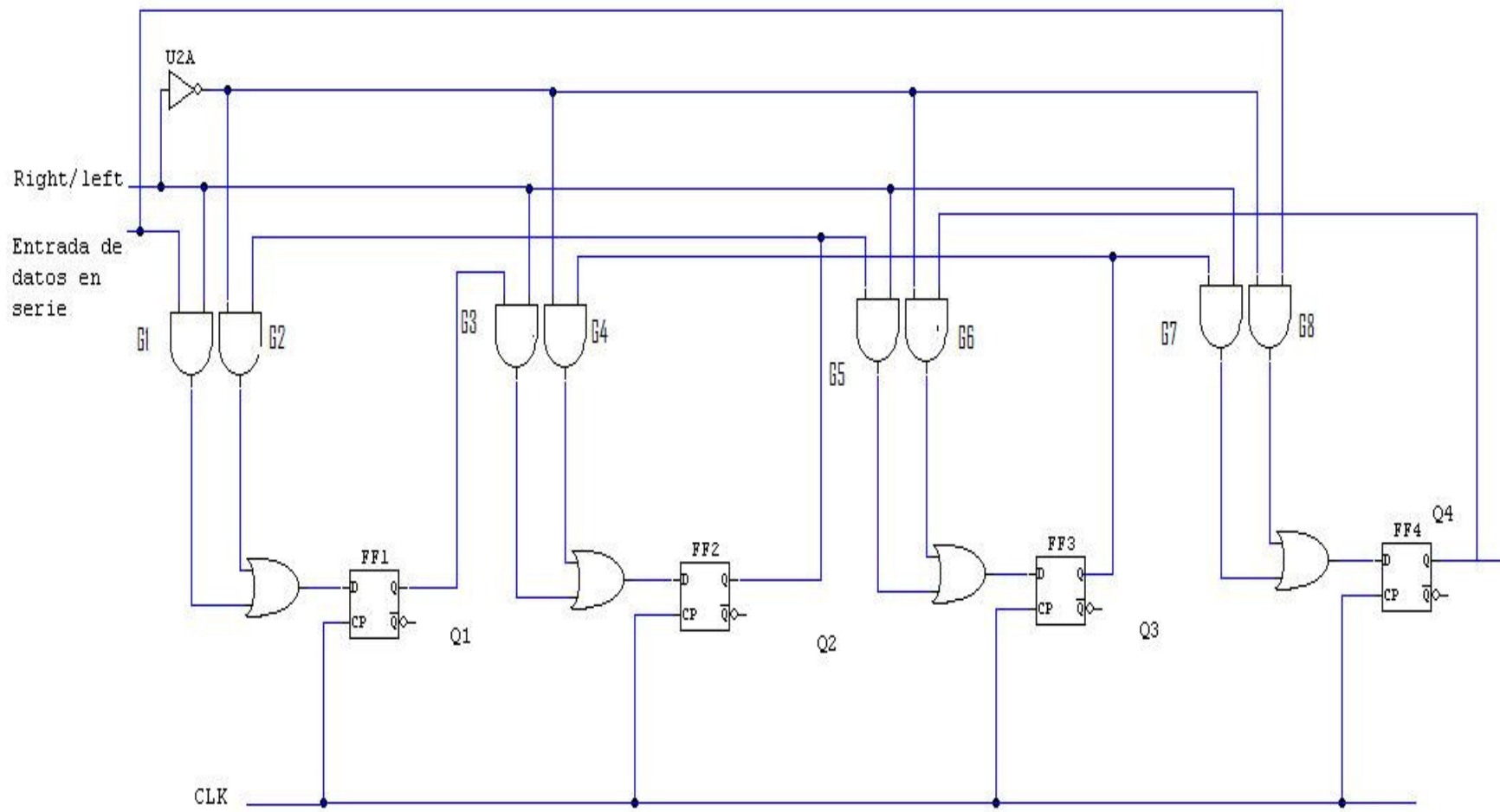
- Registros de desplazamiento bidireccionales:

Son aquellos en que los datos se pueden desplazar a la izquierda o la derecha. Se puede implementar utilizando puertas lógicas que permitan la transferencia de un bits de datos de una etapa a la siguiente de la izquierda o de la derecha dependiendo del nivel de una línea de control.

Posee una entrada que estando a nivel alto hace que los bits almacenados en el registro se desplacen hacia la derecha y a nivel bajo se desplazarán hacia la izquierda.

Cuando este a alto las puertas impares estarán activas y el estado de la salida de cada flip-flop pasara a la entrada D del siguiente. Cuando haya un flanco de reloj los bits se desplazarán una posición a la derecha.

Cuando este a bajo las puertas pares estarán activas y el estado de la salida de cada flip-flop pasara a la entrada D del anterior. Cuando haya un flanco de reloj los bits se desplazarán una posición a la izquierda.



- Aplicaciones comunes de los registros de desplazamientos:

Multiplicación x2 (desplazamiento de un bit hacia la izquierda)
ej 74LS194

División x2 (desplazamiento de un bit hacia la derecha) ej
74LS194

Conversión serie-paralelo: Nos permite pasar una información binaria en serie a paralelo.

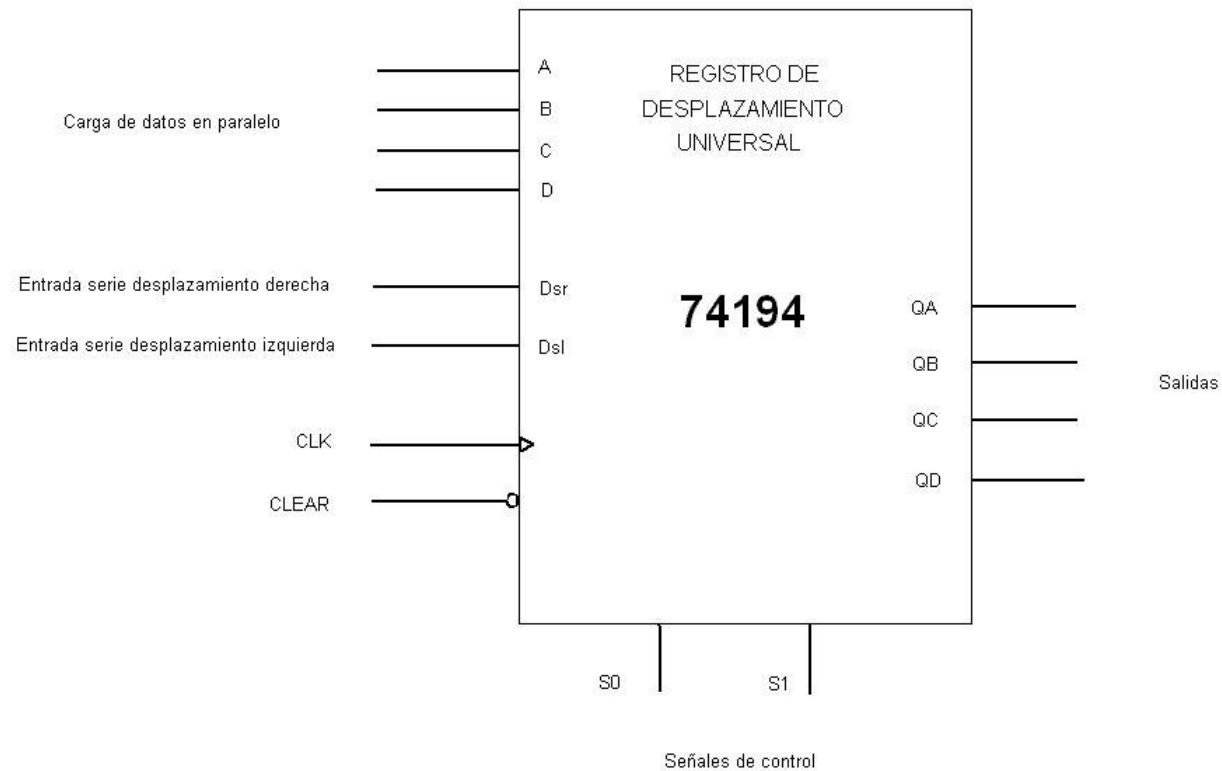
Conversión paralelo-serie: Nos permite pasar una información binaria en paralelo a serie.

Generador de secuencia.

Detector de secuencia: Si se conecta a la salida de los flip-flop un decodificador puede reconocerse una secuencia cada vez que se presente en la entrada.

Generador de retardo: Un valor de entrada saldría n pulsos mas tarde en la salida .

REGISTRO DE DESPLAZAMIENTO UNIVERSAL TTL 74194



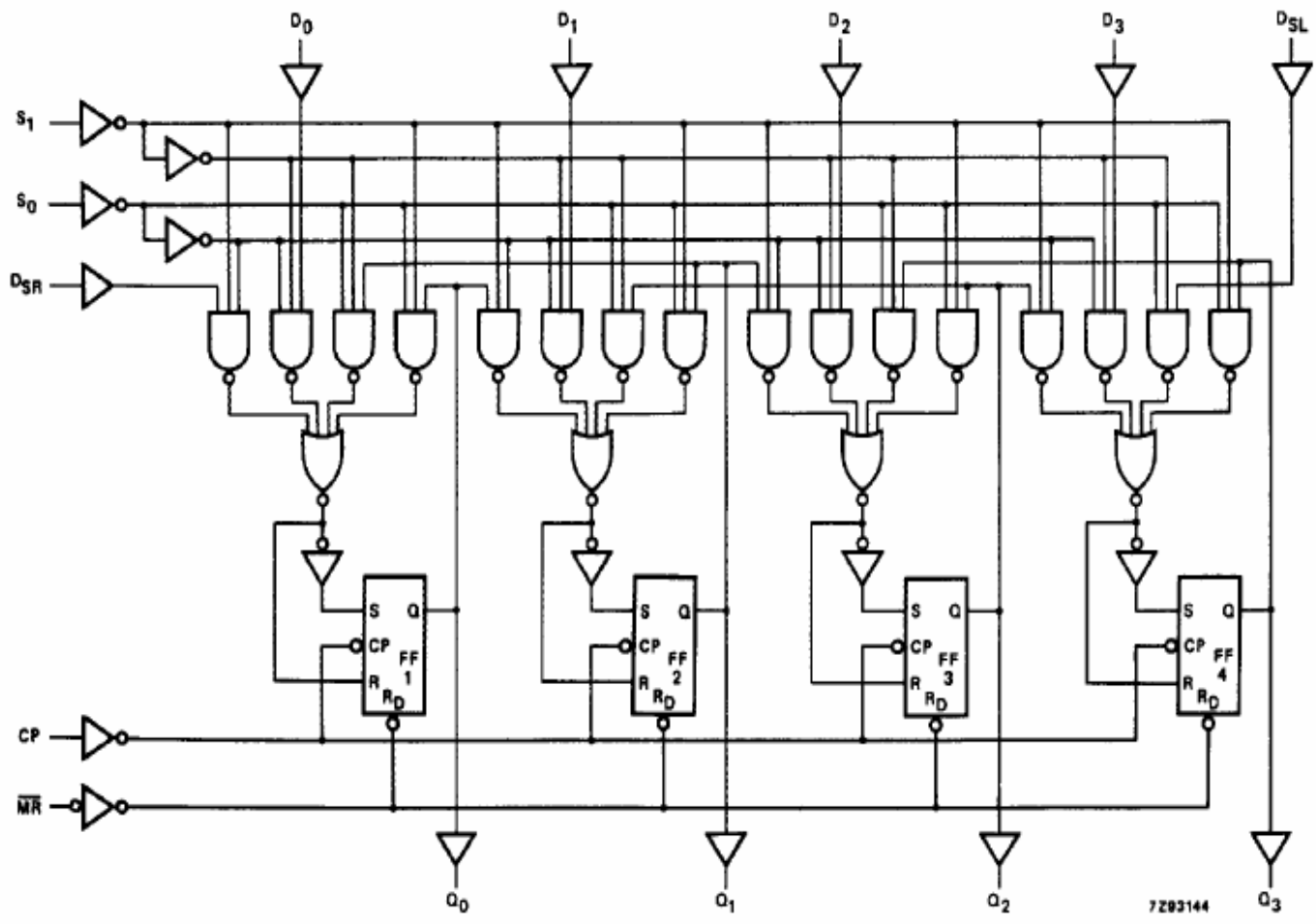


Fig.5 Logic diagram.

En la figura se muestra tanto la representación de bloques como el diagrama circuital de un registro de desplazamiento universal de 4 bits.

Consta 10 entradas y 4 salidas; estas últimas están conectadas a la salidas de cada flip flop (Q) en el circuito integrado.

- A través **A, B, C, D** se cargan los datos en paralelo
- **Dsr y Dsl** entradas a través de las cuales se introducen datos al registro de manera serial (bit a bit) Dsr Es la entrada serie de desplazamiento a la derecha la cual introduce los bits por la posición A . Dsl Es la entrada serie de desplazamiento a la izquierda la cual introduce los bits por la posición B
- **CP** Es la entrada de reloj. Dispara los flips-flops en la transición de L a H del pulso de reloj.
- **MR** Al activar la señal se ponen todos los flip-flop a cero.
- **S0,S1** A través de estas señales de control elegiremos el modo en que queremos que funcione nuestro circuito desplazamiento izquierda, desplazamiento derecha y carga en paralelo.

Tabla de verdad del funcionamiento de dispositivo.

FUNCTION TABLE

| OPERATING MODES | INPUTS | | | | | | | OUTPUTS | | | |
|---------------------|--------|------------------------|----------------|----------------|-----------------|-----------------|----------------|----------------|----------------|----------------|----------------|
| | CP | $\overline{\text{MR}}$ | S ₁ | S ₀ | D _{SR} | D _{SL} | D _n | Q ₀ | Q ₁ | Q ₂ | Q ₃ |
| reset (clear) | X | L | X | X | X | X | X | L | L | L | L |
| hold ("do nothing") | X | H | l | l | X | X | X | q ₀ | q ₁ | q ₂ | q ₃ |
| shift left | ↑ | H | h | l | X | l | X | q ₁ | q ₂ | q ₃ | L |
| | ↑ | H | h | l | X | h | X | q ₁ | q ₂ | q ₃ | H |
| shift right | ↑ | H | l | h | l | X | X | L | q ₀ | q ₁ | q ₂ |
| | ↑ | H | l | h | h | X | X | H | q ₀ | q ₁ | q ₂ |
| parallel load | ↑ | H | h | h | X | X | d _n | d ₀ | d ₁ | d ₂ | d ₃ |

Notes

- H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
 L = LOW voltage level
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 q,d = lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW-to-HIGH CP transition
 X = don't care
 ↑ = LOW-to-HIGH CP transition

- Descripción VHDL del 74194:

Descripción VHDL

```
library ieee;
use ieee.std_logic_1164.all
entity usr is
    port(CLK,DSR,DSL:in std_logic
        S: in std_logic_vector(0 to 1);
        P: in std_logic_vector(0 to 3);
        Q:out std_logic_vector(0 to 3))
end usr;
```

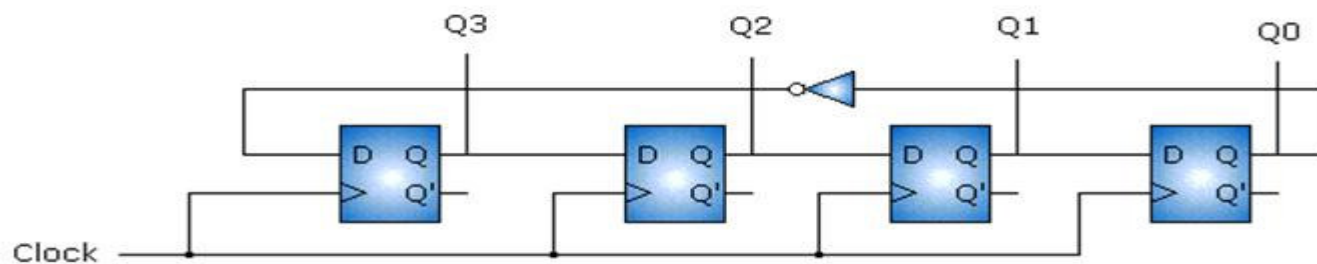
```
architecture behaviour of usr is
    signal Z : std_logic_vector (0 to 3);
    process(CLK,RESET)
begin
    if(RESET='0') THEN
        Z<= "0000";
```

```
        elsif(CLK'EVENT and CLK='1') then
            case S is
                when "01" => Z <=DSR& Z(0 to 2)
                when "10" => Z <=DSL& Z(1 to 3)
                when "11 " => Z <=P
            when others =>Z <=NULL;
            end case;
        end if;
    end process;
end behaviour;
```

Configuraciones específicas

- Contador Johnson

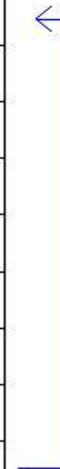
Es un registro de desplazamiento básico pero con la salvedad de que los datos no se pierden al desplazarse sino que la información rota debido a la realimentación.



En un contador Johnson el complemento de la salida se conecta a la entrada del primer flip-flop lo que permite generar una secuencia de estados característica tal y como se describe en la siguiente tabla en la que se muestra los estados de un contador de modulo 4 como el de la figura.

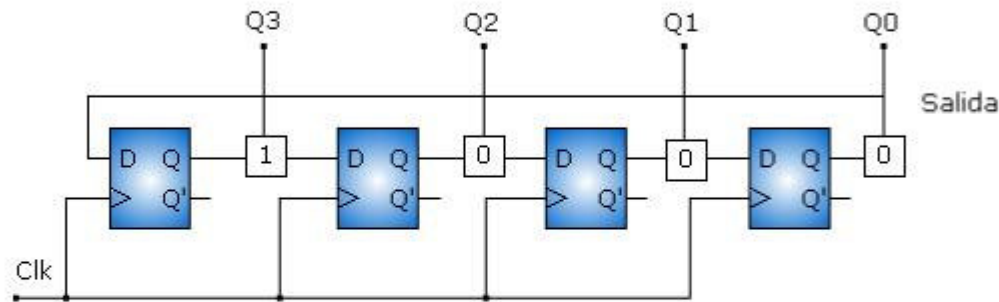
Un contador Johnson generara un modulo de $2n$ estados contados

| Pulso de reloj | Q0 | Q1 | Q2 | Q3 |
|----------------|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 2 | 1 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 | 0 |
| 4 | 1 | 1 | 1 | 1 |
| 5 | 0 | 1 | 1 | 1 |
| 6 | 0 | 0 | 1 | 1 |
| 7 | 0 | 0 | 0 | 1 |
| 8 | 0 | 0 | 0 | 0 |



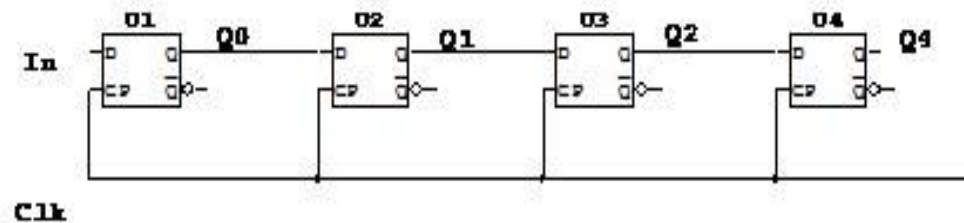
- Contador en anillo

El funcionamiento del contador de anillo es similar al del contador Johnson pero en este caso no se necesita lógica combinacional a la salida del ultimo flip-flop, se realimenta directamente como se muestra en la figura de tal forma que los datos se desplazan en forma de anillo

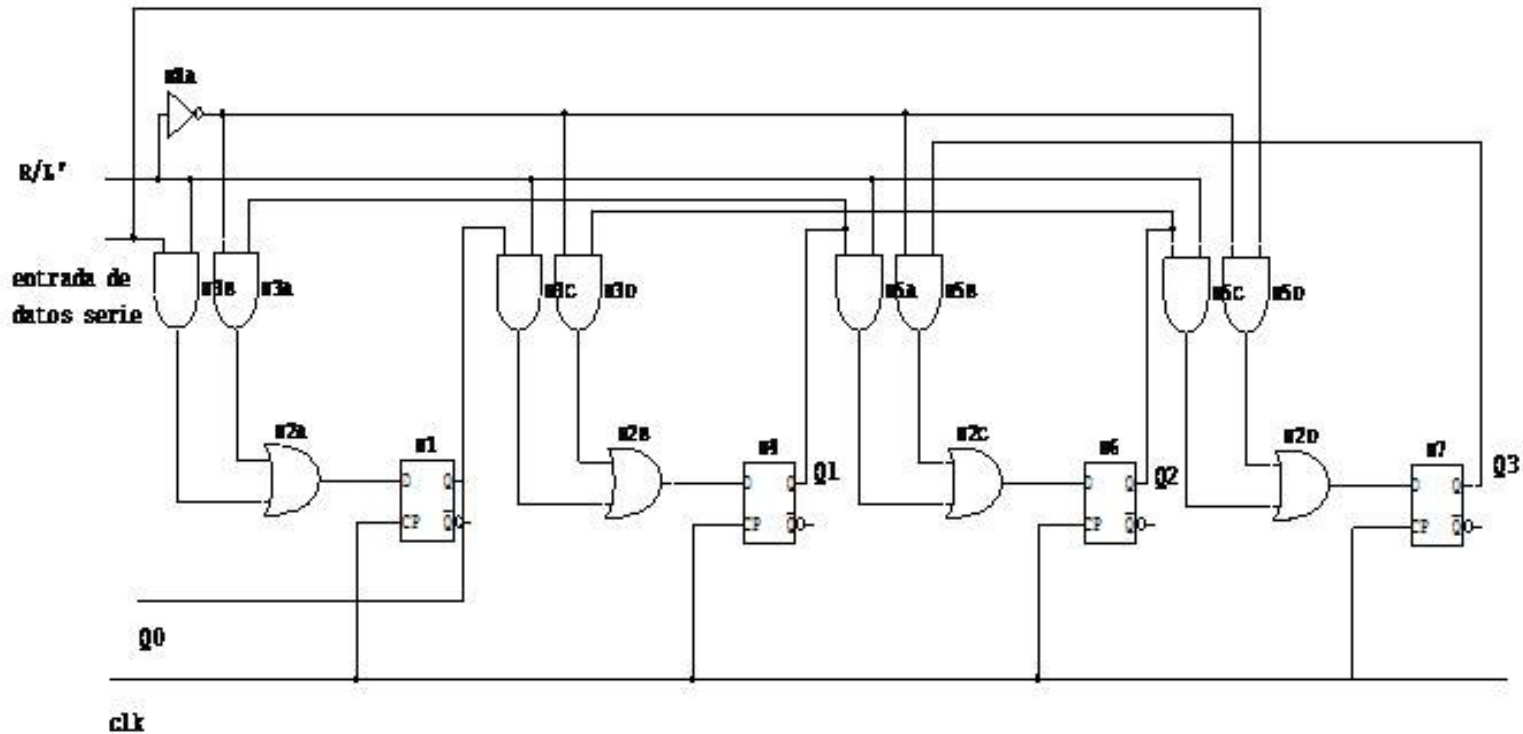


Ejercicios propuestos

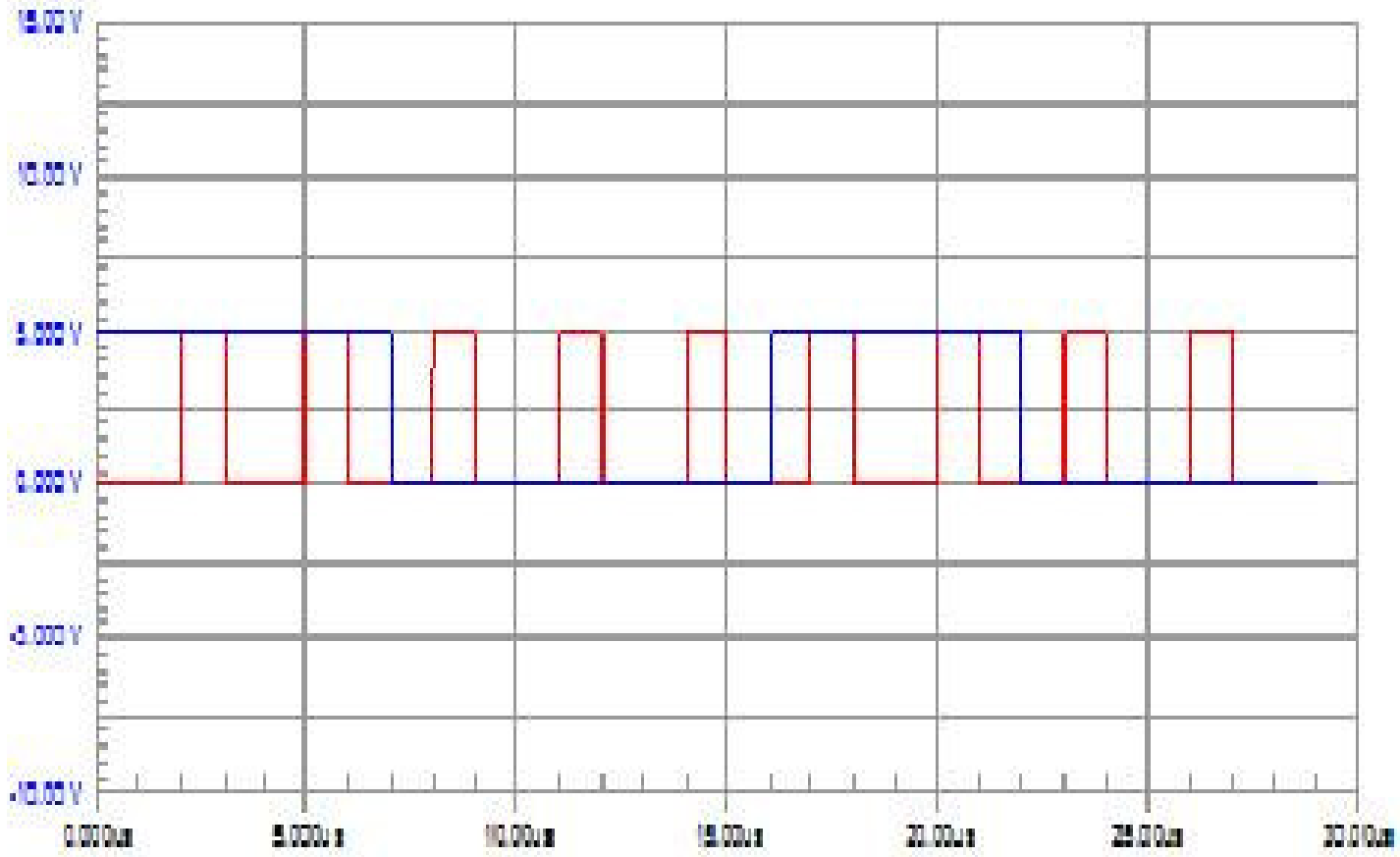
- Obtener los estados del registro de 4 bits de la figura para las señales de entrada de datos y la señal de reloj indicadas. Suponer que, inicialmente, el registro se ha borrado (su contenido es todo 0)



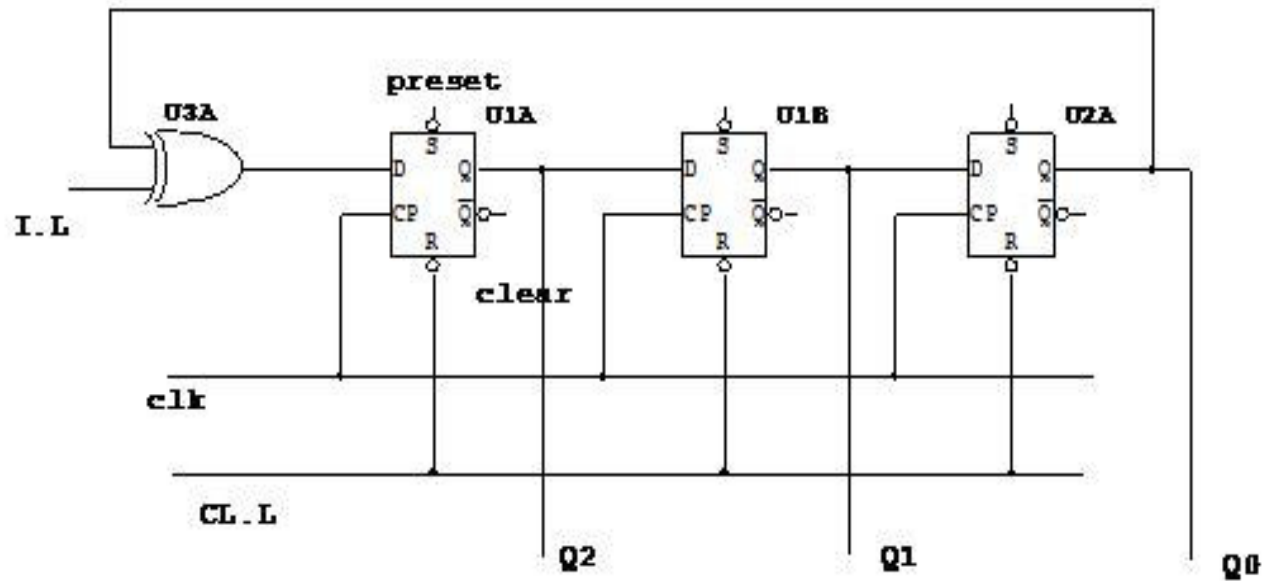
Determinar el estado del registro de la figura después de cada impulso de reloj para la forma de onda de la entrada de control RIGHT/LEFT' indicada. Suponer que $Q_0=0$, $Q_1=1$, $Q_2=0$ y $Q_3=1$, y que la línea de datos serie está a nivel bajo.



A: out_1
B: out_2



- Dado el circuito de la figura y suponiendo que la señal I está sincronizada con la señal de reloj CLK, mostrar una descripción VHDL basada en su Tabla de Estados.



Descripción VHDL basada en la tabla de estados.

| | | | | I=0 | | | I=1 | | |
|----|----|----|----|-----|-----|-----|-----|-----|-----|
| | Q2 | Q1 | Q0 | Q2' | Q1' | Q0' | Q2' | Q1' | Q0' |
| S0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| S1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| S2 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| S3 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| S4 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| S5 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| S6 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| S7 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

- ¿Qué tipo de operación realizan los siguientes registros de desplazamiento?

