**Grado en Ingeniería de Tecnologías de Telecomunicación.**

**Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.**

**Electrónica Digital I.**

**Informe y resultados de la práctica 8.**

**Diseño lógico con módulos combinacionales.**

**Alumna/o:**

**Grupo:** **Puesto:** **Fecha:**

**1. Diseño de un circuito sumador/restador.**

**1a. Mostrar una imagen del circuito desarrollado en Circuit Maker.**

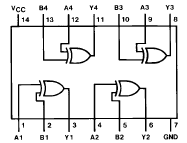
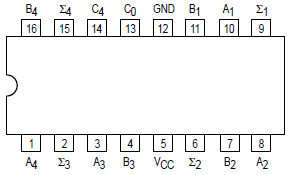
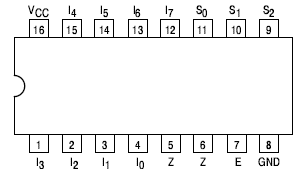
**1b. Indicar los valores aplicados al Data Sequencer en X e Y, y los resultados obtenidos Z y Ov, al realizar la simulación lógica del circuito. Mostrar los resultados en hexadecimal y en decimal con signo. Comprobar si la operación del circuito (tabla de verdad) es correcta.**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | Suma |  |  | Resta |  |
| X (Hex) | Y (Hex) | X (Dec) | Y (Dec) | Z (Hex) | Z (Dec) | Ov | Z (Hex) | Z (Dec) | Ov |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |

**1c. Indicar las conexiones hechas en la tarjeta de prueba de las entradas y la salida (como dibujo o por escrito X->chip/pin), y entre los circuitos (como dibujo o por escrito: chip/pin->chip/pin). Incluir cómo deberían ser las conexiones en el multiplexor, aunque no se haya montado este circuito en el laboratorio.**

GND

VCC



**1g. Mostrar una imagen de los resultados obtenidos como forma de onda para la suma con el analizador LA5240.**

**1h. Mostrar una imagen de los resultados obtenidos como lista de estados para la suma con el analizador LA5240.**

**1i. Mostrar una imagen de los resultados obtenidos como forma de onda para la resta con el analizador LA5240.**

**1j. Mostrar una imagen de los resultados obtenidos como lista de estados para la resta con el analizador LA5240.**

**1k. Indicar 10 de las operaciones de suma que se observan en la pantalla de lista de estados para la suma y para la resta. En base a los resultados indicar si el circuito funciona correctamente o no: SI/NO. Incluir el valor teórico de Ov, aunque no se haya medido en el laboratorio.**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | Suma |  |  | Resta |  |
| X (Hex) | Y (Hex) | X (Dec) | Y (Dec) | Z (Hex) | Z (Dec) | Ov | Z (Hex) | Z (Dec) | Ov |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |

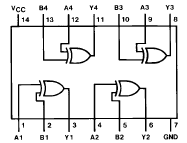
**2. Implementación de una función lógica con un circuito multiplexor.**

**2a. Mostrar una imagen del circuito desarrollado en Circuito Maker.**

**2b. Indicar la tabla de verdad del circuito, obtenida por simulación. Indicar si el resultado de la simulación es correcto.**

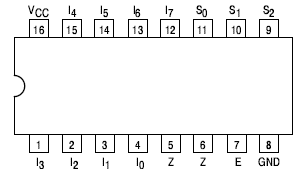
|  |  |
| --- | --- |
| **A B C D** | **Z** |
| 0 (0000) |  |
| 1 (0001) |  |
| 2 (0010) |  |
| 3 (0011) |  |
| 4 (0100) |  |
| 5 (0101) |  |
| 6 (0110) |  |
| 7 (0111) |  |
| 8 (1000) |  |
| 9 (1001) |  |
| A (1010) |  |
| B (1011) |  |
| C (1100) |  |
| D 1101) |  |
| E (1110) |  |
| F (1111) |  |

**2c. Indicar las conexiones hechas en la tarjeta de prueba de las entradas y la salida (como dibujo o por escrito X->chip/pin), y entre los circuitos (como dibujo o por escrito: chip/pin->chip/pin).**



GND

VCC



**2d. Mostrar una imagen de los resultados obtenidos como forma de onda con el analizador LA5240.**

**2e. Mostrar una imagen de los resultados obtenidos como lista de estados con el analizador LA5240. Indicar si el circuito funciona correctamente o no.**