

**Grado en Ingeniería de Tecnologías de Telecomunicación.
Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.
Electrónica Digital I.**

**Informe y resultados de la práctica 4.
Herramienta de diseño digital Quartus II.**

Alumna/o:

Grupo:

Puesto:

Fecha:

1. Diseño de un circuito mediante descripción de esquemáticos.

1a. Mostrar una imagen de circuito esquemático realizado.

1b. Mostrar una imagen de los resultados de la simulación funcional. Comprobar que el resultado es correcto.

1c. Obtener la tabla de verdad del circuito a partir del resultado de simulación:

S	I1	I0	Z
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

1d. Una vez que se ha compilado completamente el circuito y simulado:

Número de celdas utilizadas del PLD:

Tiempo de propagación medido, sobre la ventana de resultados de la simulación, indicando el tiempo de simulación en el que se hace la medida, las señales que cambian en ese tiempo, y el tipo de cambio (1->0, o 0->1):

Tiempo máximo de propagación del circuito:

Potencia disipada:

1e. Una vez que se ha recompilado el circuito para reducir el tiempo de programación, indicar:

Valor de tdp utilizado en los *settings*:

Tiempo máximo de propagación del circuito:

2. Diseño de un circuito multiplexor de dos entradas mediante descripción VHDL.

2a. Mostrar una imagen del VHDL desarrollado.

2b. Una vez que se ha compilado completamente el circuito y simulado, indicar:

Número de celdas utilizadas del PLD:

Tiempo máximo de propagación del circuito:

3. Diseño de un circuito que genere la distancia de Hamming mediante descripción VHDL.

3a. Mostrar una imagen del VHDL desarrollado.

3b. Mostrar una imagen de parte de los resultados de la simulación, mostrando las entradas en binario y las salidas en decimal. Comprobar que el resultado es correcto.

3c. Una vez que se ha compilado completamente el circuito y simulado, indicar:

Número de celdas utilizadas del PLD:

Tiempo máximo de propagación del circuito:

4. Diseño de un circuito multiplicador a partir de circuitos sumadores.

4a. Mostrar una imagen del VHDL desarrollado.

4b. Mostrar una imagen de parte de los resultados de la simulación, mostrando las entradas y las salidas en decimal. Comprobar que el resultado es correcto.

4c. Una vez que se ha compilado completamente el circuito y simulado, indicar:

Número de celdas utilizadas del PLD:

Tiempo máximo de propagación del circuito: