

**Grado en Ingeniería de Tecnologías de Telecomunicación. Curso 2018/2019. 2º curso.  
Examen final de evaluación continua de Electrónica Digital I.  
Santander, 31 de Enero de 2019.**

Todas las preguntas valen 1 punto. Se debe explicar y detallar en lo posible la resolución de cada pregunta (no se considerarán correctas las respuestas que incluyan únicamente el resultado final).

1º. Un alfabeto de 8 caracteres está ordenado de mayor probabilidad a menor como E P A R T O D I, y se han codificado los caracteres de 0 en adelante en código binario exp-Golomb. Codificar el mensaje REPARTIDO, en dicho código.

2º. Simplificar la siguiente función lógica utilizando los teoremas y postulados del álgebra de conmutación.

$$\overline{\overline{A(C + \overline{D})} \oplus \overline{B} \cdot \overline{A} + C + \overline{D} + \overline{B} C} \cdot A$$

3º. Mostrar la descripción VHDL de un comparador de dos números X (Sx Mx) e Y (Sy My), en notación de bit signo. S, de 1 bit, es el bits de signo (0 para números positivos, 1 para números negativos), y M es el módulo del número en N bits. El resultado de la comparación está formado por tres salidas G (X > Y), L (X < Y) y E (X = Y).

4º. Encontrar las funciones lógicas mínimas SOP que definen las salidas de un circuito que, para dos números de dos bits A (a1a0) y B (b1b0) en complemento-2, realiza la operación aritmética Z = (A+1)\*(B+1), sabiendo que A y B no pueden ser iguales. Las salidas Z también deben estar en complemento-2.

5º. Obtener una forma SOP mínima de la función lógica:

$$F(A, B, C, D, E) = \sum(1,4,6,7,8,10,11,14,21,23,24,27,28,31) + \sum\emptyset(2,5,9,12,15,16,19,22,26,29)$$

6º. Dado el siguiente resultado de una minimización conjunta realizada con espresso con la opción -Dopo, diseñar el circuito correspondiente usando el menor número posible puertas de puertas NOR (y NOT), para entradas A.L, B.L, C.H y D.H.

```
.i 4
.o 3
.ilb A B C D
.ob F1 F2 F3
.phase 001
.p 5
-0-0 011
11-1 101
-1-0 110
001- 010
-01- 101
.e
```

7º. Implementar la siguiente función lógica en cinco niveles, que desde la salida (1º nivel) hacia las entradas (5º nivel) usan puertas NOR (1º nivel), AND (2º nivel), OR (3º nivel), NOR (4º nivel) y AND (5º nivel) para entradas A.H, B.L, C.L, D.H, E.L y salida F.H.

$$F(A, B, C, D, E) = [B + \overline{C} + A(D + \overline{E})](A + \overline{B} + D)[C + (E + BD)(\overline{B} + \overline{E})]$$

8°. Diseñar un circuito que genere Z de tres bits, tal que Z es el complemento-2 de una palabra binaria X de 3 bits. Tanto X como Z están en lógica positiva, y el diseño debe realizarse usando únicamente un decodificador 3 a 8 74LS138 y un codificador con prioridad de 8 a 3 74LS148, cuyas tablas de verdad son:

TRUTH TABLE

INPUTS						OUTPUTS							
E <sub>1</sub>	E <sub>2</sub>	E <sub>3</sub>	A <sub>0</sub>	A <sub>1</sub>	A <sub>2</sub>	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>	O <sub>4</sub>	O <sub>5</sub>	O <sub>6</sub>	O <sub>7</sub>
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

74LS138

SN74LS148  
FUNCTION TABLE

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	L	H	H	L	H	L	L	L	H
L	X	X	X	L	H	H	H	L	H	H	L	L	H
L	X	X	L	H	H	H	H	H	L	H	L	L	H
L	X	L	H	H	H	H	H	H	H	L	L	L	H
L	L	H	H	H	H	H	H	H	H	H	L	L	H

9°. En un multiplicador de Booth, en función del valor de dos bits consecutivos del multiplicador al resultado parcial A se le debe sumar o restar el multiplicando B, o no hacer ninguna operación, estando A y B en complemento-2. Para realizar una operación parcial hay que construir un circuito que dada una entrada A (el resultado parcial) y una entrada B (el multiplicando) obtengan el siguiente resultado Z en función de 2 bits del multiplicador (XY). Las operaciones aritméticas a realizar se muestran en esta tabla:

X·Y	Z
0·0	A
0·1	A + B
1·0	A - B
1·1	A

Construir un circuito que realice estas operaciones para operandos A y B, y resultado Z de 4 bits en complemento-2 en base a un sumador 74LS83 (4-bit full-adder) y el menor número de puertas lógicas u otros circuitos MSI.

10°. Diseñar un flip-flop con dos entradas X-Y tal que cuando  $X > Y$  se cambia el valor del flip-flop, cuando  $X < Y$  el valor del flip-flop se mantiene igual, y cuando ambas entradas son 1 el flip-flop se resetea. No se permite que las dos entradas estén a 0 a la vez.

- Encontrar la tabla de operación, la tabla característica, y la ecuación característica del flip-flop, y realizar una implementación "clocked-latch" a partir de un "latch" S-R NAND.
- Encontrar la tabla de excitación de dicho flip-flop y construir un flip-flop T a partir del flip-flop X-Y.