

# Tema 3. Análisis y diseño de circuitos combinatoriales

- Análisis y diseño de circuitos con puertas lógicas
- Módulos combinatoriales

# Análisis y diseño de circuitos con puertas lógicas

- Caracterización de los circuitos electrónicos digitales.
- Circuitos con puertas lógicas. Análisis funcional y temporal. Peligros lógicos.
- Implementaciones en dos niveles y multinivel (NAND/NOR).
- Dispositivos programables.

# Circuitos digitales

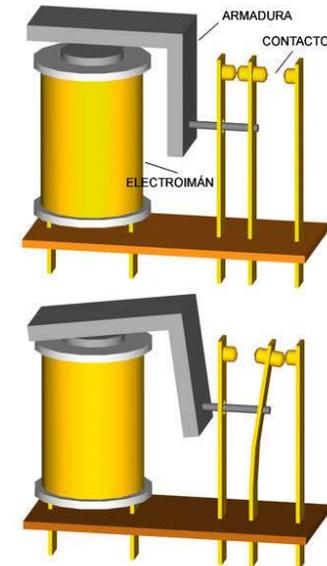
- Un **circuito digital** se puede realizar en diversas tecnologías: mecánica, electromecánica, óptica, magnética, pero en la actualidad se utiliza **la tecnología microelectrónica** (nanoelectrónica) basada en **dispositivos electrónicos** realizados sobre **materiales semiconductores**, normalmente Silicio.
- Ninguna otra tecnología permite la integración de **millones de dispositivos** operando conjuntamente de forma fiable en un espacio tan reducido a tan alta velocidad.



**Válvula de vacío**

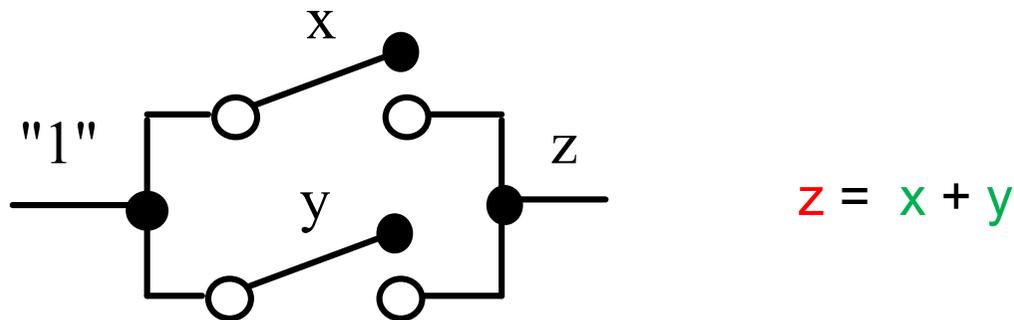
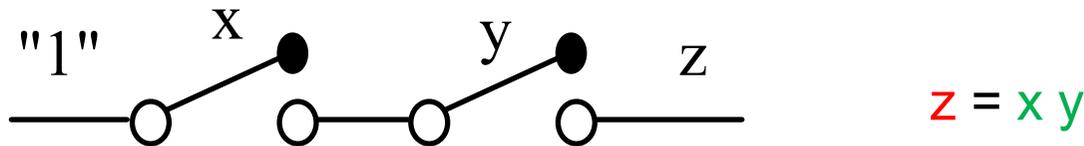
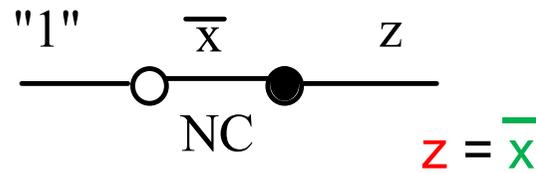
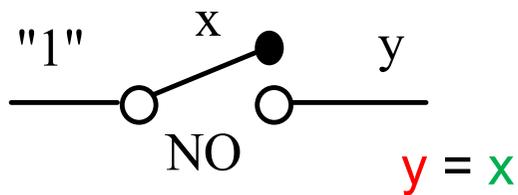


**Relé**



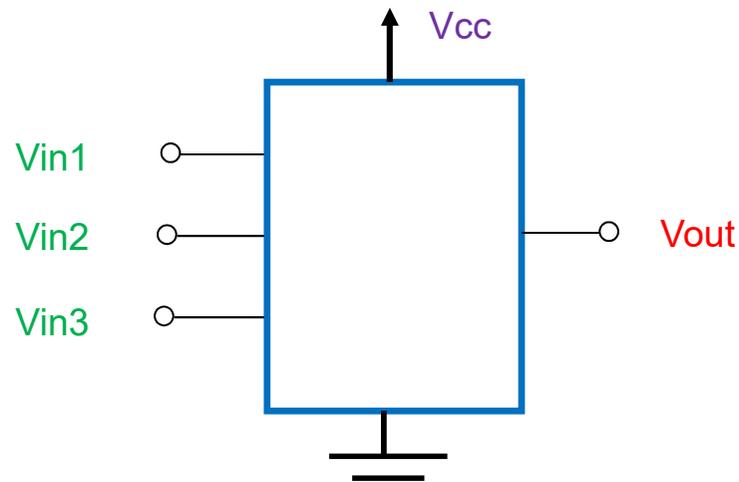
# Circuitos digitales

- Los circuitos digitales basados en relés (relevadores) utilizan el concepto de conmutador para implementar las funciones lógicas.



# Circuitos electrónicos digitales

- Un **circuito electrónico digital** corresponde a un circuito formado por **circuitos electrónicos activos** (transistores, diodos, etc) y **pasivos** (resistencias, condensadores, etc) conectado entre tensión de alimentación (**Vcc** o **Vdd**) y tierra (**Gnd**). En las **entradas** se introducen **valores de tensión** entre **Vcc** y **Gnd**, y en la **salida** se obtienen **valores de tensión** entre **Vcc** y **Gnd**.
- Tanto en la entrada como en la salida los **valores están cuantificados**, de forma que en una primera aproximación se pueden dividir **en dos rangos**: un nivel de **tensión bajo L** (0 lógico, entre **Gnd** y **VL**) y un nivel de **tensión alto H** (1 lógico, entre **VH** y **Vcc**).



# Circuitos electrónicos digitales

- **Clasificación por tamaño:**

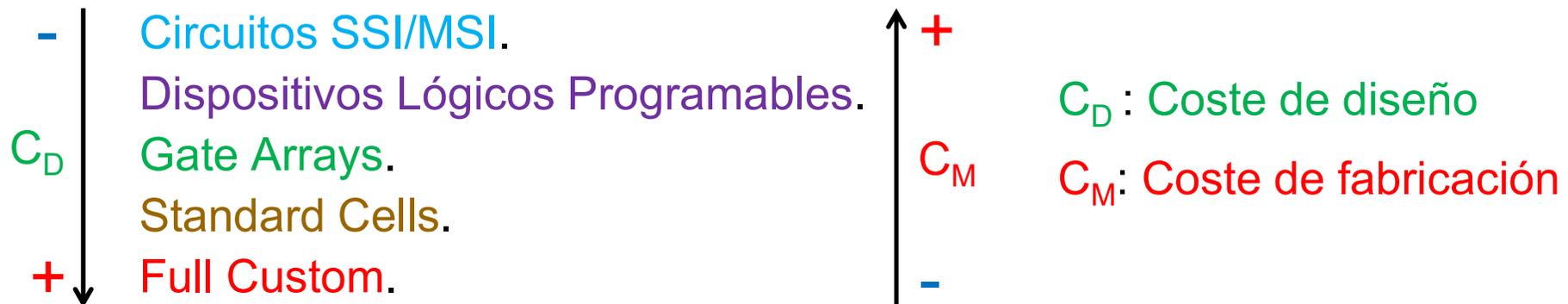
Circuitos **SSI** (small-scale integration): **menos de 10 puertas lógicas**.

Circuitos **MSI** (medium-scale integration): **10-100 puertas lógicas**.

Circuitos **LSI** (large-scale integration): **100-1000 puertas lógicas**.

Circuitos **VLSI** (very-large-scale integration) **más de 1000 puertas lógicas**. Ahora se fabrican circuitos con **miles de millones de puertas lógicas** (**ULSI, GLSI**).

- **Clasificación por tipo de tecnología de diseño:**



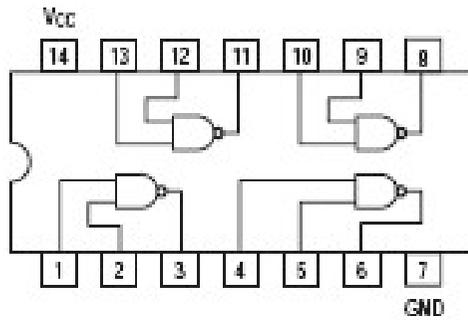
**Coste por unidad  $C_T = C_M + C_D/N$ ,**

**N:** número de unidades fabricadas

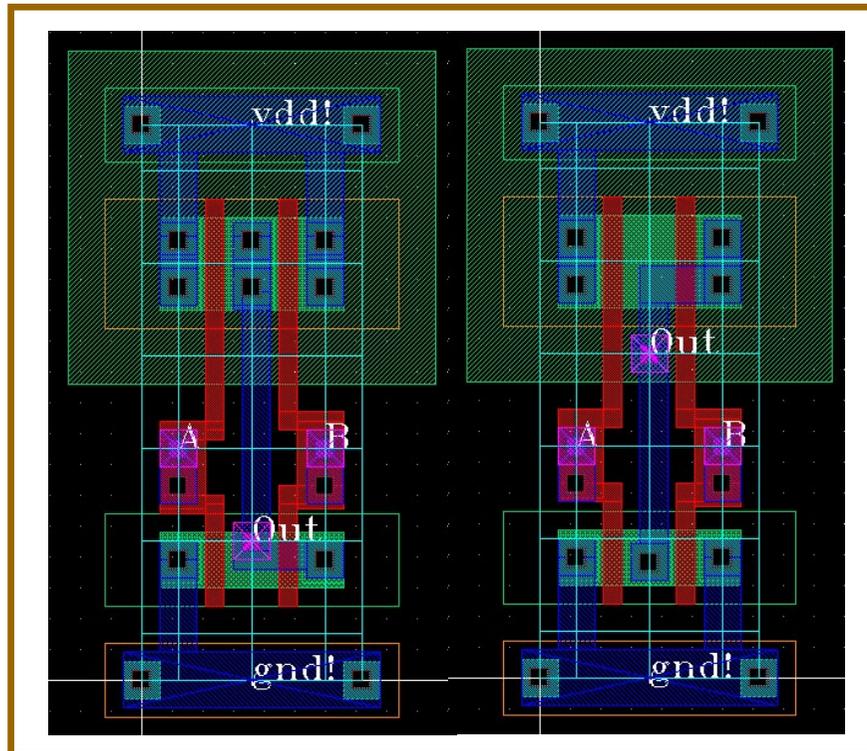
El valor previsto de **N** determina la tecnología a utilizar

# Circuitos electrónicos digitales

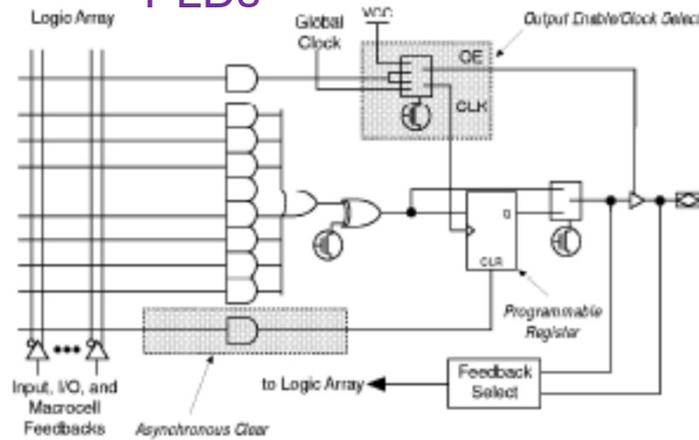
## Circuitos SSI/MSI



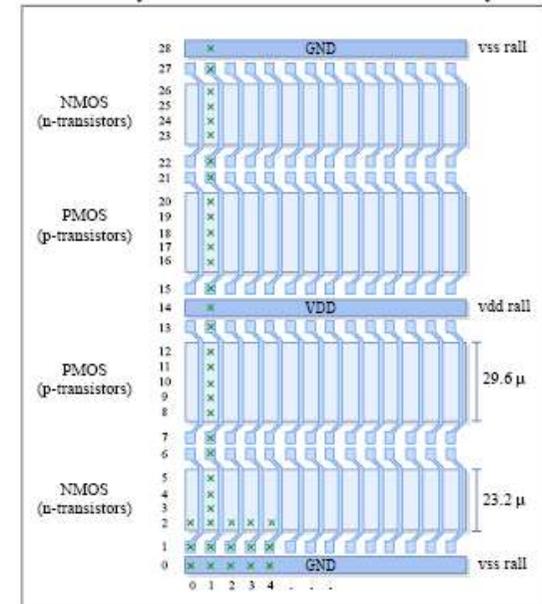
## Standard Cells



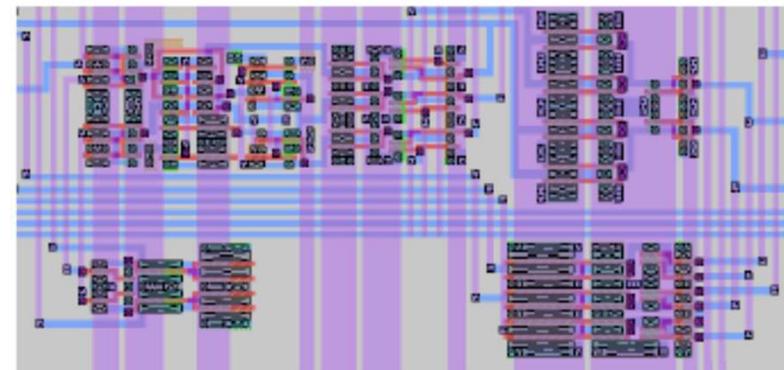
## PLDs



## Gate Arrays



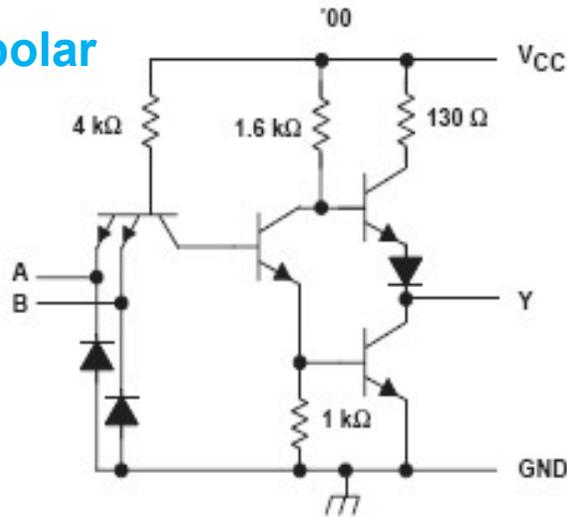
## Full Custom



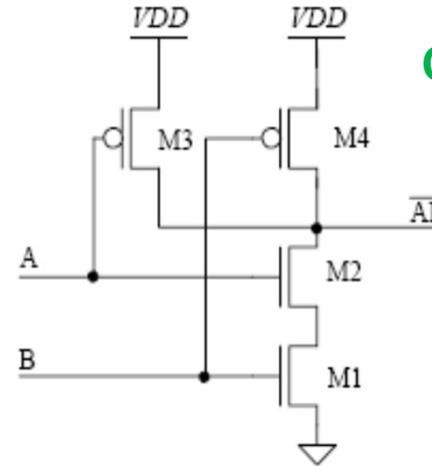
# Circuitos electrónicos digitales.

## Circuitos básicos: Puertas NAND

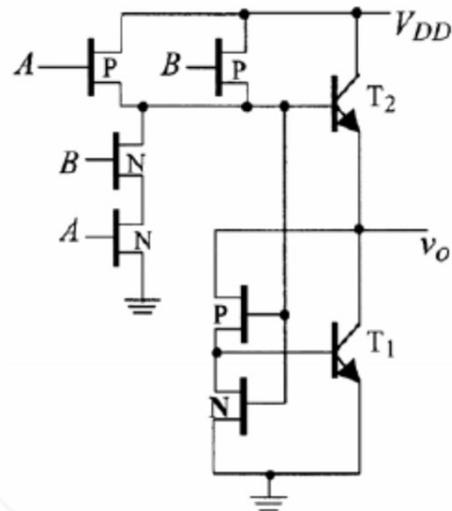
Circuito Bipolar  
(TTL)



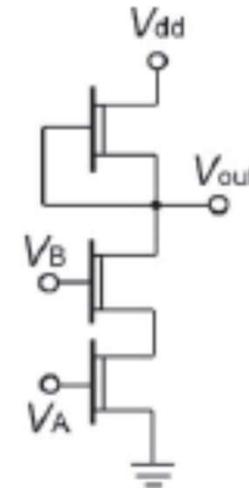
Circuito MOS  
(CMOS)



Circuito  
BiCMOS



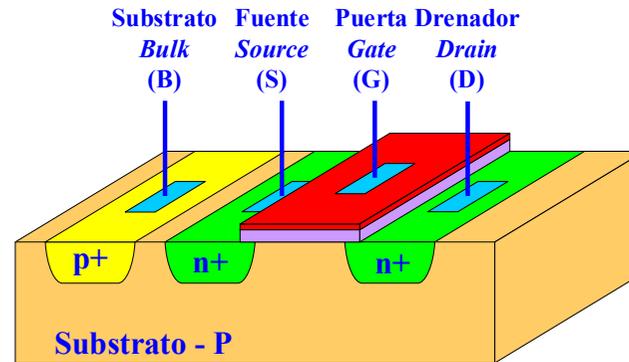
Circuito  
GaAs



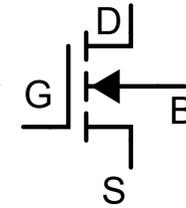
# Circuitos MOS

- El transistor MOSFET

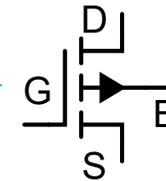
En circuitos digitales se usa un dispositivo de 3 terminales



NMOS

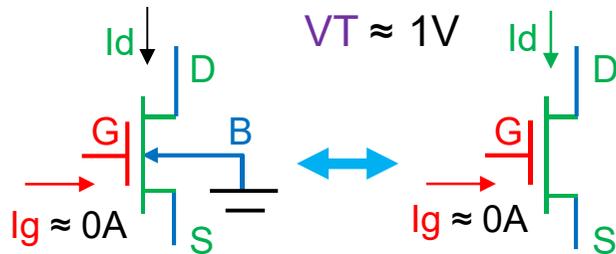


PMOS



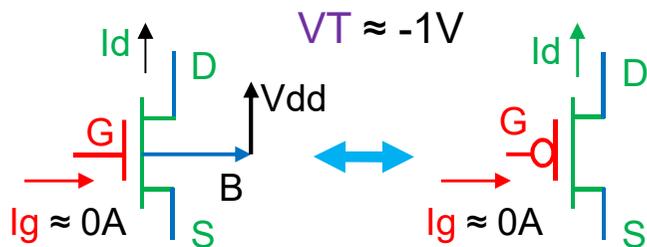
Cambiando N por P, y P por N

## NMOS



- Zona de corte:  $V_{gs} < V_T$ ,  $I_d = 0$ .
- Zona lineal:  $V_{gs} > V_T$  y  $V_{ds} < V_{gs} - V_T$ ,  
 $I_d = K/2 [2(V_{gs} - V_T) V_{ds} - V_{ds}^2]$
- Zona de saturación:  $V_{gs} > V_T$  y  $V_{ds} > V_{gs} - V_T$ ,  
 $I_d = K/2 (V_{ds} - V_T)^2$

## PMOS



- Zona de corte:  $V_{gs} > V_T$ ,  $I_d = 0$ .
- Zona lineal:  $V_{gs} < V_T$  y  $V_{gs} > V_{gs} - V_T$   
 $I_d = K/2 [2(V_{gs} - V_T) V_{ds} - V_{ds}^2]$
- Zona de saturación:  $V_{gs} < V_T$  y  $V_{ds} < V_{gs} - V_T$   
 $I_d = K/2 (V_{gs} - V_T)^2$

# Circuitos MOS

- El transistor MOS

$$I_d = \frac{K}{2} F(V_{gs}, V_{ds})$$

$$K = \frac{W}{L} K' \quad K' = \mu_n C_{ox} = \mu_n \frac{E_{ox}}{t_{ox}}$$

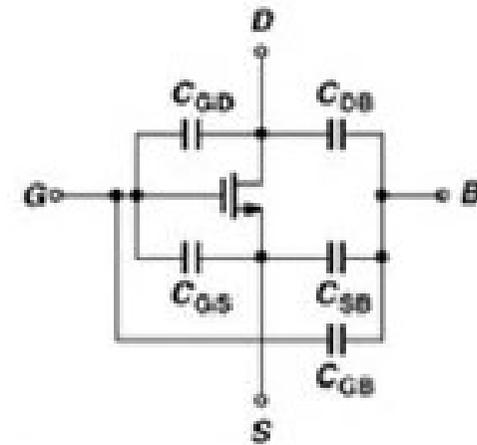
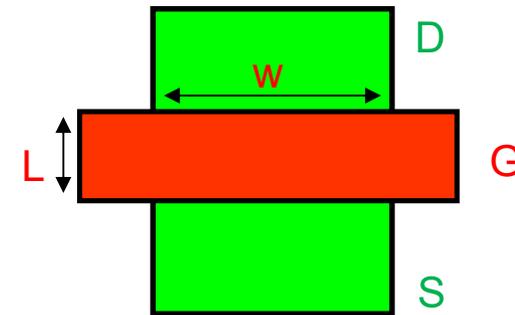
Condensadores MOS

$$C_g \approx W L C_{ox}$$

$$C_{sb} \approx A_s C_j + P_s C_{jsw}$$

$$C_{db} \approx A_d C_j + P_d C_{jsw}$$

$A_s, A_d$ : Área  
 $P_s, P_d$ : Perímetro



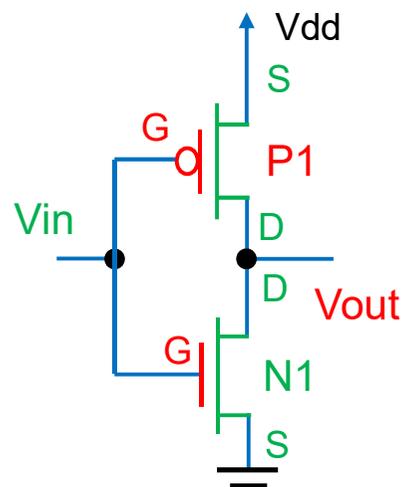
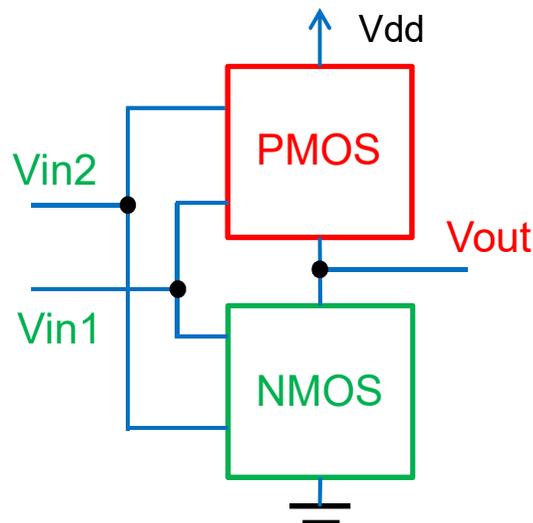
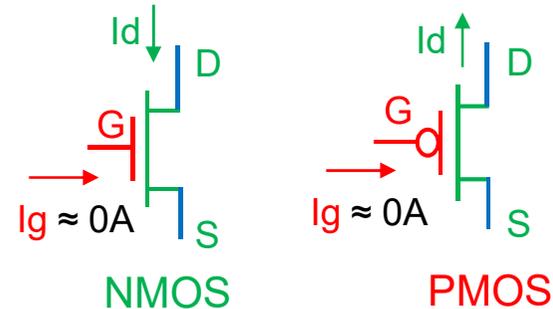
Cuando se reducen las dimensiones de un transistor MOS, los circuitos funcionan mejor, ya que la intensidad se mantiene (depende de  $W/L$ ), mientras que las capacidades disminuyen (dependen de áreas o perímetros), luego el circuito es más rápido, ya que el tiempo de propagación es proporcional a  $C V / I$ .

La tecnología MOS es muy adecuada para circuitos integrados. 10

# Circuitos CMOS

- Los circuitos electrónicos digitales se realizan en la actualidad en tecnología CMOS (con transistores NMOS y PMOS), tiene las ventajas de una alta capacidad de integración, y en el modelo ideal un consumo de potencia estática nulo.
- Los transistores MOS pueden modelarse idealmente como conmutadores, según el voltaje aplicado a la tensión de puerta (**Gate**):

En los transistores **NMOS**:  
 Tensión baja L => Transistor OFF  
 Tensión alta H => Transistor ON  
 En los transistores **PMOS**:  
 Tensión baja L => Transistor ON  
 Tensión alta H => Transistor OFF



## Puerta NOT

Si  $V_{in} = 0V$ , N1 OFF, P1 ON

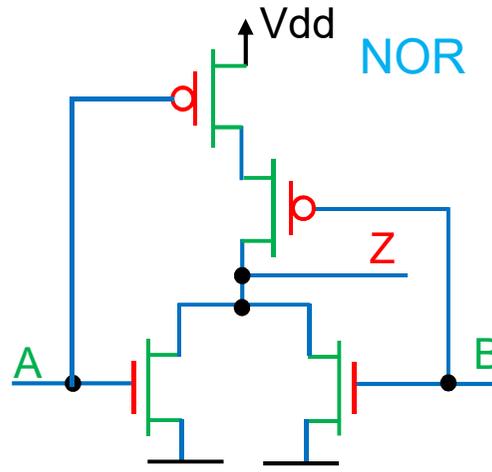
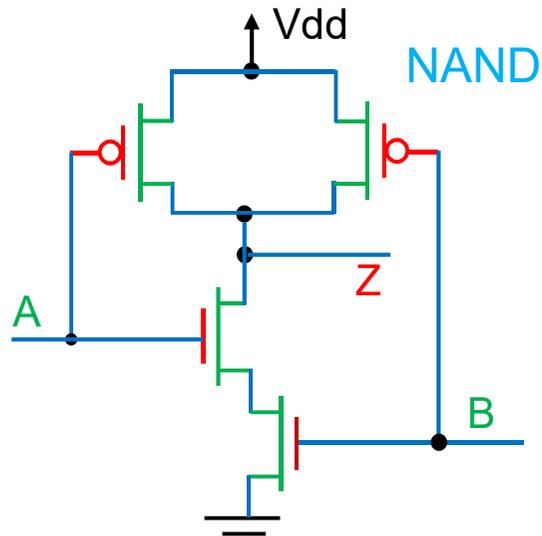
$V_{out} = V_{oh} = V_{dd}$ .

Si  $V_{in} = V_{dd}$ , N1 ON, P1 OFF

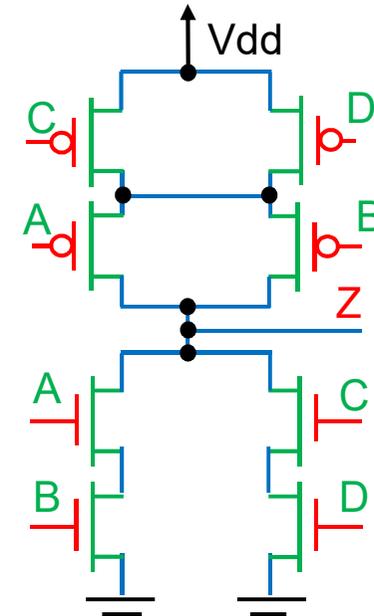
$V_{out} = V_{ol} = 0V$ .

# Circuitos CMOS

## Puertas lógicas básicas



## Puertas lógicas complejas CMOS



$$Z = \overline{AB + CD}$$

Puerta AOI  
AND-OR-INVERTER

En la zona NMOS:

transistores en serie => AND

transistores en paralelo => OR

En la zona PMOS:

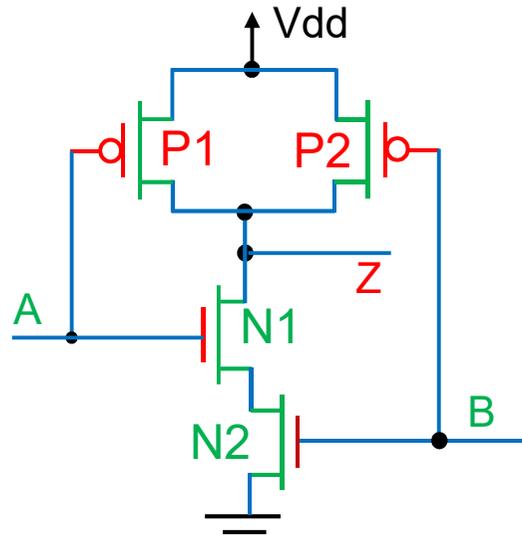
transistores en serie => OR

transistores en paralelo => AND

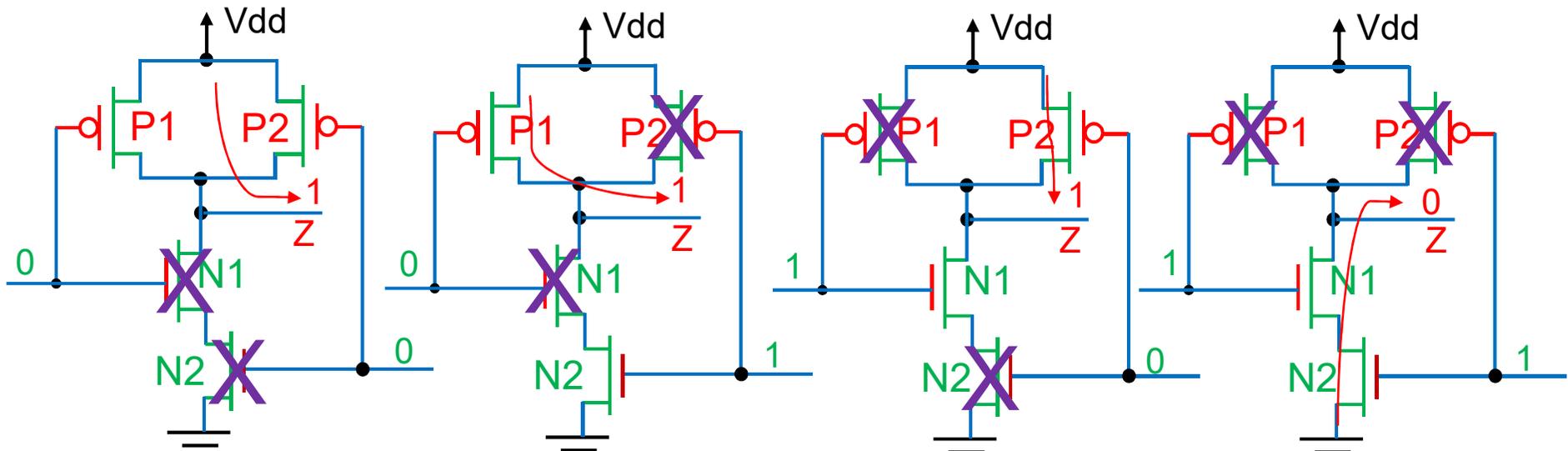
La función lógica siempre es complementada

# Circuitos CMOS

## Puerta NAND



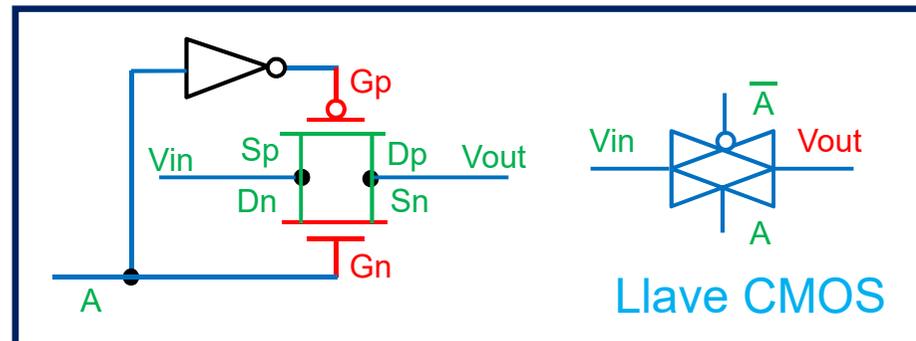
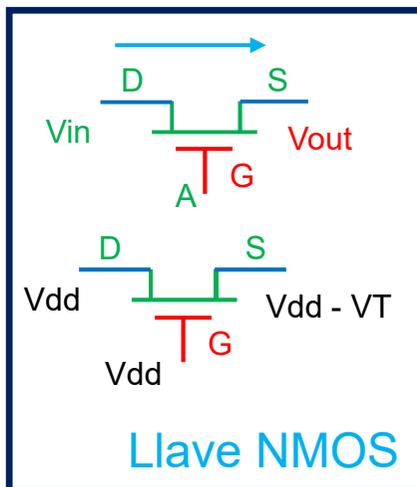
A	B	N1	N2	P1	P2	Z
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	1
1	0	ON	OFF	OFF	ON	1
1	1	ON	ON	OFF	OFF	0



# Circuitos CMOS

## Llaves de paso o puerta de transmisión MOS

Un transistor MOS puede utilizarse como una llave de paso bidireccional, con una entrada de control que abre o cierra la llave. Las llaves de paso NMOS o PMOS) generan una degradación de voltaje en la salida. Las llaves de paso CMOS no producen esta degradación.



En llaves MOS:

A a 0 V => Llave OFF, Vout desconectada (Z)

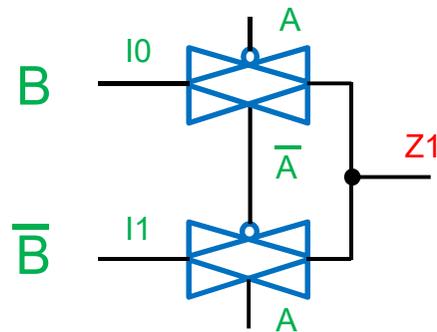
A a Vdd V => Llave ON, Vout = Vin

Se pueden realizar circuitos combinatoriales en base a llaves de paso, pero teniendo en cuenta que no se produzcan ni cortocircuitos ni situaciones de desconexión (Z, alta impedancia) no deseadas.

# Circuitos CMOS

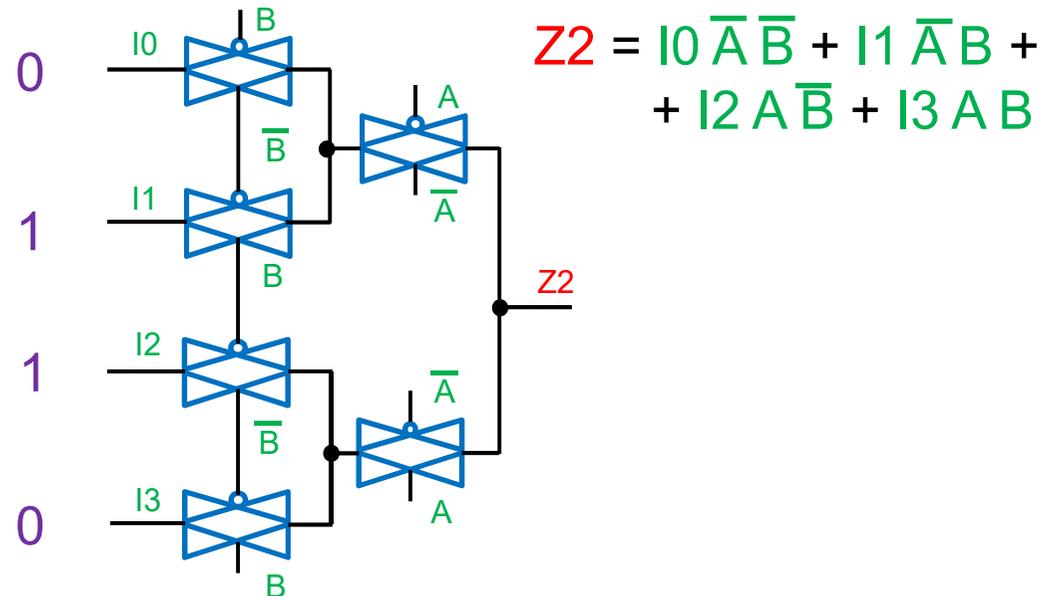
## Llaves de paso o puerta de transmisión MOS

Una posible forma de realizar un **circuito con llaves** es situarlas formando un **estructura tipo "multiplexor"** donde siempre **hay un camino** (no hay alta impedancia) y **solo un camino** (no hay cortocircuitos) entre las **entradas de datos (Ii)** y **la salida Z**. El valor de la entrada **Ii** puede ser 0 (Gnd) o 1 (Vdd), o incluso otra señal lógica **K** o  $\bar{K}$ .



$$Z1 = I0 \bar{A} + I1 A$$

$$Z1 = B \bar{A} + \bar{B} A$$



$$Z2 = I0 \bar{A} \bar{B} + I1 \bar{A} B + I2 A \bar{B} + I3 A B$$

$$Z2 = 0 \bar{A} \bar{B} + 1 \bar{A} B + 1 A \bar{B} + 0 A B = \bar{A} B + A \bar{B}$$

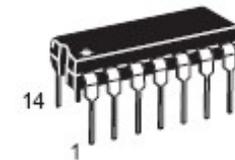
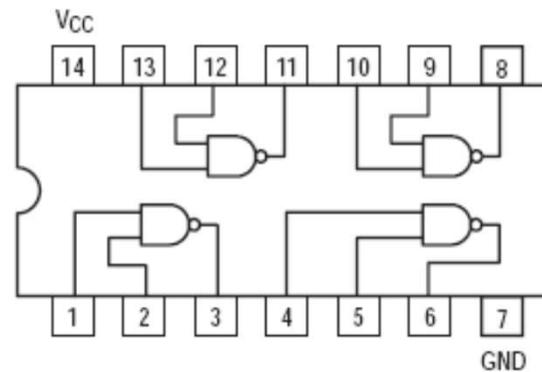
# Circuitos electrónicos digitales

- La **caracterización física** de un circuito digital se da por su **hoja de características** que trae datos sobre **rangos de tensiones** válidos, **temperatura de operación**, **retrasos**, **potencia disipada**, etc.

## SN74LS00

### Quad 2-Input NAND Gate

- ESD > 3500 Volts



PLASTIC  
N SUFFIX  
CASE 646



SOIC  
D SUFFIX  
CASE 751A

### GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
$V_{CC}$	Supply Voltage	4.75	5.0	5.25	V
$T_A$	Operating Ambient Temperature Range	0	25	70	°C
$I_{OH}$	Output Current – High			-0.4	mA
$I_{OL}$	Output Current – Low			8.0	mA

# Parámetros de caracterización de los circuitos electrónicos digitales

- Parámetros estáticos. Curva de transferencia en tensión  $V_{out}$ - $V_{in}$  (VTC).

$V_{oh}$ : Menor valor de tensión en la salida que equivale a tensión alta H.

$V_{ol}$ : Mayor valor de tensión en la salida que equivale a tensión baja L.

$V_{ih}$ : Valor de tensión más bajo en la entrada que se reconoce como H  
 $\Rightarrow (V_{ih}, V_{cc})$  valores válidos H en la entrada.

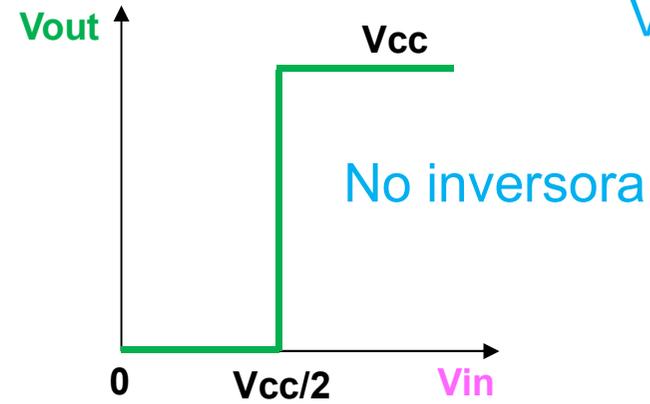
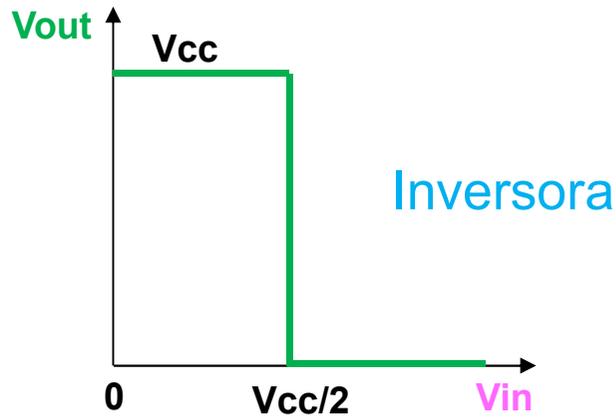
$V_{il}$ : Valor de tensión más alto en la entrada que se reconoce como L  
 $\Rightarrow (GND, V_{il})$  valores válidos L en la entrada.

La tensión de los nudos de un circuito digital no debería nunca estar en el rango  $(V_{il}, V_{ih})$ . Se considera un valor indeterminado X.

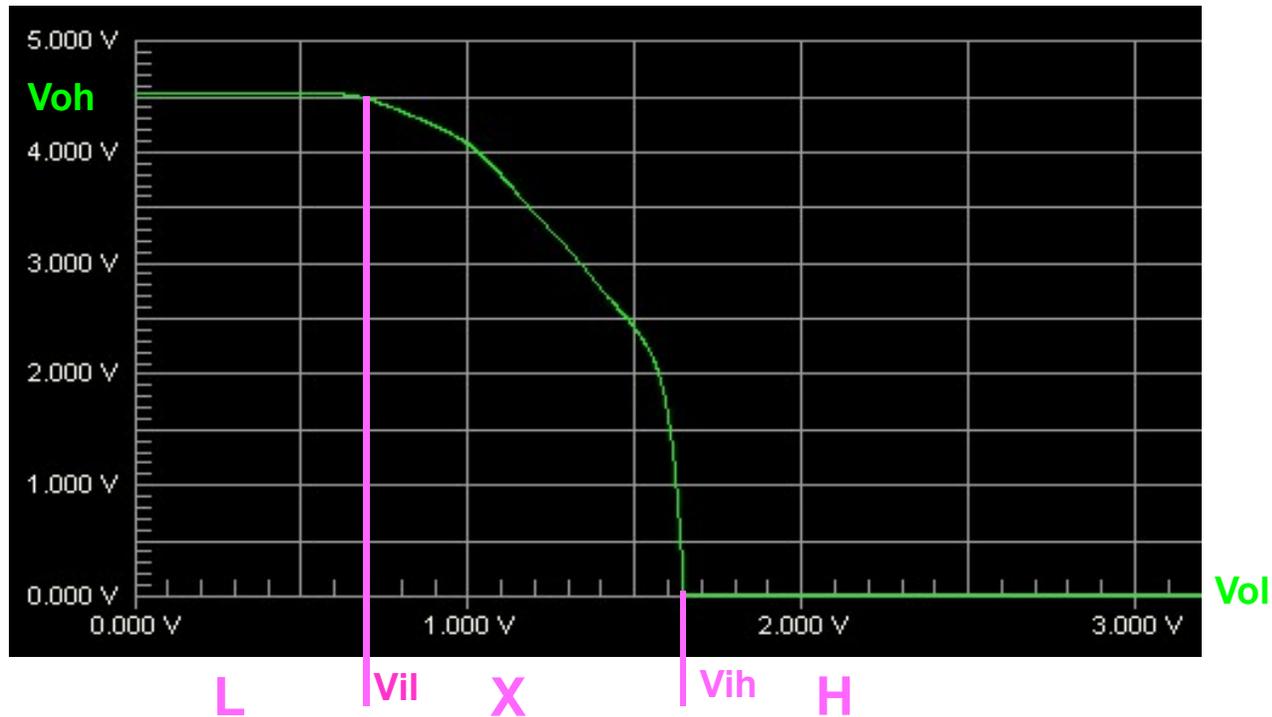
$V_{th}$  (o  $V_m$ , tensión umbral): Valor de tensión para el que  $V_{in} = V_{out}$ .  
Permite asociar L  $\Rightarrow (GND, V_{th})$  y H  $\Rightarrow (V_{th}, V_{cc})$ .

- Idealmente  $V_{oh} = V_{cc}$ ;  $V_{ol} = 0$ ;  $V_{ih} = V_{il} = V_{cc}/2$ ;  $V_{th} = V_{cc}/2$ .
- **Márgenes de ruido**: deben ser positivos en un circuito digital.  
Margen de ruido superior:  $NM_h = V_{oh} - V_{ih}$ .  
Margen de ruido inferior:  $NM_l = V_{il} - V_{ol}$ .

# Parámetros estáticos



VTCs ideales



VTC real

# Parámetros estáticos

$V_{oh}$ ,  $V_{ol}$ ,  $V_{ih}$ ,  $V_{il}$ ,  $V_{ik}$  (máximo valor de tensión negativo que toman las entradas cuando se activan los circuitos de protección).

Se indica el valor típico (Typ), y el valor de peor caso (Min o Max). Para garantizar el correcto funcionamiento se debe tomar como valor el de peor caso.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified) **74LS00**

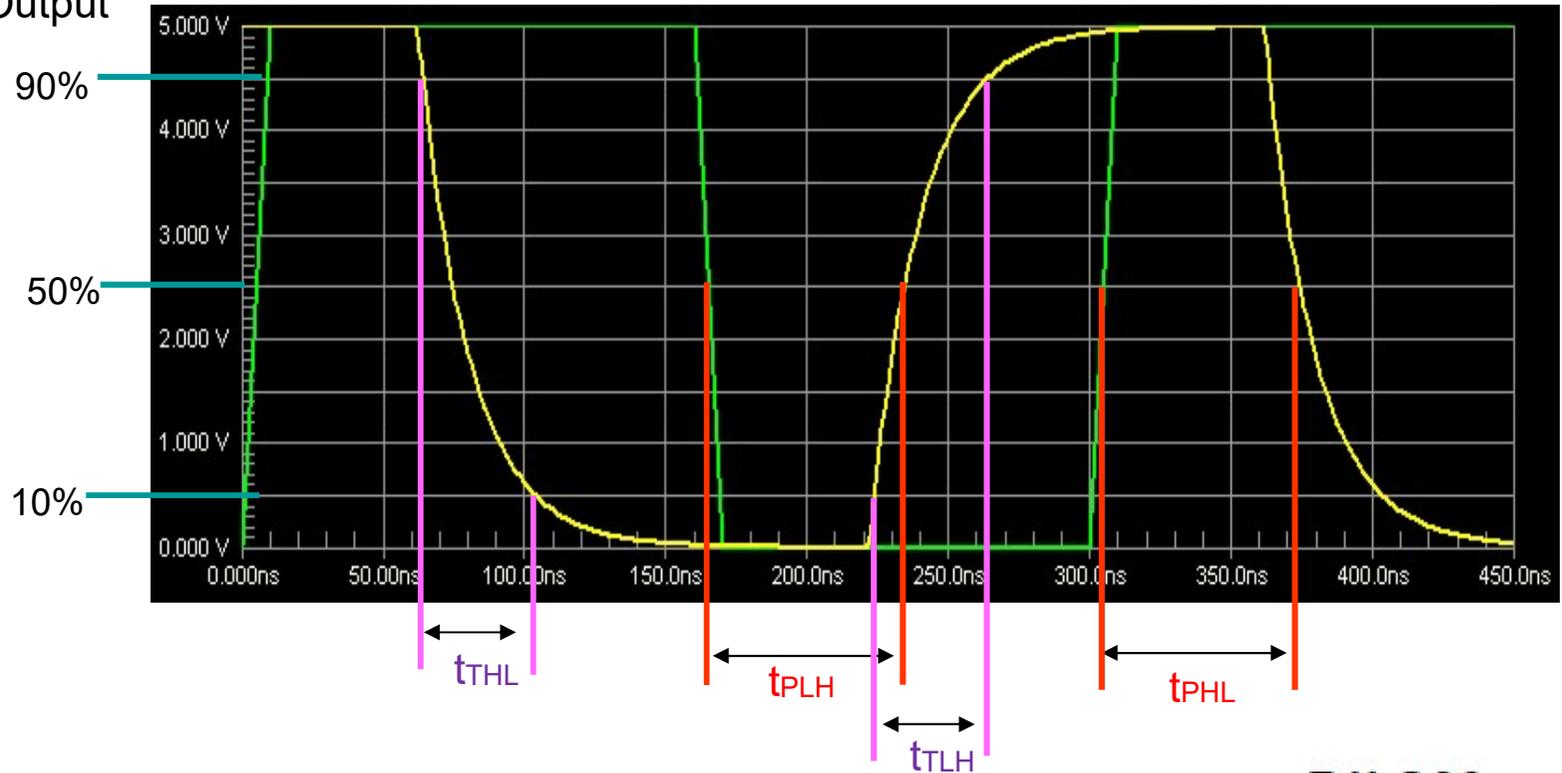
Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$V_{IH}$	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
$V_{IL}$	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
$V_{IK}$	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$ , $I_{IN} = -18 \text{ mA}$
$V_{OH}$	Output HIGH Voltage	2.7	3.5		V	$V_{CC} = \text{MIN}$ , $I_{OH} = \text{MAX}$ , $V_{IN} = V_{IH}$ or $V_{IL}$ per Truth Table
$V_{OL}$	Output LOW Voltage		0.25	0.4	V	$I_{OL} = 4.0 \text{ mA}$
			0.35	0.5	V	$I_{OL} = 8.0 \text{ mA}$

# Parámetros de caracterización de los circuitos electrónicos digitales

- Parámetros transitorios o del circuito en conmutación, se supone que se produce una transición entre  $V_{ol}$  y  $V_{oh}$  (o entre  $V_{oh}$  y  $V_{ol}$ ) en una entrada lo que genera una transición en la salida. Se definen los siguientes parámetros:
  - $t_r$  y  $t_f$ : Tiempo de subida y tiempo de bajada entre el 10% y el 90% de la señal de entrada.
  - $t_{TLH}$ : Tiempo de transición de subida. Tiempo que transcurre entre el 10% y el 90% de la señal de salida.
  - $t_{THL}$ : Tiempo de transición de bajada. Tiempo que transcurre entre el 90% y el 10% de la señal de salida.
  - $t_{PLH}$ : Tiempo de propagación bajo-alto del circuito. Tiempo entre el 50% del valor de tensión en la entrada y el 50% del valor de tensión en la salida cuando ésta sufre una transición de  $V_{ol}$  a  $V_{oh}$ .
  - $t_{PHL}$ : Tiempo de propagación alto-bajo del circuito. Tiempo entre el 50% del valor de tensión en la entrada y el 50% del valor de tensión en la salida cuando ésta sufre una transición de  $V_{oh}$  a  $V_{ol}$ .
  - $t_p$ : tiempo de propagación =  $(t_{PLH} + t_{PHL})/2$

# Parámetros temporales

- █ Input
- █ Output



AC CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ )

74LS00

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$t_{PLH}$	Turn-Off Delay, Input to Output		9.0	15	ns	$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$
$t_{PHL}$	Turn-On Delay, Input to Output		10	15	ns	

# Parámetros de caracterización de los circuitos electrónicos digitales

- Consumo de potencia  $P$ . Si  $P = I_{cc} \cdot V_{cc}$ , donde  $V_{cc}$  es fija, la potencia depende de la intensidad  $I_{cc}$  que circula por la(s) fuente(s) de alimentación. En un circuito digital se disipan dos tipos de potencia, la potencia total se calculará como la suma de estas dos potencias.

Potencia estática  $P_{est} = V_{cc} (I_{ccl} + I_{cch})/2$ . Se mide como el promedio de la potencia disipada en la fuente para cada valor de la salida.

$I_{ccl} / I_{cch}$ : Intensidad que circula por la fuente de alimentación cuando la salida está fijada a valor de tensión bajo / alto.

Potencia dinámica  $P_{din} = C V_{cc}^2 F$ . Disipada por el circuito en conmutación a frecuencia  $F$ , suponiendo la carga y descarga de un condensador de capacidad  $C$  asociado a cada nudo del circuito.

$C = C_{pd} + C_L$ ,  $C_{pd}$  la capacidad interna del circuito y  $C_L$  la capacidad de carga de los circuitos conectados.

En los circuitos digitales CMOS la potencia estática es prácticamente nula, siendo la potencia dinámica importante.

# Consumo de potencia

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified) **74LS00**

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
I <sub>CC</sub>	Power Supply Current Total, Output HIGH			1.6	mA	V <sub>CC</sub> = MAX
	Total, Output LOW			4.4		

$$P = P_{est} = V_{CC} I_{CC} = 5 \text{ V} * (4.4 \text{ mA} + 1.6 \text{ mA})/2 = 15 \text{ mW}$$

DC Electrical Characteristics (Note 4)

**74HC00**

Symbol	Parameter	Conditions	V <sub>CC</sub>	T <sub>A</sub> = 25°C		T <sub>A</sub> = -40 to 85°C	T <sub>A</sub> = -55 to 125°C	Units
				Typ	Guaranteed Limits			
I <sub>CC</sub>	Maximum Quiescent Supply Current	V <sub>IN</sub> = V <sub>CC</sub> or GND I <sub>OUT</sub> = 0 μA	6.0V		2.0	20	40	μA
C <sub>PD</sub>	Power Dissipation Capacitance (Note 5)	(per gate)		20				pF
C <sub>IN</sub>	Maximum Input Capacitance			5	10	10	10	pF

$P = P_{est} + P_{din} = V_{CC} I_{CC} + \sum (V_{CC}^2 (C_{pd} + N_i C_{in}) F)$ , siendo  $N_i$  el número de conexiones en la salida de cada puerta  $i$ .

$P \approx 5V * 2\mu A + 4 * [(5V)^2 * (20pF + 2 * 10pF) * 1Mhz]$  para  $V_{CC} = 5V$ ,  $N_i = 2$  en las 4 puertas,  $F = 1 \text{ Mhz}$ , a 25°C

$$P \approx 0.01 \text{ mW} + 4 * 1 \text{ mW} = 4.01 \text{ mW}$$

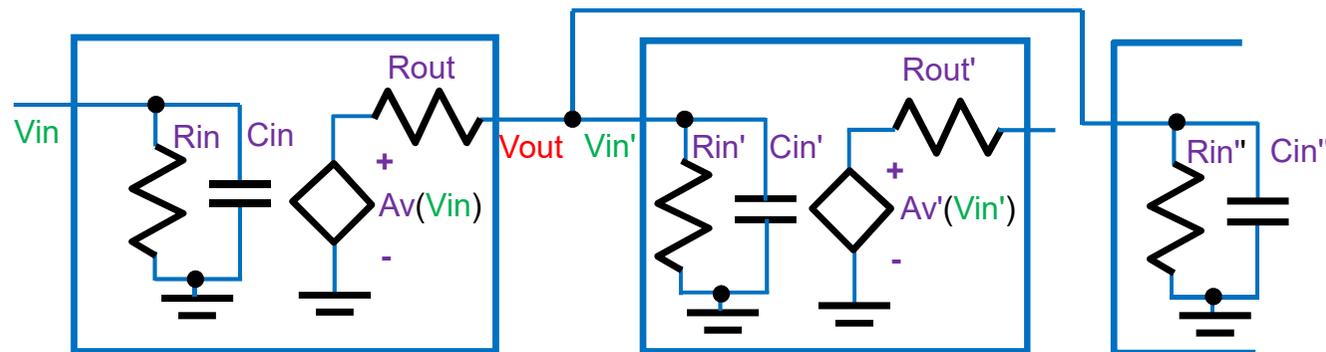
# Parámetros de caracterización de los circuitos electrónicos digitales

- Las características de los circuitos electrónicos varían en función del número de dispositivos conectados. Para un circuito digital se definen los siguientes parámetros:

Fan-in: Número máximo de entradas que puede tener un circuito digital.

Fan-out: Número máximo de entradas de circuitos similares que puede alimentar la salida de un circuito digital.

- El fan-out varía la respuesta en conmutación del circuito, ya que cada elemento conectado a un nudo genera un condensador. A más elementos, más capacidad CL, y más tiempo se necesitará para cargarla o descargarla.



# Parámetros de caracterización de los circuitos electrónicos digitales

- Los problemas de **fan-in y fan-out**, pueden definirse en algunos casos en **función de las intensidades** que circulan por **las entradas y las salidas** de los dispositivos. Estas intensidades son:
  - **li**: Intensidad que entra por una **entrada** del dispositivo cuando se le aplica un **nivel de tensión bajo**.
  - **lih**: Intensidad que entra por una **entrada** del dispositivo cuando se le aplica un **nivel de tensión alto**.
  - **lo**: Intensidad que entra por una **salida** del dispositivo cuando toma un **nivel de tensión bajo**.
  - **loh**: Intensidad que entra por una **salida** del dispositivo cuando toma un **nivel de tensión alto**.

En los **circuitos TTL** la intensidad se puede dar en **unidades de carga (U.L.)**, donde  $1 \text{ U.L.} \Rightarrow 40\mu\text{A}(\text{H}), 1.6\text{mA}(\text{L})$

- Al realizar un circuito lógico las intensidades **lo > li** (tanto **H** como **L** y **en valor absoluto**), para asegurar que el **circuito opera correctamente**.

# Cálculo del fan-out

## GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
$I_{OH}$	Output Current – High			-0.4	mA
$I_{OL}$	Output Current – Low			8.0	mA

## 74LS00

(+) Intensidad entra en el pin

(-) Intensidad sale del pin

## DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

$I_{IH}$	Input HIGH Current			20	$\mu A$	$V_{CC} = MAX, V_{IN} = 2.7 V$
				0.1	mA	$V_{CC} = MAX, V_{IN} = 7.0 V$
$I_{IL}$	Input LOW Current			-0.4	mA	$V_{CC} = MAX, V_{IN} = 0.4 V$

$$N_h = |I_{OH}| / |I_{IH}| = 0.4 \text{ mA} / 0.02 \text{ mA} = 20$$

$$N_l = |I_{OL}| / |I_{IL}| = 8 \text{ mA} / 0.4 \text{ mA} = 20$$

$$N_{max} = \min(N_h, N_l) = 20$$

$I_i$  es 1  $\mu A$  el fanout es muy alto.

Está limitado por el aumento del  $t_p$ .

Alimenta hasta 10 entradas TTL.

## Absolute Maximum Ratings

## 74HC00

DC Output Current, per pin ( $I_{OUT}$ )

$\pm 25 \text{ mA}$

## DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	$V_{CC}$	$T_A = 25^\circ C$			Units
				Typ	Guaranteed Limits		
$I_{IN}$	Maximum Input Current	$V_{IN} = V_{CC}$ or GND	6.0V		$\pm 0.1$	$\pm 1.0$	$\mu A$

# Familias Lógicas

- Una familia lógica es un conjunto de circuitos electrónicos realizados bajo una misma tecnología y tipo de estructura circuital, que realizan una amplia gama de funciones lógicas distintas con unas características estáticas y transitorias similares.
- La calidad de una familia lógica se determina por dos factores: tiempos de propagación: mayor velocidad de operación del circuito  $t_p \approx 10^{-9}$  s (ns) y potencia disipada menor coste del circuito en funcionamiento  $PD \approx 10^{-3}$  W (mW).
- Una medida de la calidad de un familia lógica es el producto potencia-retraso  $PDP = t_p \cdot PD \approx 10^{-12}$  jul = pjul, que debe ser lo menor posible.
- La familia lógica más utilizada en los circuitos digitales SSI es la familia 74/54, realizada en diversas tecnologías bipolares (TTL, LS, S, ALS, LS, F) y MOS (HC, HCT, AC, ACT). Los dispositivos de la familia 74 pueden encontrarse en (wikipedia):  
[http://en.wikipedia.org/wiki/List\\_of\\_7400\\_series\\_integrated\\_circuits](http://en.wikipedia.org/wiki/List_of_7400_series_integrated_circuits)
- La familia 74 es de uso comercial mientras que la 54 es de uso militar, tiene un rango de temperatura más amplio (-55° hasta 125°) pero peores prestaciones.

# Familias Lógicas TTL

- Familias TTL (Transistor-Transistor-Logic, con transistores bipolares).  
 LTTL: TTL de baja potencia  
 HTTL: TTL de alta velocidad, resistencias a la mitad, mejor “pull-up”.
- Familias TTL Schottky: con transistores Schottky. Familias S, LS, AS, ALS, F.
- Puntos críticos típicos:  $V_{ol} = 0.4V, 0.5V$ ;  $V_{oh} = 2.4V, 2.7V$   
 $V_{il} = 0.8V$ ;  $V_{ih} = 2V$       1 U.L. => 40uA(H), 1.6mA(L)

Familia	$T_p$ (ns)	$P_d$ (mW)	PDP (pJ)	$I_i$ (U.L.)	$I_o$ (U.L.)
TTL	10ns	10mW	100pJ	1(H)/1(L)	10(H)/10(L)
LTTL	33ns	1mW	33pJ	0.25(H)/0.125(L)	2.5(H)/1.25(L)
HTTL	6ns	22mW	142pJ	1.25(H)/1.25(L)	12.5(H)/12.5(L)
S	3ns	20mW	60pJ	1.25(H)/1.25(L)	25(H)/12.5(L)
LS	10ns	2mW	20pJ	0.5(H)/0.25(L)	10(H)/5(L)
AS	1.5ns	20mW	30pJ	0.5(H)/0.3125(L)	50(H)/12.5(L)
ALS	4ns	1mW	4pJ	0.5(H)/0.0625(L)	10(H)/5(L)
FAST	2.5ns	4mW	10pJ	0.5(H)/0.375(L)	25(H)/12.5(L)

# Familias lógicas MOS

- Familias Lógicas MOS.  
I<sub>cc</sub> ideal 0 (I<sub>cc</sub> real por fugas, max. 80uA) => potencia estática nula (muy baja).  
I<sub>i</sub> ideal 0 (I<sub>i</sub> real por fugas, max. 1uA) => fanout estático infinito (muy alto).
- Familia 4000B. Catálogo distinto del 74 TTL.  
Alimentación entre +5V y +15V.  
Capaz de hacer operar a una única entrada TTL. I<sub>o</sub> = ± 0.5 mA  
Tiempos de propagación altos 100ns aproximadamente.  
Puntos críticos para V<sub>dd</sub> = 5V => V<sub>oh</sub> = 4.95V, V<sub>ol</sub> = 0.05V  
V<sub>il</sub> = 1.5V, V<sub>ih</sub> = 3.5V
- Familia 74 CMOS. Mismo catálogo que las familia 74 TTL.  
Alimentación entre +2V y +6V (+5V).  
Pueden conectarse a 10 entradas TTL.  
Tiempos de propagación similares a la lógica TTL.
- Puede haber incompatibilidades entre las familias TTL y CMOS: en condiciones extremas el V<sub>oh</sub> mínimo TTL (2.4V) es menor que el V<sub>ih</sub> mínimo CMOS (3.5V), al conectar un salida TTL a una entrada CMOS el circuito CMOS vería valor indeterminado X (en condiciones normales la conexión sí funcionaría).

# Familias lógicas MOS

- Familias MOS 74xxC y 74xxCT.

Las familias 74xxC tienen puntos críticos típicos CMOS ( $V_{dd} = 5V$ )  
 $V_{oh} \approx (4.45V, 5V)$ ,  $V_{ol} \approx (0V, 0.33V)$ ,  $V_{il} \approx 1.5V$ ,  $V_{ih} \approx 3.5V$ .

Las familias 74xxCT tienen puntos críticos típicos TTL ( $V_{dd} = 5V$ ).  
 $V_{oh} \approx 2.4V$ ,  $V_{ol} \approx 0.4V$ ,  $V_{il} \approx 0.8V$  y  $V_{ih} \approx 2V$ .

74HC y 74HCT (CMOS de alta velocidad).

( $V_{dd} = 5V$ )  $t_p \approx 9ns$ ,  $I_o \approx 4mA$ ,  $P_{est} \approx 2.5\mu W$ ,  $P_{din}(1Mhz) \approx 0.5mW$ .

74AC y 74ACT (CMOS avanzado).

( $V_{dd} = 5V$ )  $t_p \approx 5ns$ ,  $I_o \approx 24mA$ ,  $P_{est} \approx 2.5\mu W$ ,  $P_{din}(1Mhz) \approx 1mW$ .

74AHC y 74AHCT (CMOS avanzado de alta velocidad)

( $V_{dd} = 5V$ )  $t_p \approx 4ns$ ,  $I_o \approx 8mA$ ,  $P_{est} \approx 2.5\mu W$ ,  $P_{din}(1Mhz) \approx 0.25mW$ .

- Familias 74 a bajo voltaje (disminuye la potencia estática y dinámica):

$V_{dd} = 3.3V \Rightarrow$  LV ( $t_p \approx 9ns$ ,  $I_o \approx 6mA$ ,  $P_{est} \approx 1.6\mu W$ ); LVC ( $t_p \approx 4ns$ ,  $I_o \approx 24mA$ ,  $P_{est} \approx 0.8\mu W$ ); ALVC ( $t_p \approx 3ns$ ,  $I_o \approx 24mA$ ,  $P_{est} \approx 0.8\mu W$ )

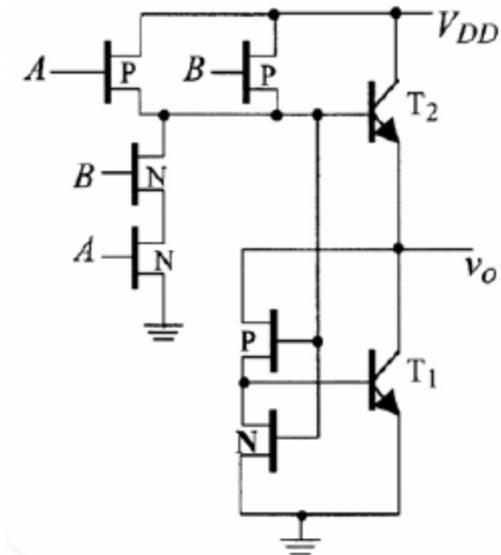
$V_{dd} = 1.8V$  (de  $0.8V$  a  $2.7V$ )  $\Rightarrow$  Familia AUC ( $t_p \approx 1.5ns$ ,  $I_o \approx 8mA$ )

# Familias BiCMOS

- Utilizan las **ventajas** de las tecnologías **bipolares** y de las tecnologías **MOS**, a cambio la **fabricación del circuito** es más **complicada** y los **circuitos** son **más caros**.

Los **circuitos MOS** tienen una **intensidad de entrada baja** (nula en el caso ideal) y son muy adecuados para utilizarse en circuitos digitales al **operar como conmutadores**.

Los **circuitos bipolares** generan una **alta intensidad de salida**, lo que permite operar a **alta velocidad** bajo una **alta carga de fanout**.



- Familias BiCMOS**

Alimentación a **5V**. Series **BCT** ( $t_p \approx 3ns$ ,  $I_o = 188 mA$ ), **ABT** ( $t_p \approx 5ns$ ,  $I_o = 64mA$ ).

Alimentación a **3.3V**. Series **ALB** ( $t_p \approx 2.2ns$ ,  $I_o = 25 mA$ ), **LVT** ( $t_p \approx 3.5ns$ ,  $I_o = 64mA$ ), **ALVT** ( $t_p \approx 2.5ns$ ,  $I_o = 64mA$ ).

# Circuitos específicos

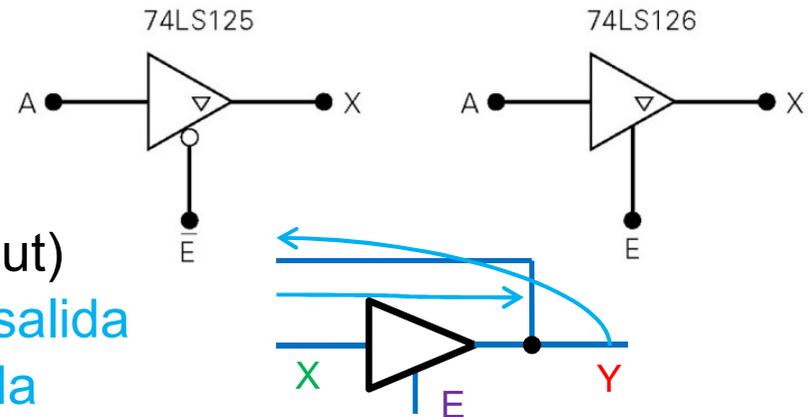
- Dentro del **catálogo de una familia lógica** se encuentran **puertas lógicas básicas** NOT, AND, NAND, OR, NOR, EXOR, etc, y **complejas** (AND/OR, AND/OR/INVERTER) con diferentes número de entradas. También se pueden encontrar **módulos combinacionales** (multiplexores, decodificadores, codificadores, sumadores, comparadores), **circuitos secuenciales** (flip-flops, registros de desplazamiento, contadores, etc), ALUs, memorias, etc.
- Las **salidas no utilizadas** no pueden cortocircuitarse con otras salidas, (salvo en algún circuito específico), ni con tierra ni alimentación: **deben quedar desconectadas**.
- Todas **las entradas no utilizadas** deben conectarse en general **o a tierra o a la tensión de alimentación** (según convenga), para evitar que “ruido” en ellas produzca un mal funcionamiento, especialmente en circuitos MOS. En **circuitos TTL las entradas desconectadas** equivalen a **conexión a H**, aunque también es conveniente conectarlas. Si una **entrada se conecta a la tensión de alimentación** hay que insertar una **resistencia del orden de 1K** entre ambas.

# Circuitos específicos

- Circuitos triestado. Además de los valores lógicos 0 y 1 el circuito tiene un tercer estado: alta impedancia (valor Z o Hi-Z), donde tanto el circuito de “puesta-a-H” (“pull-up”) como el circuito de “puesta-a-L” (“pull-down”) están desconectados.

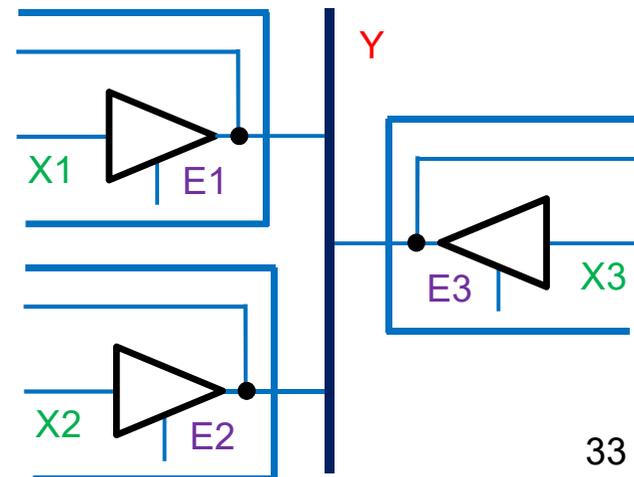
El circuito dispone de una entrada de control (Enable o En, normalmente). En el circuito 74LS125 (126) la tensión H (L) en E sitúa el circuito en alta impedancia

## Buffers Triestado



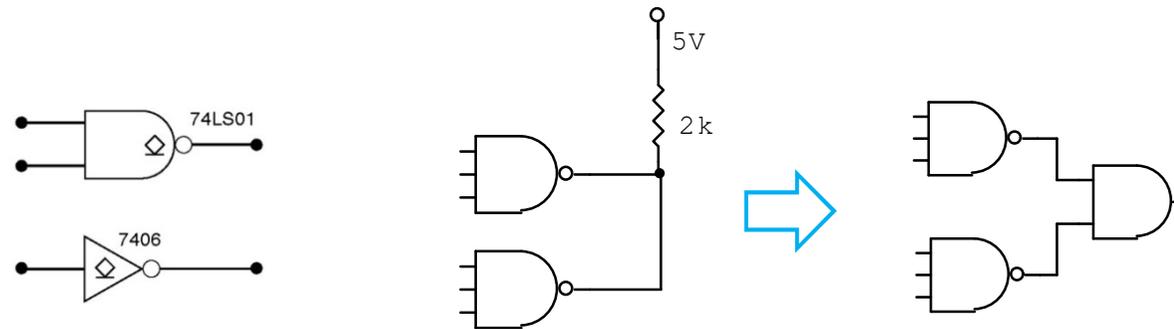
- Permiten crear señales I/O (input/output)  
Si  $E = 1 \Rightarrow$  Buffer ON,  $Y = X \Rightarrow Y$  es salida  
Si  $E = 0 \Rightarrow$  Buffer OFF  $\Rightarrow Y$  es entrada

- Permiten conectar distintas salidas y entradas a un mismo bus. Solo una salida puede acceder al bus cada vez; los otros circuitos deben leer el bus como si fuese entrada o estar en alta impedancia.

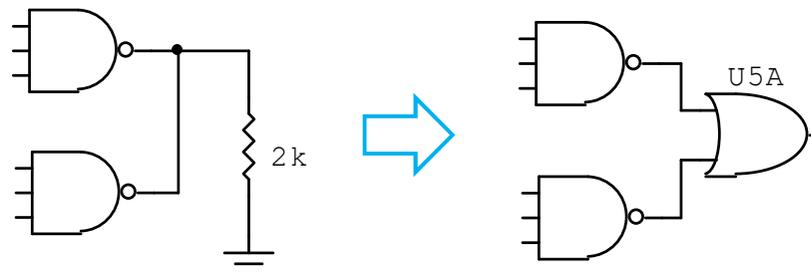


# Circuitos específicos

- Los circuitos TTL O.C. (“open-collector”, u “open-drain” en MOS) no tienen circuito de “puesta-a-H” que debe fijarse externamente conectando una resistencia (su valor depende de los circuitos conectados, aprox.  $2K\Omega$ ), o un diodo LED que se enciende cuando circula intensidad, entre la salida y tensión de alimentación. Una conexión entre las salidas de puertas O.C. (conexión cableada, “wire”) equivale en este caso a una puerta AND (“wire-AND”).

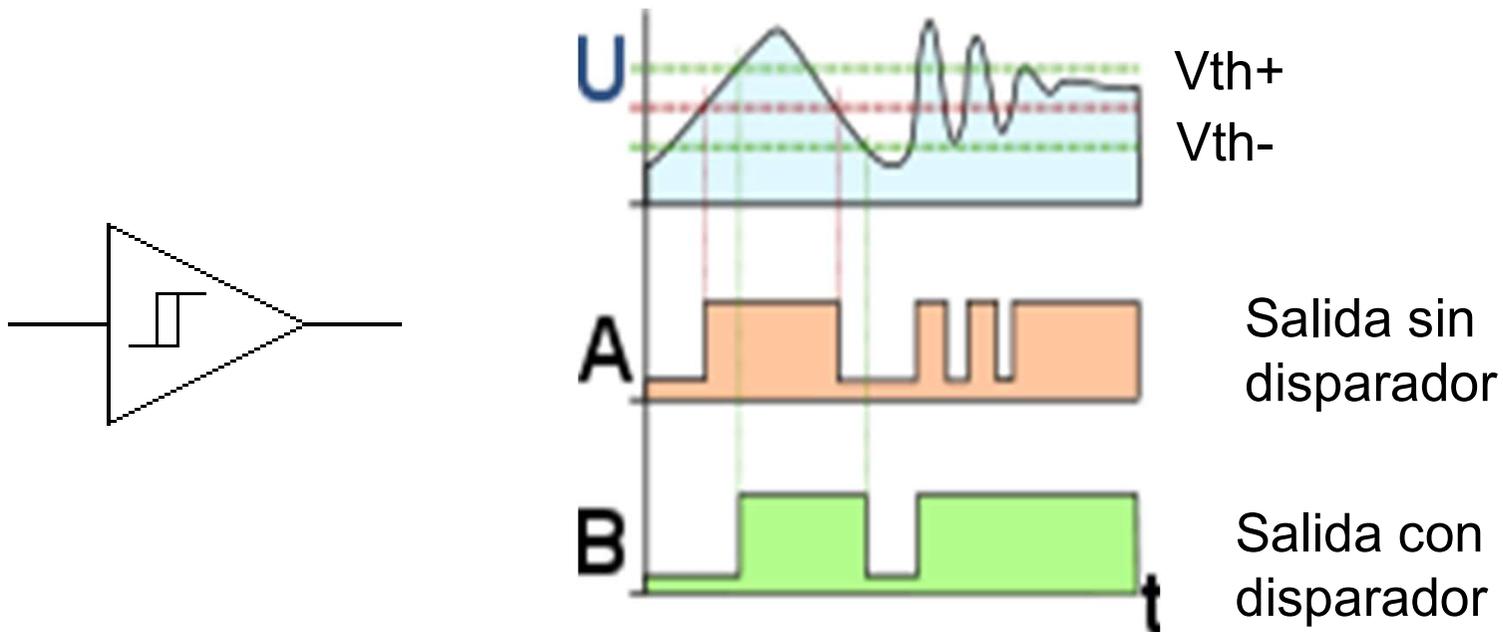


- Un circuito “open-emitter” (“open-source” en MOS) no tienen circuito de “puesta-a-L”. Se debe colocar una resistencia entre la salida y GND, y, si se forma una conexión cableada, es equivalente a una puerta OR (“wire-OR”).



# Circuitos específicos

- Los circuitos con disparador de Schmitt permiten eliminar el ruido que se produce en una señal debido a que su subida o bajada es lenta (permanece en el estado indeterminado  $X$  demasiado tiempo) o porque presenta rebotes. Este dispositivo tiene histéresis en la VTC: la VTC es distinta cuando  $V_{in}$  aumenta de cuando  $V_{in}$  disminuye de forma que  $V_{th+}$  (tensión umbral cuando  $V_{in}$  aumenta) es más alta que la  $V_{th-}$  (tensión umbral cuando  $V_{in}$  disminuye).

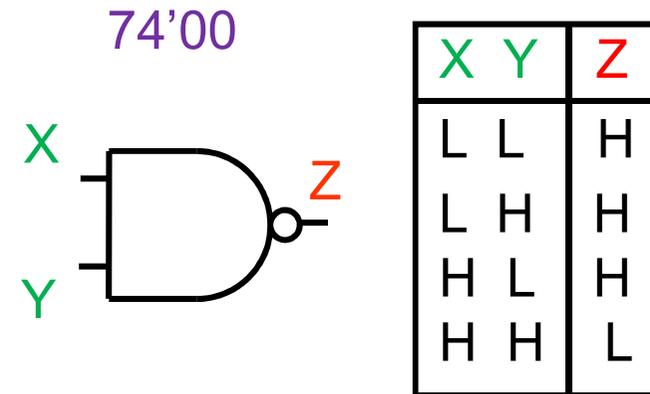
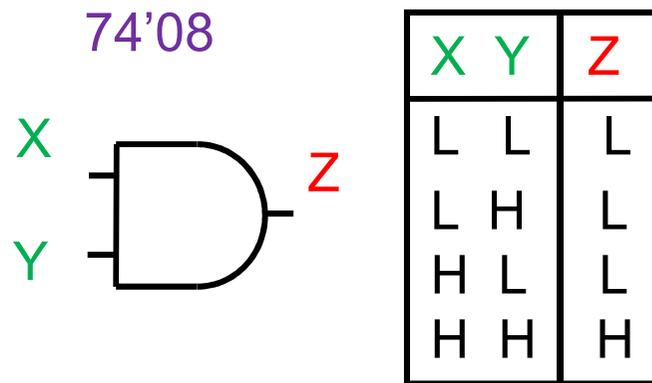


# Puertas Lógicas

- Las **puertas lógicas** se corresponden con una relación de 1s y 0s: **su tabla de verdad** o su función lógica.
- Los **circuitos digitales** se corresponden con una relación de **valores altos** y **valores bajos**. Por defecto se ha tomado **la convención**  $H \Leftrightarrow 1$ ,  $L \Leftrightarrow 0$ , pero esta convención no tiene que ser necesariamente cierta. **La conversión**  $H \Leftrightarrow 0$ ,  $L \Leftrightarrow 1$  también es posible.
- Todos los **circuitos electrónicos** estudiados utilizan como **puerta básica una puerta inversora**: **NAND** o **NOR**, ya que son **más pequeñas** y producen **mejores prestaciones**. Es lógico **diseñar circuitos** en base **a estas puertas**, en lugar de utilizar puertas OR y AND.

# Puertas Lógicas

- Circuitos digitales AND y NAND.

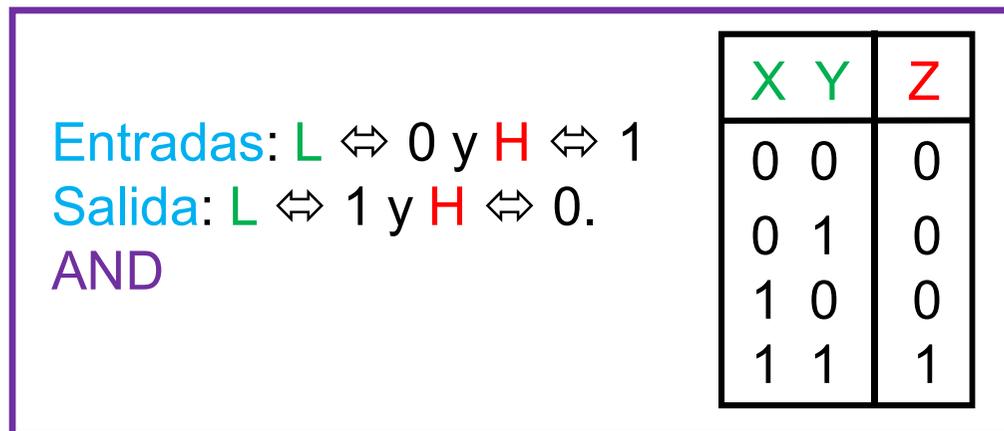
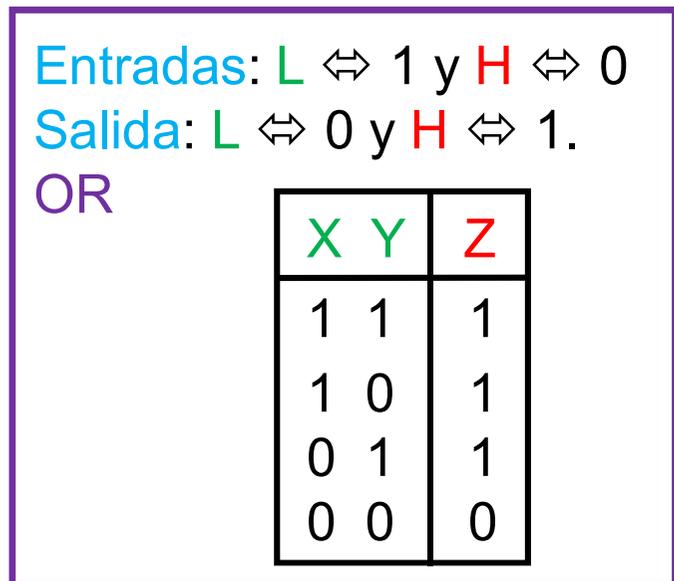
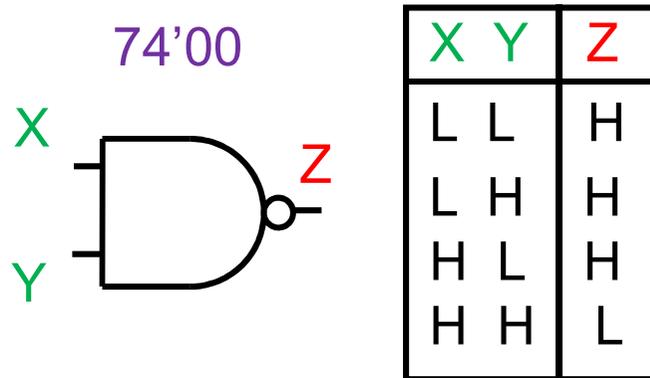


Los dos circuitos hacen la **misma operación lógica** si se considera que en la salida del circuito 74'08: L  $\Leftrightarrow$  0 y H  $\Leftrightarrow$  1, y en la salida del circuito 74'00: L  $\Leftrightarrow$  1 y H  $\Leftrightarrow$  0.

X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

# Puertas Lógicas

- **Circuito digital NAND.** También se puede conseguir que un **circuito digital** que realiza una operación (**por ejemplo AND**) lógica realice la otra (**OR**) en función de cómo se considera la **equivalencia** de **L, H** con **1, 0** en las **entradas y salidas**.

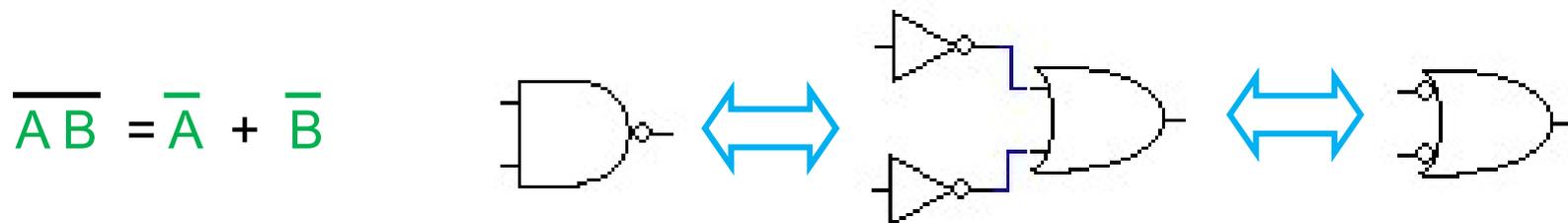


# Puertas Lógicas

- Se puede usar un **criterio** para denotar la **equivalencia entre valores de tensión y valores lógicos** mediante la **burbuja de inversión**: las líneas que **no tienen burbuja de inversión** tienen “**polaridad positiva**” (o criterio de aserción alto): **L**  $\Leftrightarrow$  0 y **H**  $\Leftrightarrow$  1, las líneas que **tiene burbuja de inversión** tienen **polaridad negativa** (o criterio de aserción bajo): **L**  $\Leftrightarrow$  1 y **H**  $\Leftrightarrow$  0.



- Desde el punto de vista de **operaciones lógicas** esto también puede verse como una aplicación del **teorema de DeMorgan**, donde **la burbuja de inversión** representa **la complementación**.



# Puertas Lógicas

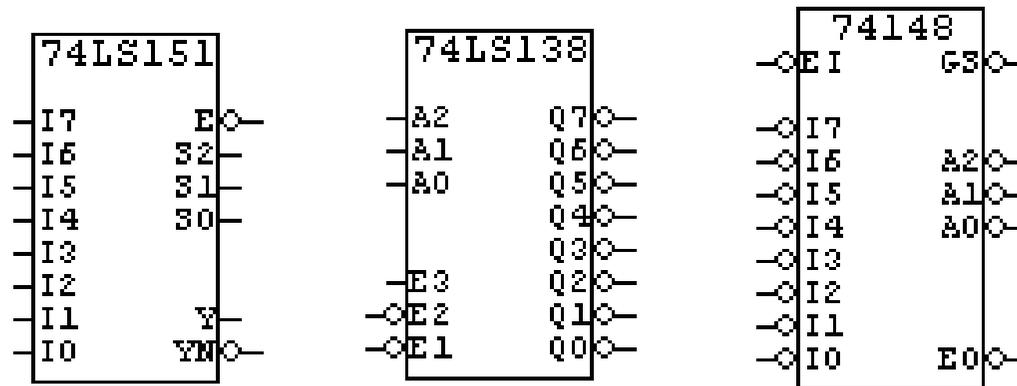
- Todas las **puertas lógicas básicas** pueden implementar la **función AND** o la **función OR** en función de la **polaridad** que se asigne a **sus entradas y salidas**. La **conversión** de una puerta de **AND a OR** y viceversa, se realiza **cambiando la polaridad de las entradas y de la salida**.



# Puertas Lógicas

- Al igual que se puede asignar una polaridad las entradas y las salidas de las puertas lógicas también se puede **asignar polaridad a las entradas y salidas de un circuito**, y a sus **señales internas**.

Por lo general **las señales tienen un nombre**, que indica **qué función hace** (por ejemplo **En** de **Enable**) y a ese nombre se les puede añadir **una indicación** de que su **polaridad es positiva**: **EN.H** (**habilita** con valor de tensión **H**, **deshabilita** con valor de tensión **L**) o **negativa EN.L** (**habilita** con valor de tensión **L**, **deshabilita** con valor de tensión **H**).



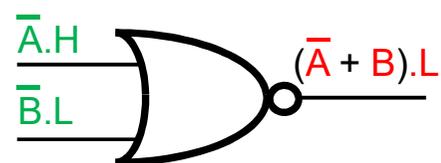
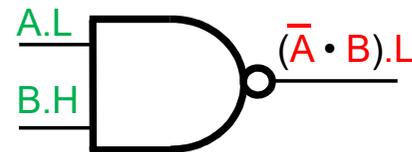
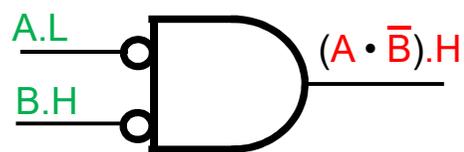
# Puertas Lógicas

- Cuando se comparan los valores de una señal como .H con los de la señal como .L se produce una inversión lógica.

	EN.H	EN.L
L	0	1
H	1	0

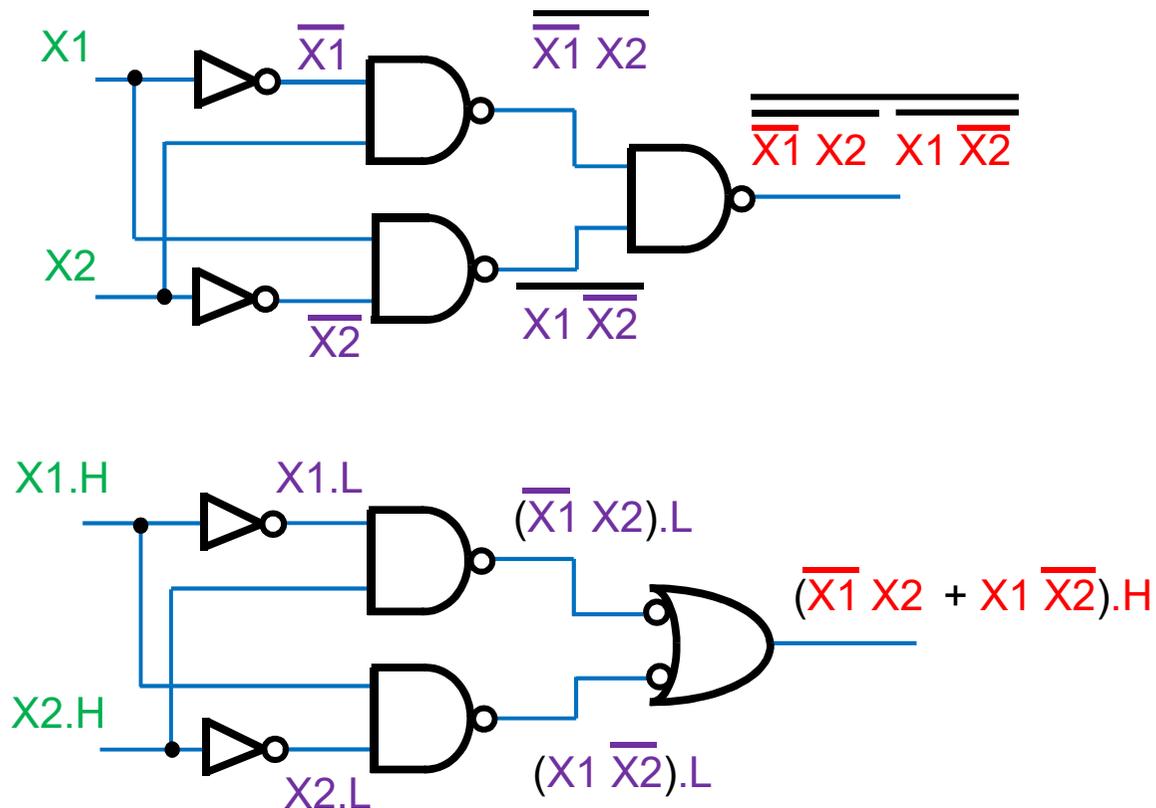
$$\text{EN.H} = \overline{\text{EN.L}}$$
$$\text{EN.L} = \overline{\text{EN.H}}$$

- Las operaciones en una puerta lógica donde las señales tienen definidas una polaridad se realiza mediante las siguientes reglas:
  - La salida de la puerta es .L si tiene burbuja de inversión, .H en caso contrario.
  - La puerta lógica realiza la operación AND u OR según su símbolo.
  - La función lógica de cada entrada pasa a la salida tal cual si la polaridad de la entrada coincide con la indicada por la burbuja de inversión, y complementada si no coincide.

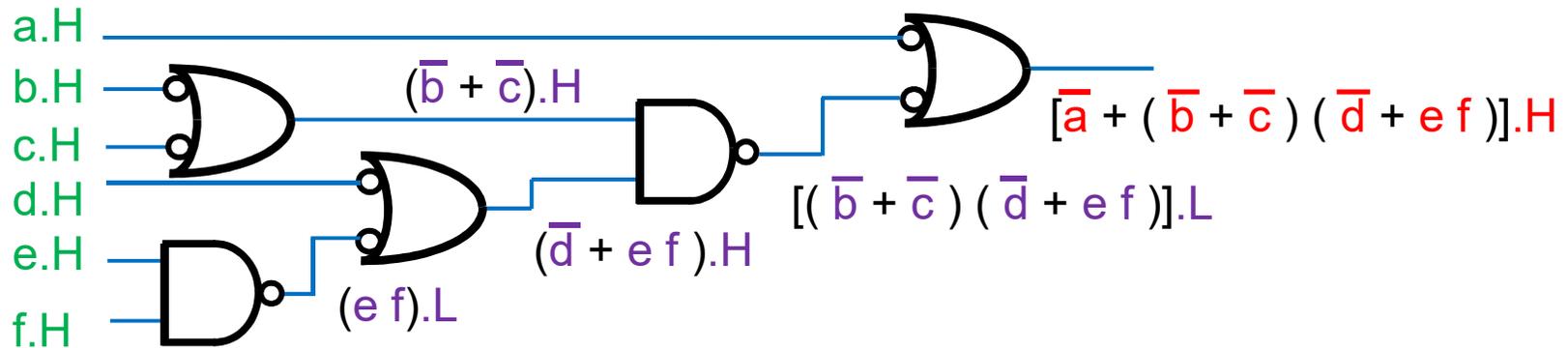
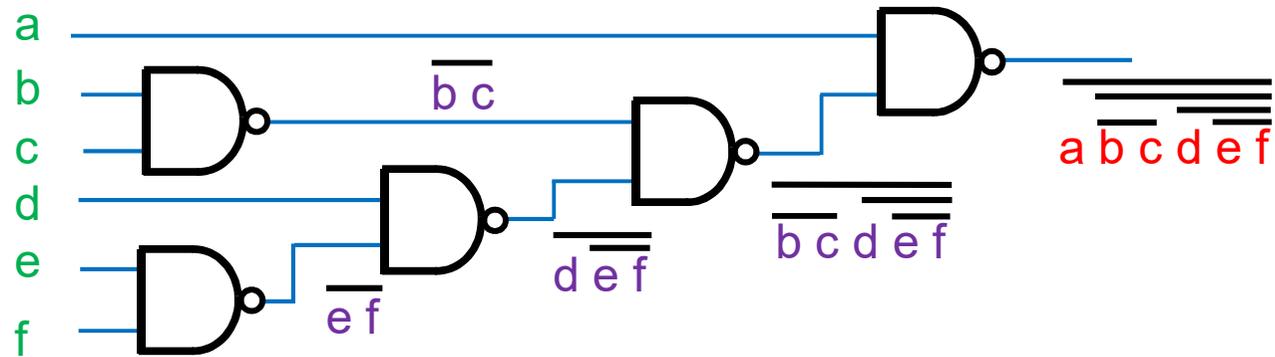


# Puertas Lógicas

- Se pueden utilizar **estos conceptos** para **extraer fácilmente la función lógica** que realiza un circuito digital, especialmente si está realizado con **puertas lógicas NAND o NOR**. Lo que hay que intentar preferentemente es que en **los nudos internos coincidan la polaridad de las líneas que generan y reciben el valor**, aunque sea realizando la **transformación de las puertas**.



# Puertas Lógicas

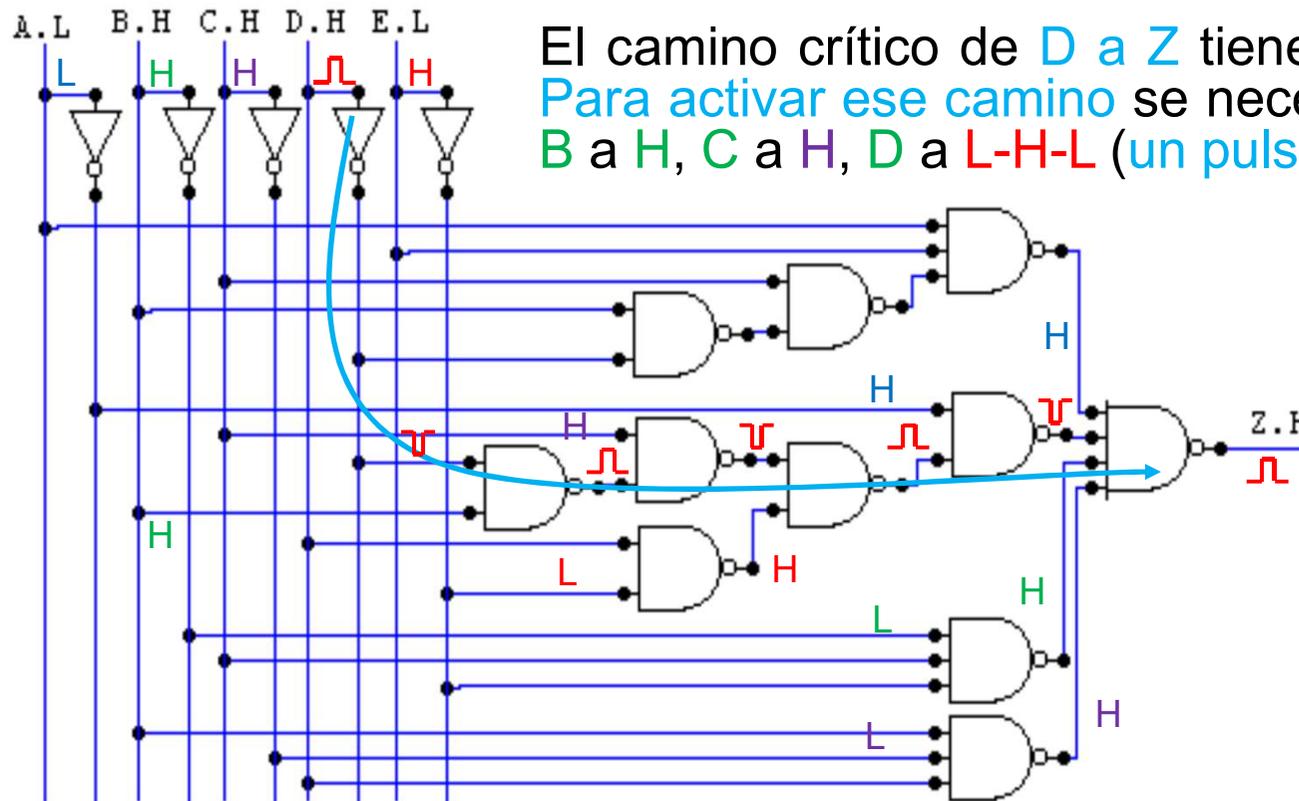


# Análisis circuital de circuitos lógicos

- El análisis de un circuito digital no solo conlleva la extracción de su funcionamiento lógico, sino la medición también de sus parámetros físicos como tiempo de propagación o potencia disipada, ya sea por la extracción de los datos de las hojas de características o por simulación del circuito.
- La potencia disipada por un circuito digital se calcula como la suma de la potencia disipada por cada uno de los dispositivos que lo forman.
- Para obtener el tiempo de propagación de un circuito hay que buscar y encontrar el camino crítico: el camino que genera el mayor tiempo de propagación.

# Análisis circuital de circuitos lógicos

- La obtención del tiempo de propagación máximo es más exacta cuanto mejor será el modelo temporal que se utiliza para los componentes del circuito. Por ejemplo un modelo muy sencillo, pero poco real, es considerar que todas las puertas tienen el mismo tiempo de propagación, el mayor camino de propagación será el que tiene más puertas lógicas.



El camino crítico de D a Z tiene 6 puertas.  
Para activar ese camino se necesita: A a L,  
B a H, C a H, D a L-H-L (un pulso) y E a H

# Análisis circuital de circuitos lógicos

- Es más fiable utilizar los parámetros de los componentes indicados por el fabricante, donde normalmente aparecen los  $t_{phl}$  y  $t_{plh}$ . Por ejemplo para TTL LS:

AC CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ )

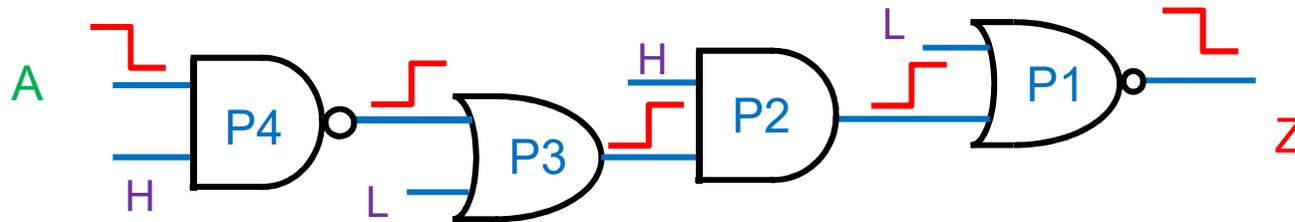
Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$t_{PLH}$	Turn-Off Delay, Input to Output		9.0	15	ns	$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$
$t_{PHL}$	Turn-On Delay, Input to Output		10	15	ns	

	$t_{plh}$ :	typ	max	$t_{phl}$ :	typ	max
OR (74LS32)		14 ns	22 ns		14 ns	22 ns
NAND (74LS00)		9 ns	15 ns		10 ns	15 ns
NOR (74LS02)		10 ns	15 ns		10 ns	15 ns
AND (74LS08)		8 ns	15 ns		10 ns	20 ns

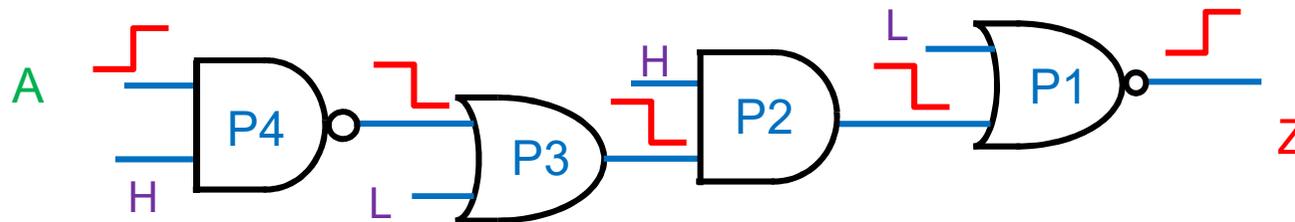
- Al estudiar el camino crítico hay que tener en cuenta que los tiempos de las puertas son distintos, e incluso los tiempos  $t_{plh}$  y  $t_{phl}$  de una misma puerta también pueden ser distintos.

# Análisis circuital de circuitos lógicos

- El tiempo que se usa en las puertas del camino entre la entrada que sufre la transición y la salida del circuito depende de la transición H->L ( $t_{phl}$ ) o L->H ( $t_{plh}$ ) que se produzca en la salida cada una de ellas.



$$\begin{aligned} t_{phl}(Z) &= t_{plh}(P4) + t_{plh}(P3) + t_{plh}(P2) + t_{phl}(P1) = \\ &= 15 \text{ ns} + 22 \text{ ns} + 15 \text{ ns} + 15 \text{ ns} = 67 \text{ ns} \end{aligned}$$



$$\begin{aligned} t_{plh}(Z) &= t_{phl}(P4) + t_{phl}(P3) + t_{phl}(P2) + t_{plh}(P1) = \\ &= 15 \text{ ns} + 22 \text{ ns} + 20 \text{ ns} + 15 \text{ ns} = 72 \text{ ns} \end{aligned}$$

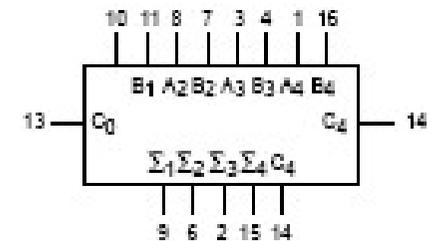
# Análisis circuital de circuitos lógicos

- En circuitos digitales más complejos el cálculo del camino crítico es más complejo ya que un mismo dispositivo puede tener varias entradas y salidas con tiempos de propagación distintos.

AC CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ )

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$t_{PLH}$ $t_{PHL}$	Propagation Delay, $C_0$ Input to any $\Sigma$ Output		16	24	ns	$V_{CC} = 5.0\text{ V}$ $C_L = 15\text{ pF}$ Figures 1 and 2
$t_{PLH}$ $t_{PHL}$	Propagation Delay, Any A or B Input to $\Sigma$ Outputs		15	24	ns	
$t_{PLH}$ $t_{PHL}$	Propagation Delay, $C_0$ Input to $C_4$ Output		11	17	ns	
$t_{PLH}$ $t_{PHL}$	Propagation Delay, Any A or B Input to $C_4$ Output		11	17	ns	

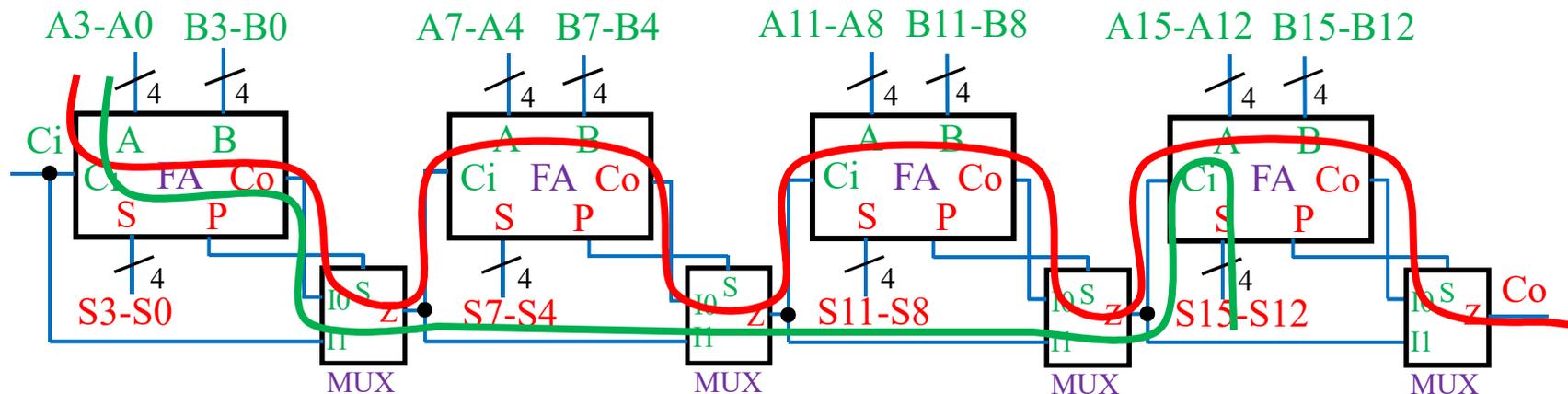
Sumador  
74LS83



- Hay tecnologías en las que el tiempo de propagación de un dispositivo depende de su carga de fanout, o en las que se necesita incluir un modelo temporal de las líneas de interconexión.
- Los caminos más largos estructurales pueden no ser los caminos críticos reales (caminos falsos), ya que son caminos que no se activan en operación completamente, solo parte de ellos cada vez.

# Análisis circuital de circuitos lógicos

Ejemplo de camino falso. Circuitos sumadores carry-skip



$$P = (A_0 \oplus B_0) (A_1 \oplus B_1) (A_2 \oplus B_2) (A_3 \oplus B_3)$$

$$\text{Si } P = 1 \Rightarrow C_o = C_i$$

— Camino estructural más largo. Es un camino falso.

— Camino crítico.

- Los sistemas CAD incluyen herramientas de análisis temporal y de estimación de la disipación de potencia, para encontrar automáticamente estos parámetros.

# Peligros Lógicos

- Los **peligros lógicos** son un fenómeno que se produce en los circuitos digitales debido a los **diferentes tiempos de propagación de caminos entre dos mismos puntos del circuito**. Consiste en **variaciones transitorias no deseadas** en las señales del circuito.

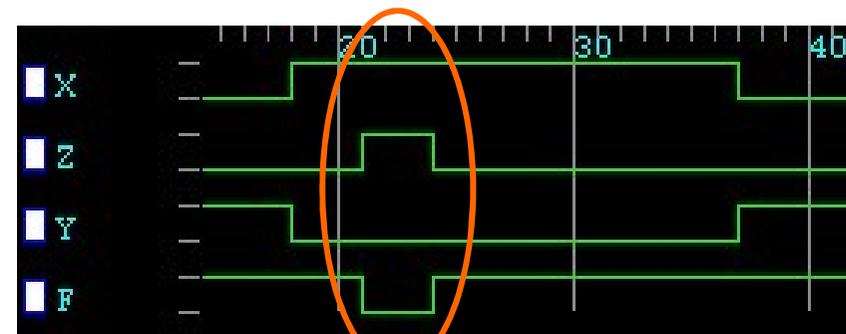
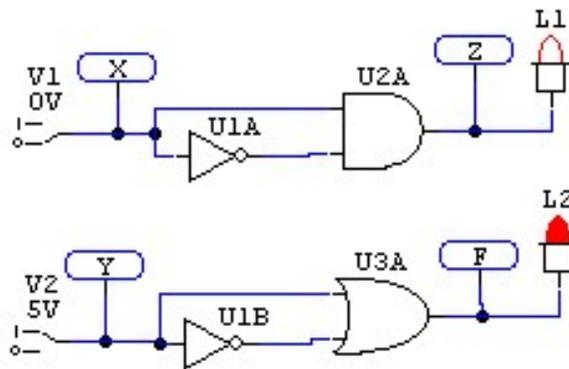
En los circuitos combinacionales **no producen un error lógico significativo**, salvo el **indeseado aumento del consumo de potencia dinámica** debido a la carga y descarga de los condensadores internos del circuito.

En **circuitos secuenciales asíncronos** pueden producir un **mal funcionamiento lógico**.

- Los peligros generados por los cambios simultáneos de varias entradas (peligros funcionales) no son evitables, pero si lo son los producidos por **el cambio de una única entrada (peligros lógicos)**. Los peligros lógicos pueden ser **estáticos**: la señal no debe cambiar pero tiene una transición indeseada, o **dinámicos**: la señal debe cambiar pero lo hace varias veces antes de estabilizarse.

# Peligros Lógicos

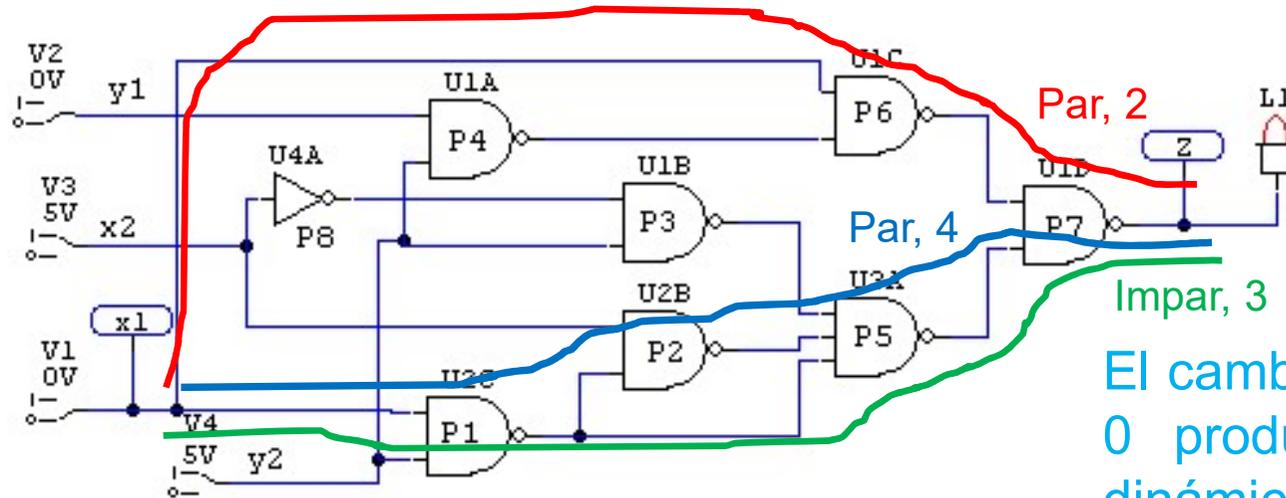
- Circuitos tan sencillos como estos pueden presentar **peligros estáticos**, producidos por los diferentes tiempos de propagación a través del camino con inversor y sin él, lo que hace que **momentáneamente** las dos entradas de la puerta AND estén a 1, o que las dos entradas de la puerta OR estén a 0.



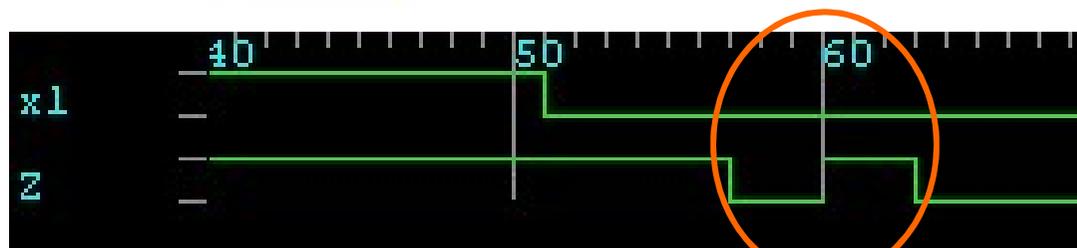
Peligros estáticos

# Peligros Lógicos

- Los peligros dinámicos se producen cuando hay al menos tres caminos de la entrada que cambia a una señal con distintos tiempos de retraso ( $t1 < t2 < t3$ ) y distinto número de inversiones (par-impar-par o impar-par-impar).



El cambio en X1 de 1 a 0 produce un peligro dinámico en Z.



Peligro dinámico

# Peligros Lógicos

- La existencia de peligros en un circuito se estudia mediante un sistema algebraico en el que  $X$  y  $\bar{X}$  son variables distintas. La conclusión que se obtiene es que para realizar un circuito libre de peligros lógicos estáticos y dinámicos, todo par de 1s (en SOP o 0s en POS) de la función adyacentes en un Mapa de Karnaugh deben ser cubiertos por un implicante primo común.

	CD			
AB	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	1	0
10	0	0	1	0

$$F = \bar{A}B + ACD$$

Peligro al pasar de 7  $\Leftrightarrow$  15

A: 0  $\Leftrightarrow$  1 con BCD a 111.

$$F = \bar{A}B + ACD + BCD$$

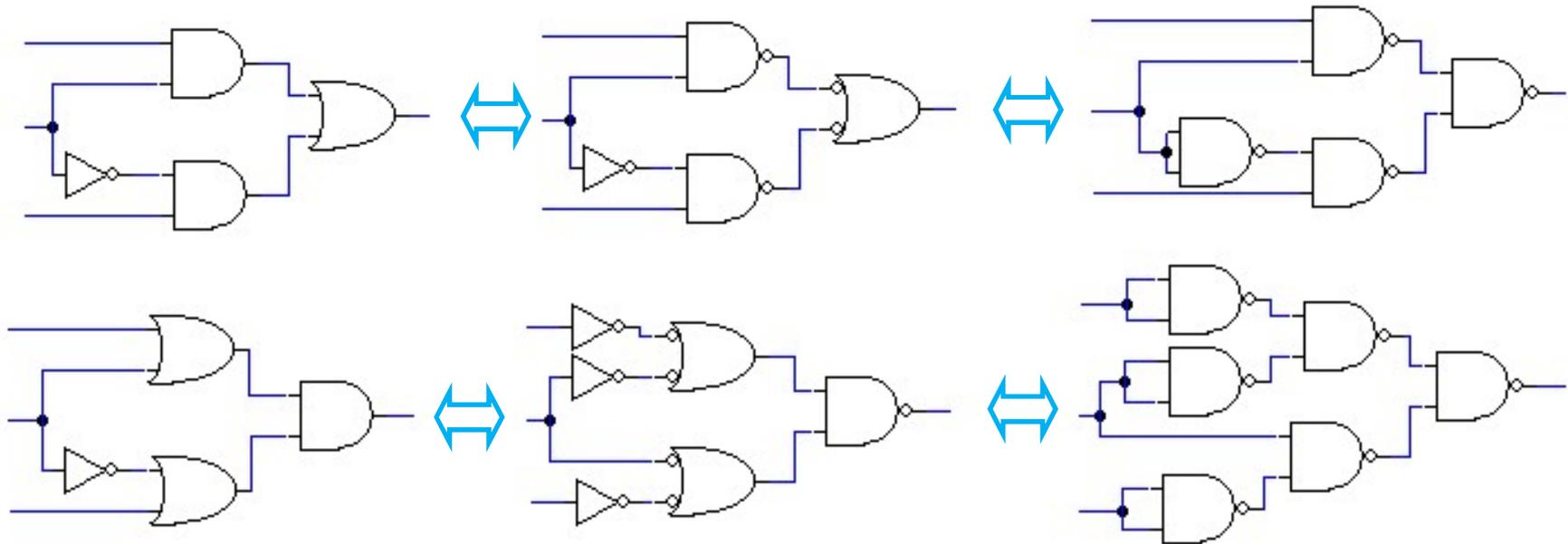
No hay peligro.

La función no es mínima.

	CD			
AB	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	1	0
10	0	0	1	0

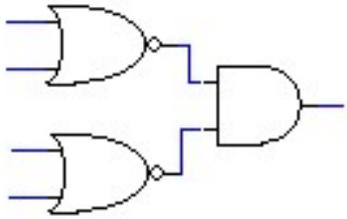
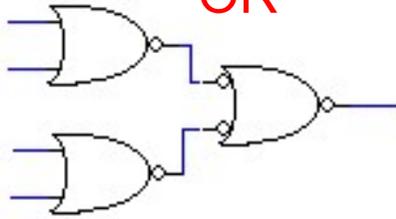
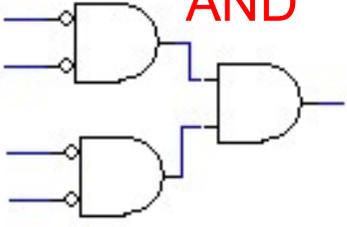
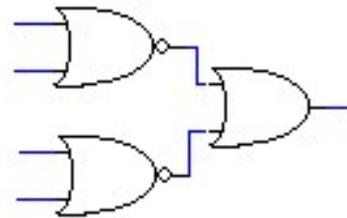
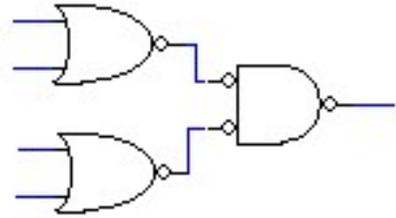
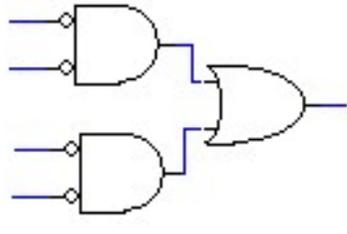
# Implementaciones en dos niveles

- Las implementaciones en dos niveles pueden realizarse utilizando solo puertas NAND, solo puertas NOR o algunas combinaciones de puertas en primer nivel/segundo nivel que se pueden comportar como AND/OR (SOP) u OR/AND (POS). Las combinaciones NAND/NAND y NOR/NOR generan circuitos SOP y POS.



# Implementaciones en dos niveles

- Para comprobar si una relación concreta de puertas en **primer nivel/segundo nivel** se puede usar para implementar **formas SOP o POS** hay que representar las puertas de forma que **entre el primer y el segundo nivel coincida la polaridad**. Si al hacerlo en un nivel las puertas son OR y en el otro AND sí se puede, si los dos niveles son AND u OR no se puede.

<p>NOR/AND</p> <p>NO</p>		<p>OR</p> 	<p>AND</p> 
<p>NOR/OR</p> <p>SI</p>		<p>POS</p> 	<p>SOP</p> 

# Implementaciones en dos niveles

- Una vez que el circuito lógico se sitúa como un **circuito POS o SOP** según la función que se tenga, quedan establecidas también **las polaridades de las líneas de entrada del primer nivel y de las líneas de salida del segundo nivel**.
- Para finalizar el circuito hay que **conectar las entradas del circuito a las entradas del primer nivel**, por ello es conveniente expresar **las entradas del circuito en la misma polaridad .H o .L de las entradas del primer nivel**, independientemente de su polaridad real.
- La **polaridad de la salida del segundo nivel puede coincidir o no con la polaridad de las salidas del circuito**, en el **primer caso la conexión es directa**, en el **segundo caso hay que usar un inversor**.

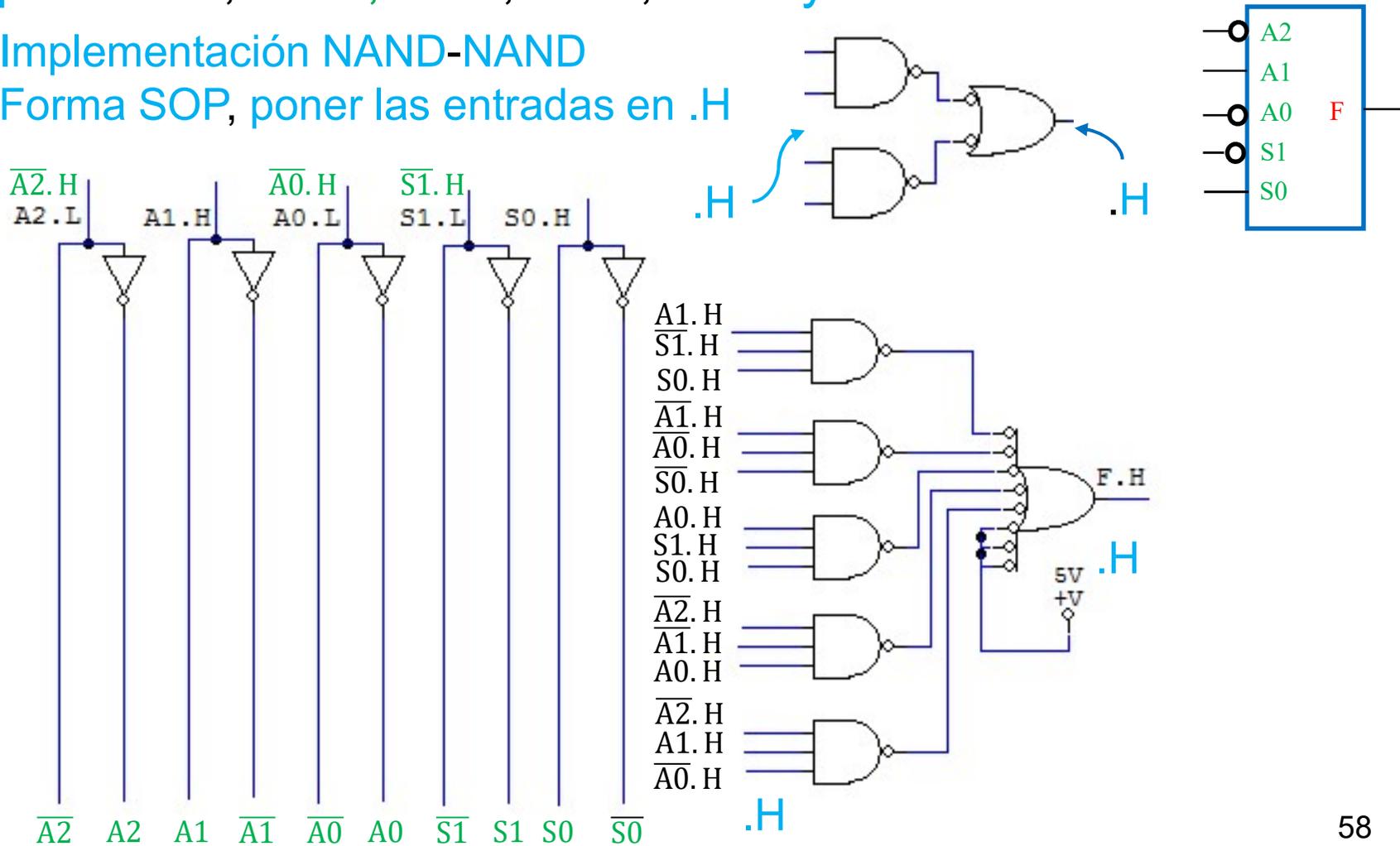
# Implementaciones en dos niveles

$$F = A1 \overline{S1} S0 + \overline{A1} \overline{A0} \overline{S0} + A0 S1 S0 + \overline{A2} \overline{A1} A0 + \overline{A2} A1 \overline{A0}$$

para A2.L, A1.H, A0.L, S1.L, S0.H y F.H

Implementación NAND-NAND

Forma SOP, poner las entradas en .H



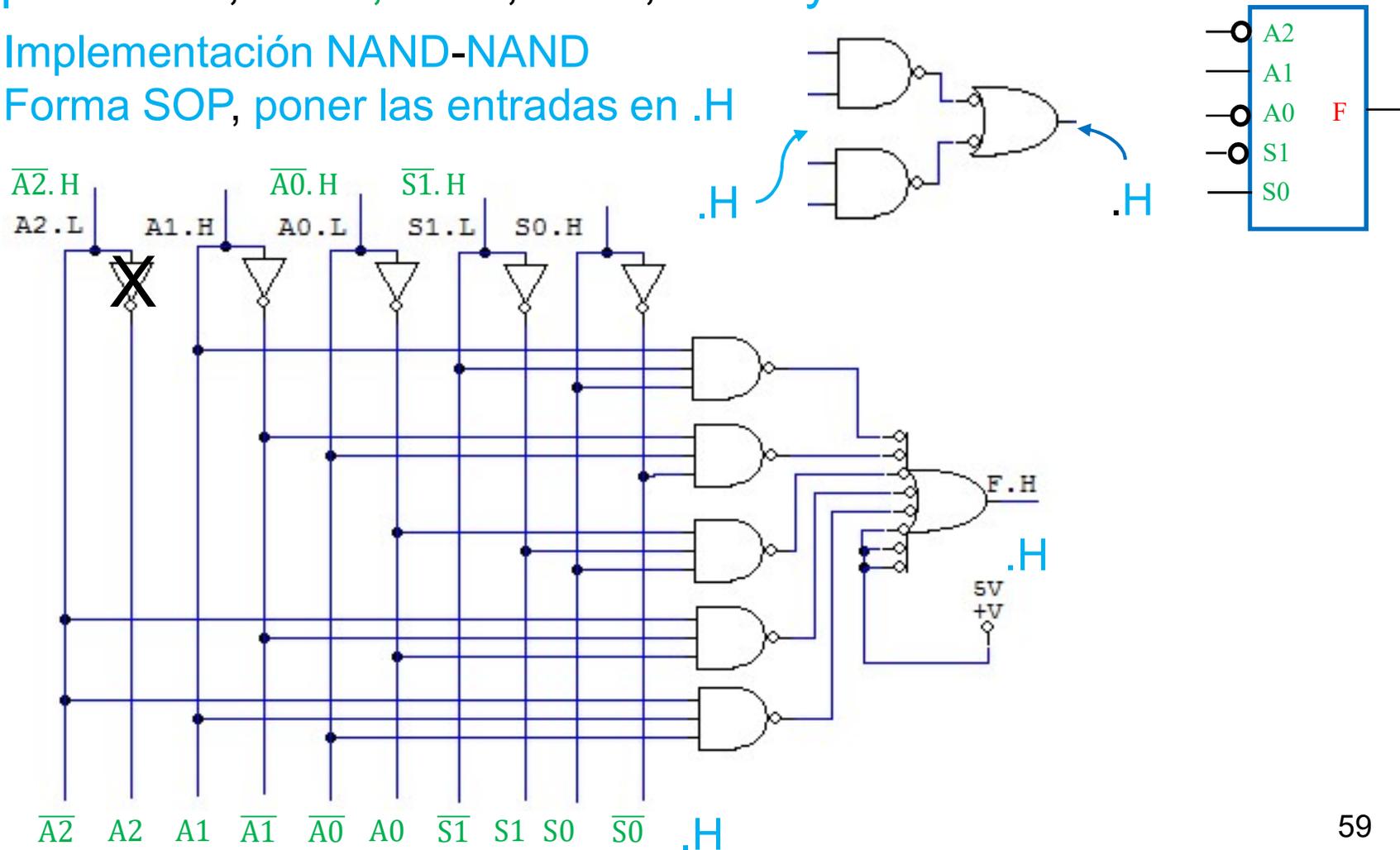
# Implementaciones en dos niveles

$$F = A1 \overline{S1} S0 + \overline{A1} \overline{A0} \overline{S0} + A0 S1 S0 + \overline{A2} \overline{A1} A0 + \overline{A2} A1 \overline{A0}$$

para A2.L, A1.H, A0.L, S1.L, S0.H y F.H

Implementación NAND-NAND

Forma SOP, poner las entradas en .H



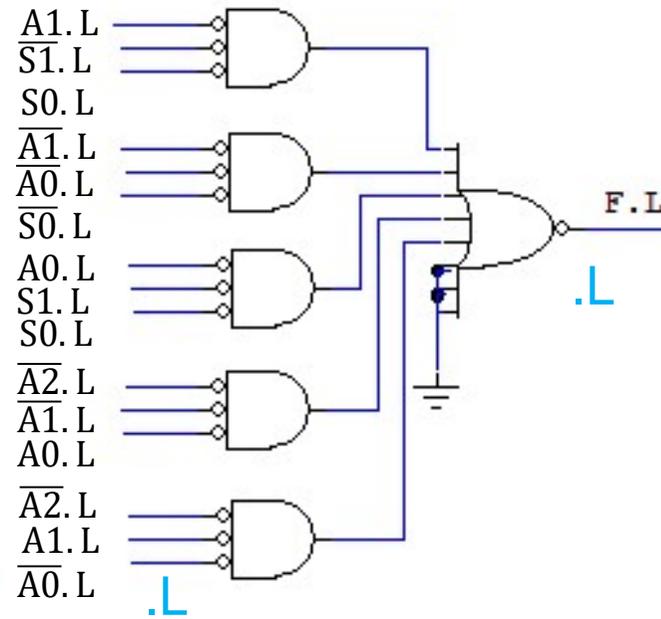
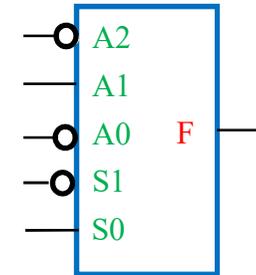
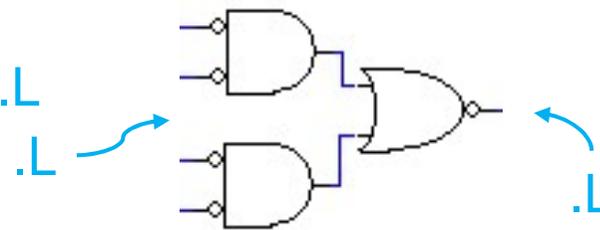
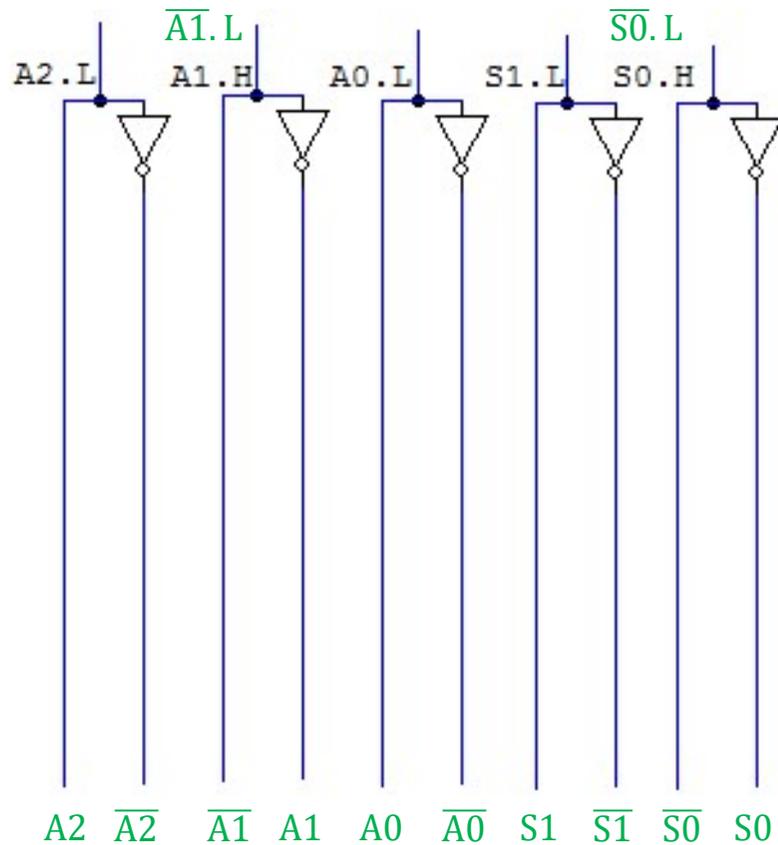
# Implementaciones en dos niveles

$$F = A1 \overline{S1} S0 + \overline{A1} \overline{A0} \overline{S0} + A0 S1 S0 + \overline{A2} \overline{A1} A0 + \overline{A2} A1 \overline{A0}$$

para A2.L, A1.H, A0.L, S1.L, S0.H y F.H

Implementación NOR-NOR

Forma SOP, poner las entradas en .L



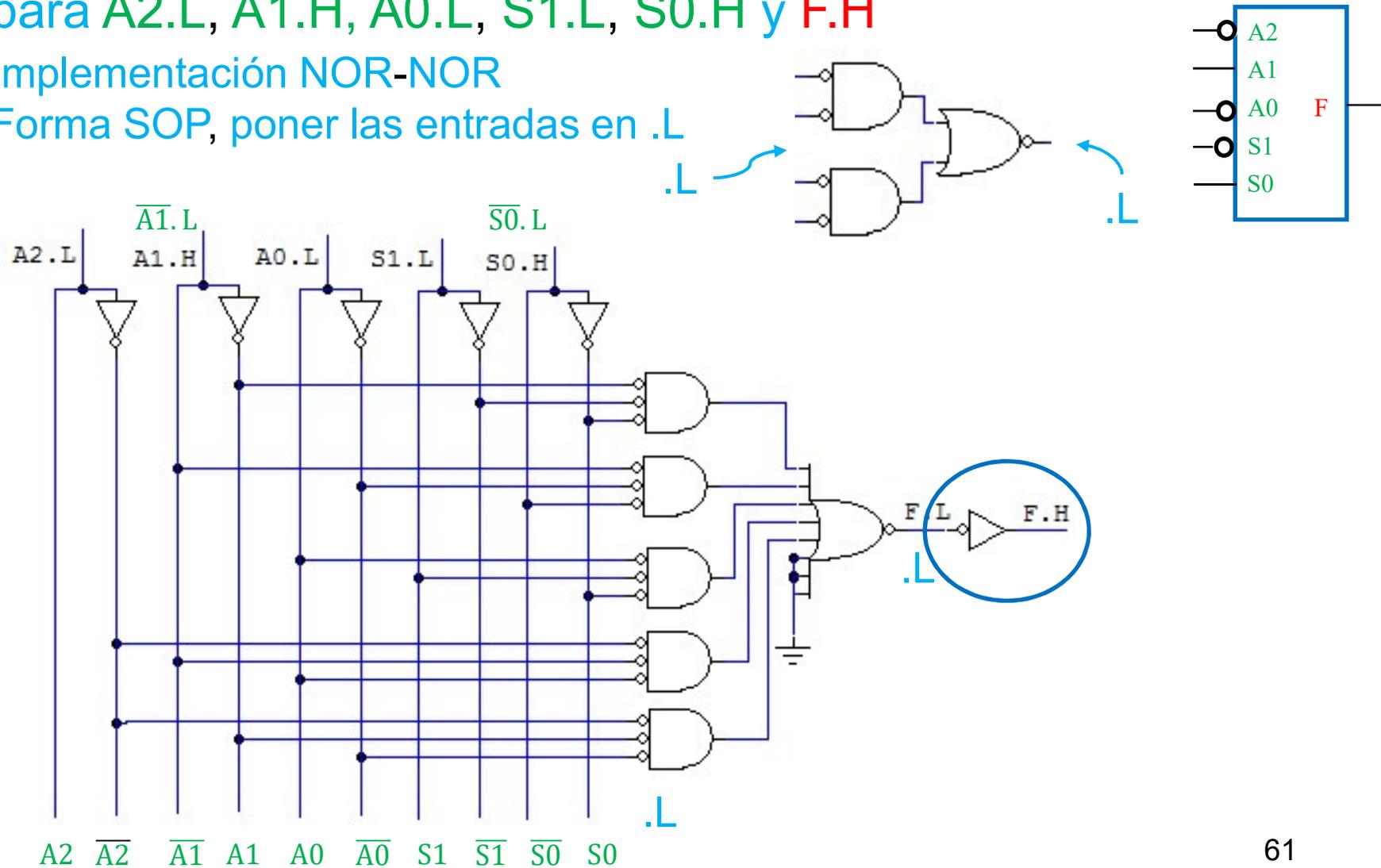
# Implementaciones en dos niveles

$$F = A1 \overline{S1} S0 + \overline{A1} \overline{A0} \overline{S0} + A0 S1 S0 + \overline{A2} \overline{A1} A0 + \overline{A2} A1 \overline{A0}$$

para A2.L, A1.H, A0.L, S1.L, S0.H y F.H

Implementación NOR-NOR

Forma SOP, poner las entradas en .L

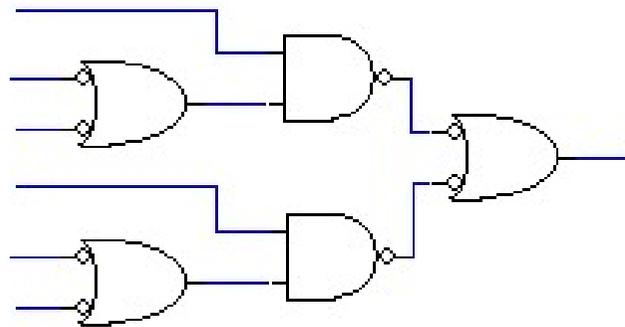


# Implementaciones multinivel

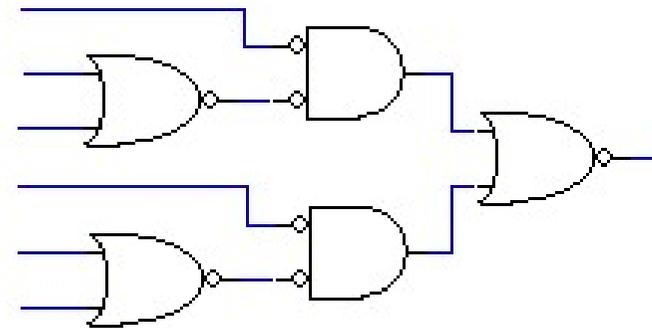
- Las expresiones factorizadas están formadas por un conjunto de niveles AND/OR/AND/OR/.... Las puertas NAND pueden realizar las operaciones AND y OR, de tal forma que entre nivel y nivel las polaridades de las señales coinciden por lo que las operaciones se realizan de forma natural.

Lo mismo ocurre con las puertas NOR.

Una vez realizadas las operaciones lógicas se conectan las entradas del circuito a las entradas de las puertas lógicas (directamente o con inversor), teniendo en cuenta las polaridades de ambas. También se obtiene la salida con la polaridad correcta.



NAND



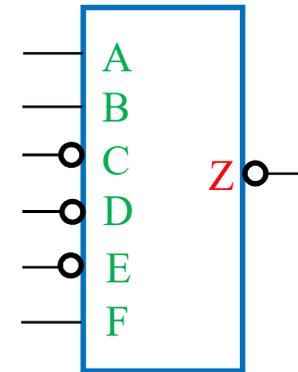
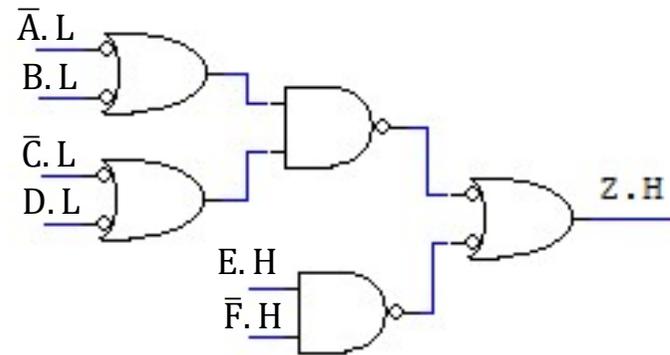
NOR

# Implementaciones multinivel

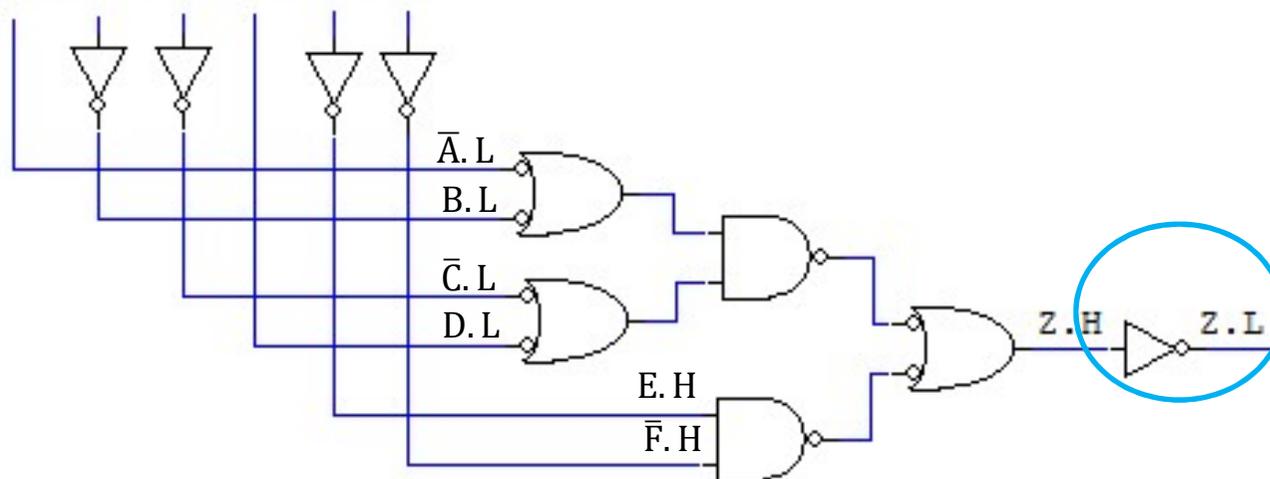
$$Z.L = [(\bar{A} + B) (\bar{C} + D) + E \bar{F}].L \text{ para } A.H, B.H, C.L, D.L, E.L, F.H$$



## Implementación NAND



$\bar{A}.L$   $\bar{B}.L$   $\bar{C}.H$   $\bar{D}.H$   $\bar{E}.H$   $\bar{F}.L$   
 A.H B.H C.L D.L E.L F.H

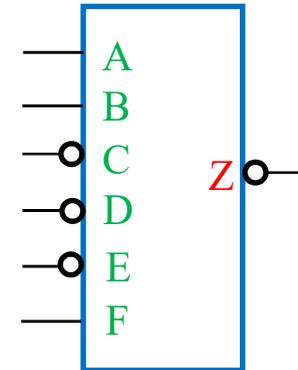
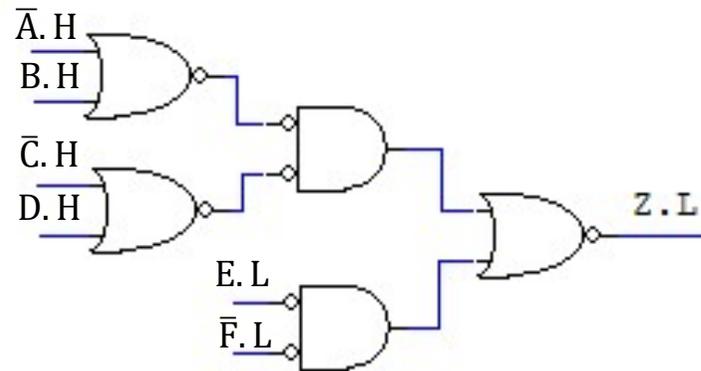


# Implementaciones multinivel

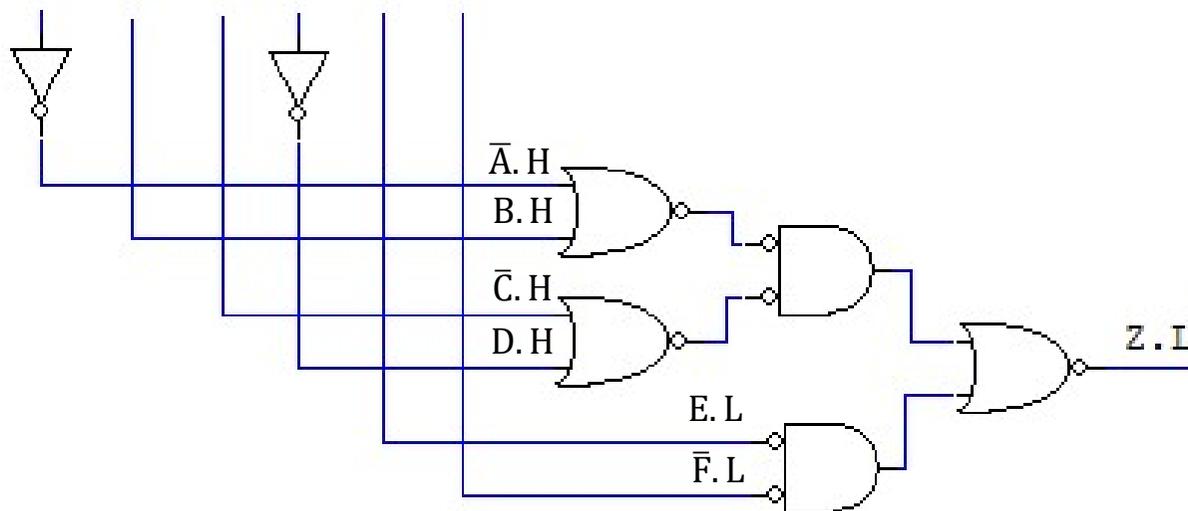
$$Z.L = [(\bar{A} + B) (\bar{C} + D) + E \bar{F}].L \text{ para } A.H, B.H, C.L, D.L, E.L, F.H$$



Implementación NOR



$\bar{A}.L \quad \bar{B}.L \quad \bar{C}.H \quad \bar{D}.H \quad \bar{E}.H \quad \bar{F}.L$   
 A.H B.H C.L D.L E.L F.H



# Circuitos programables

- Las implementaciones en dos niveles con puertas lógicas exigen una disposición de puertas lógicas *random* dependiendo de las funciones lógicas a construir.
- Se pueden realizar implementaciones en dos niveles que tengan una estructura circuital fija en dos niveles sobre las que se pueden “programar” las funciones lógicas deseadas, fijando o eliminando conexiones: dispositivos lógicos programables (PLDs)
- La idea inicial de los circuitos programables en dos niveles puede extenderse a circuitos programables más complejos (CPLDs, FPGAs):
  - Utilizar etapas de salida complejas también programables, incluyendo circuitos secuenciales, por ejemplo.
  - Utilizar estructuras distintas de dos niveles para la generación de las funciones lógicas.
  - Incluir circuitos específicos programables: multiplicadores, memorias, etc.
  - Permitir que también sean programables las interconexiones entre las distintas partes del circuito.

# Circuitos programables

- La utilización de **dispositivos programables** presenta **ventajas** e **inconvenientes** frente a un diseño específico para un circuito:

## Ventajas:

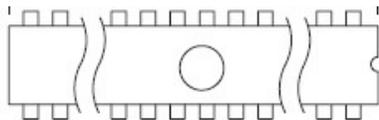
- **Flexibilidad**: se puede implementar sobre el mismo dispositivo una **amplia gama de circuitos digitales**.
- La **implementación del diseño** en los dispositivos es **casi instantánea** a través de **un equipo de programación**.
- Los dispositivos reprogramables pueden ser **reutilizados** y los diseños pueden ser **revisados y reprogramados**.

## Desventajas:

- Normalmente no se utilizan todos los circuitos internos: **se desperdicia espacio** => el coste del circuito es más alto que en un diseño específico.
- Las **prestaciones de los circuitos** (frecuencia de operación, etc) **son peores** que en los diseños específicos.
- **La programación puede perderse al apagar la alimentación**. Hay que recargar la programación.
- En la actualidad existen **dispositivos programables** que incluyen el equivalente a **cientos de millones de puertas lógicas**, donde se pueden implementar desde una puerta lógica hasta un microprocesador.

# Circuitos programables

- Existen diversas **tecnologías** para producir circuitos programables:
  - **Mediante máscara**: la “programación” se realiza **durante el diseño** que es fijo e inalterable.
  - **Programables (PLD). Mediante fusibles**. Al programar se funden los fusibles o se mantienen. Al no poder reconstruirse el fusible **solo se pueden programar una vez**.
  - **Programables y borrables (EPLD)**. Mediante **tecnologías electrónicas** se puede introducir carga en los “fusibles” al programar. **La carga puede ser borrada mediante luz ultravioleta**. Los dispositivos tienen una ventana para que la luz acceda al circuito. Para borrar y reprogramar un circuito hay que sacarlo de la aplicación y utilizar equipos independientes de programación y borrado.
  - **Programables y borrables eléctricamente (E<sup>2</sup>PLD)**. Mediante **tecnologías electrónicas** se puede introducir y eliminar carga en los “fusibles”. El borrado y reprogramación del circuito puede hacerse sin retirarlo de la aplicación.

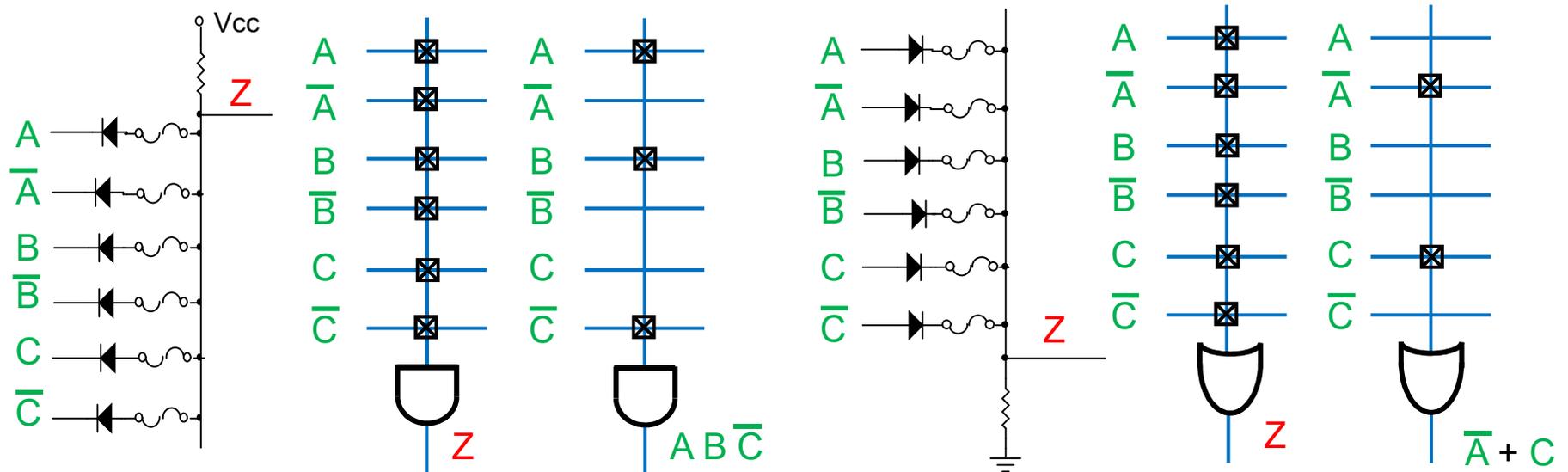


# Circuitos programables

- Circuitos programables básicos. Los circuitos en dos niveles están formados por un plano AND y un plano OR. Dependiendo de que planos sean programables se tienen distintas estructuras:

Plano AND	Plano OR	Dispositivo
Fijo	Programable	ROM
Programable	Fijo	PAL
Programable	Programable	PLA

- Se pueden conseguir las líneas programables mediante conexiones de tipo wire-AND o wire-OR.



# Circuitos programables: ROM

- El circuito ROM (Read-Only Memory) es una memoria de sólo lectura que se puede utilizar para implementar circuitos combinacionales.

Plano AND fijo que genera todos los minterms de la función lógica. Normalmente se implementa con un circuito “decodificador”.

Plano OR programable: genera la salida como el OR de los minterms de cada función.

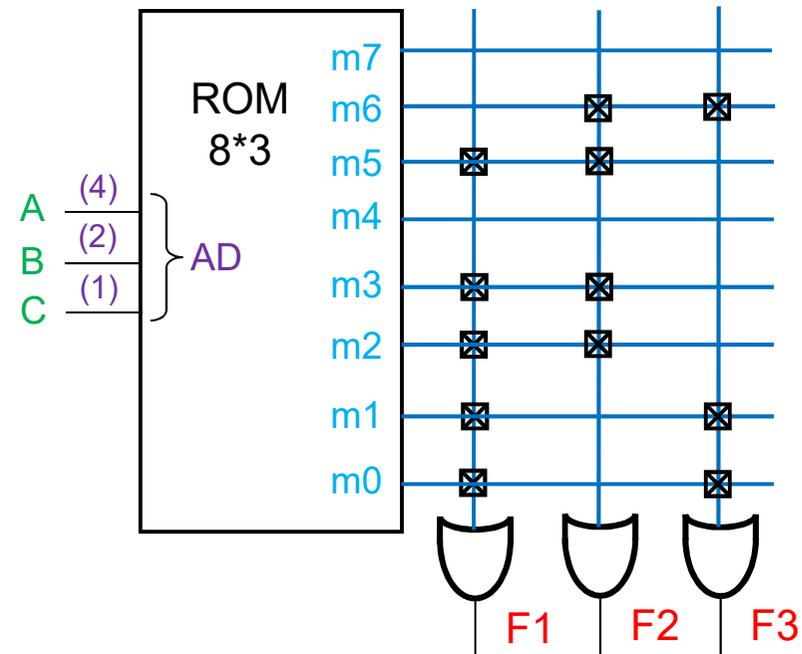
Estrategia de minimización: ninguna, implementa la tabla de verdad del problema directamente.

$$F1(A, B, C) = \sum(0, 1, 2, 3, 5)$$

$$F2(A, B, C) = \sum(2, 3, 5, 6)$$

$$F3(A, B, C) = \sum(0, 1, 6)$$

Las memorias se definen por el número de direcciones AD (o minterms de entrada:  $2^N$  para N entradas por lo usual) y el número de salidas, lo que indica el número total de bits de datos.



# Circuitos programables: PAL

- El circuito PAL (Programmable Array Logic) implementa funciones descritas en dos niveles.

**Plano AND programable:** genera los términos productos utilizados por cada salida del dispositivo.

**Plano OR fijo:** puertas OR con un número fijo de entradas.

**Estrategia de minimización:** como los términos producto no se comparten, se minimiza cada función por separado, usando menos términos productos que entradas disponibles en las OR. El número de literales en los términos producto no es importante.

$$F1(A, B, C) = \sum(0, 2, 3, 4, 5) + \sum\emptyset(6)$$

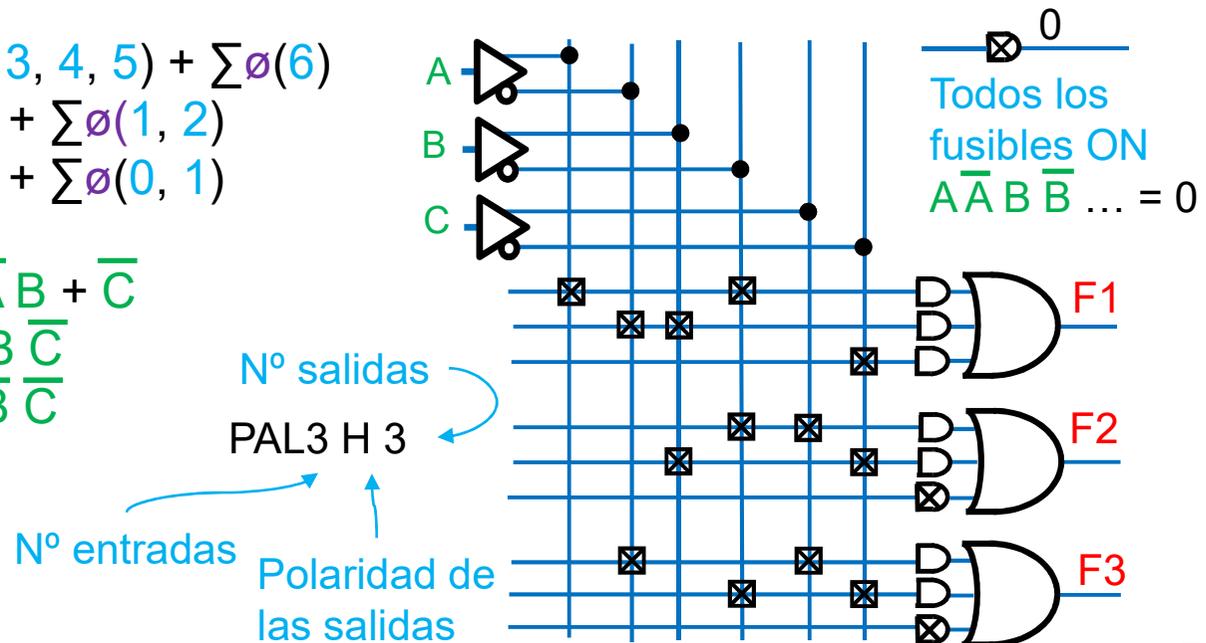
$$F2(A, B, C) = \sum(5, 6) + \sum\emptyset(1, 2)$$

$$F3(A, B, C) = \sum(3, 4) + \sum\emptyset(0, 1)$$

$$F1(A, B, C) = A\bar{B} + \bar{A}B + \bar{C}$$

$$F2(A, B, C) = \bar{B}C + B\bar{C}$$

$$F3(A, B, C) = \bar{A}C + \bar{B}C$$



# Circuitos programables: PLA

- El circuito PLA (Programmable Logic Array) implementa funciones descritas en dos niveles.

**Plano AND programable:** genera los términos productos en las funciones lógicas.

**Plano OR programable:** realiza la OR de los términos productos necesarios para cada salida.

**Estrategia de minimización:** como los términos producto se pueden compartir por salidas, se minimizan las funciones conjuntamente. El número de literales en los términos producto no es importante.

$$F1(A, B, C) = \sum(0, 2, 3, 4, 5) + \sum\emptyset(6)$$

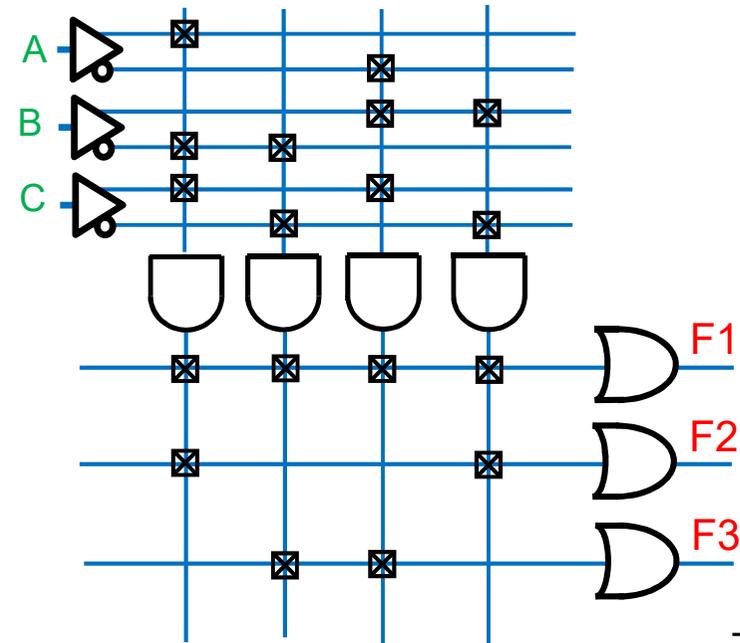
$$F2(A, B, C) = \sum(5, 6) + \sum\emptyset(1, 2)$$

$$F3(A, B, C) = \sum(3, 4) + \sum\emptyset(0, 1)$$

$$F1(A, B, C) = A\bar{B}C + \bar{B}\bar{C} + \bar{A}BC + B\bar{C}$$

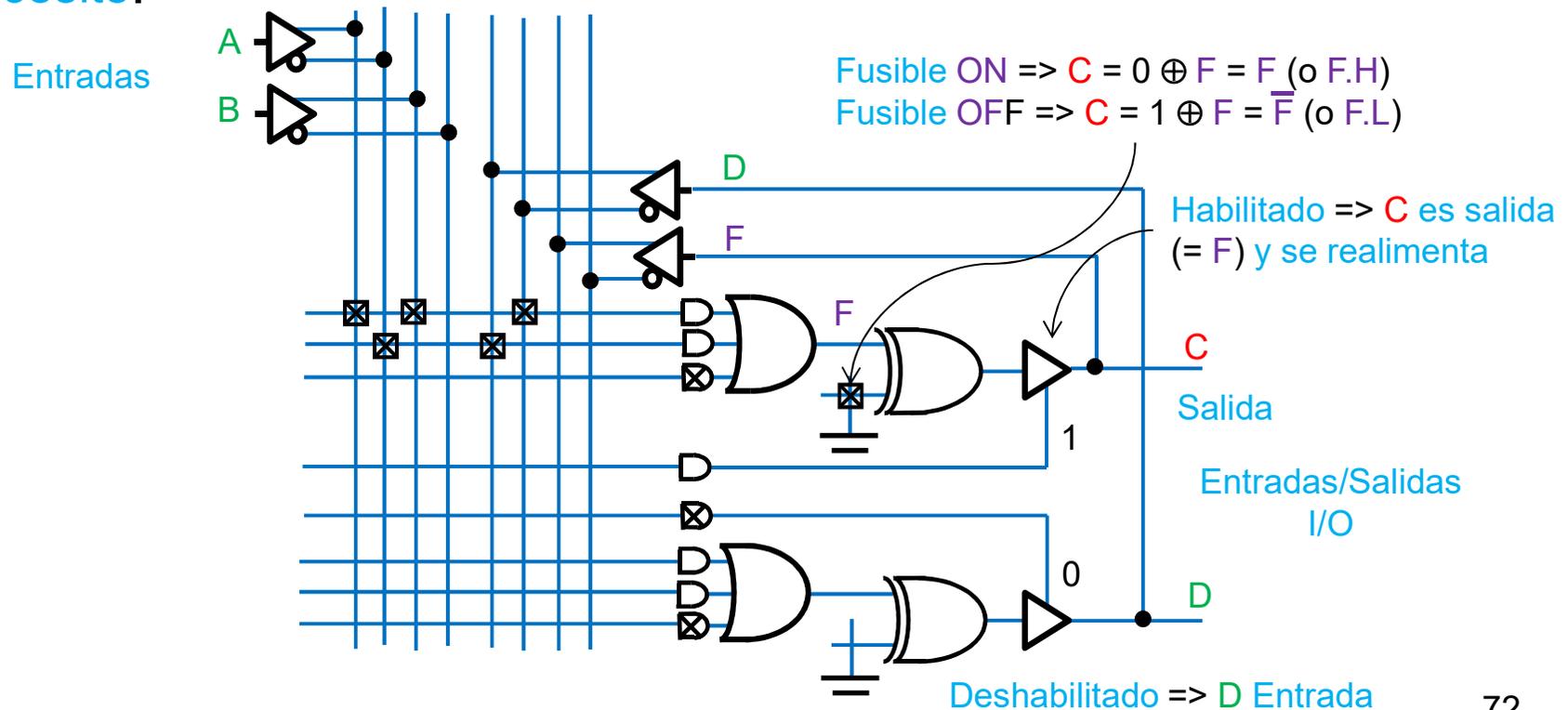
$$F2(A, B, C) = A\bar{B}C + B\bar{C}$$

$$F3(A, B, C) = \bar{A}BC + \bar{B}\bar{C}$$



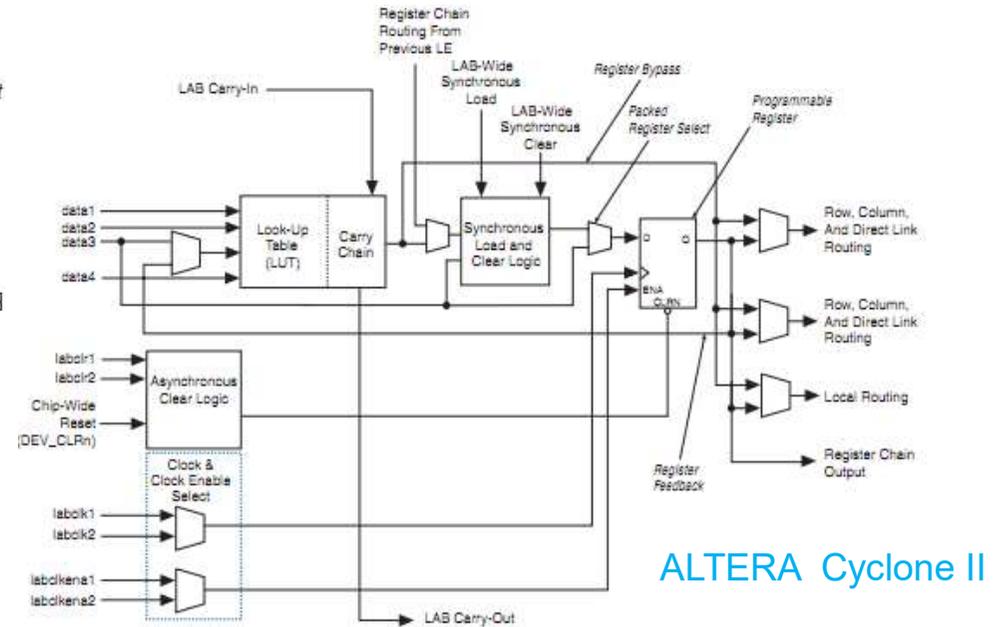
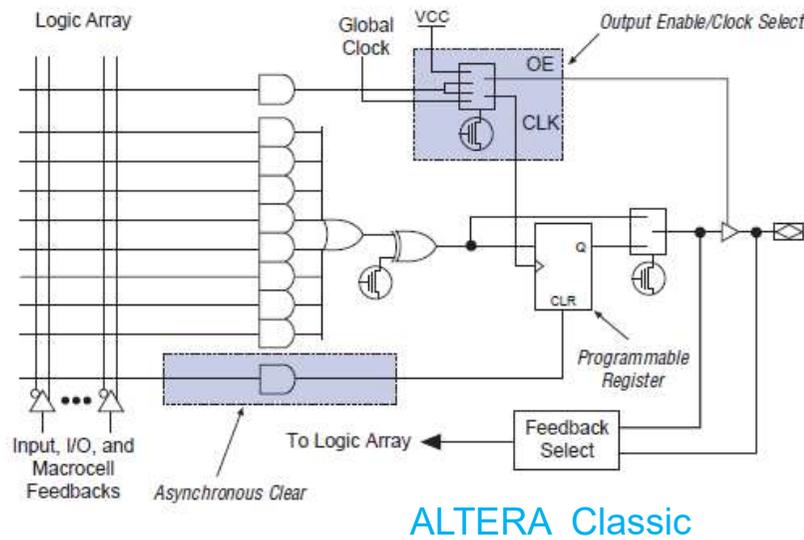
# Circuitos programables

- Las estructuras básicas de PLDs han sido mejoradas en varios aspectos:
  - Posibilidad de programar la polaridad de cada salida (EXOR de salida).
  - Posibilidad de realimentar las salidas dentro del circuito, pudiéndose generar circuitos multinivel (o secuenciales).
  - Posibilidad de usar los pines como pines de entrada o salida según se necesite.



# Circuitos programables

- Las celdas básicas han evolucionado a celdas complejas (CPLDs, FPGAs):



Esquema de interconexiones programables en ALTERA Cyclone II

