

**Grado en Ingeniería de Tecnologías de Telecomunicación.  
Electrónica Digital I. Problemas resueltos. Tema IV.**

**Página 1\_1. Un flip-flop "S-R Set-dominante" difiere del flip-flop S-R normal en que cuando S y R están a valor lógico 1 simultáneamente se realiza la operación de Set. Obtener la tabla de operación, la tabla característica y la ecuación característica del flip-flop, y realizar una implementación como "latch" asíncrono mediante puertas lógicas. Realizar una implementación del circuito como "clocked-latch".**

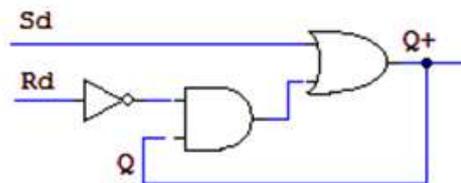
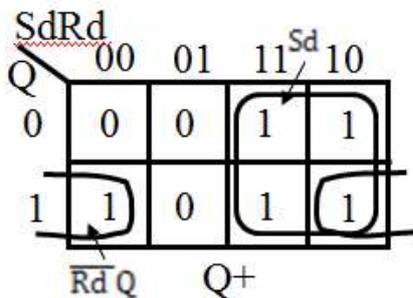
Conociendo la tabla de operación del flip-flop S-R, la tabla de operación del flip-flop "S-R Set-dominante" será la siguiente, donde  $Q^+$  es 1 cuando las dos entradas SD y RD (en vez de S y R) están activas a la vez.

Sd	Rd	Q+
0	0	Q
0	1	0
1	0	1
1	1	1

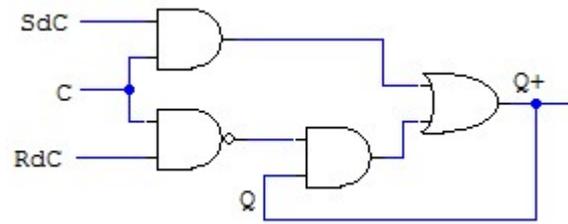
De la tabla de operación genero la tabla característica:

Sd	Rd	Q	Q+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Y con una mapa de Karnaugh obtengo la ecuación característica  $Q^+ = Sd + \overline{Rd}Q$ , y de ella obtengo el circuito asíncrono.



Para generar el circuito "clocked-latch" añado una señal de reloj C, que cuando esté a 0 haga que el flip-flop mantenga el valor, y cuando C esté a 1 haga que el flip-flop funcione como un SdRd. El método intuitivo es generar un circuito de forma que cuando  $C = 0$ ,  $Sd = Rd = 0$ , lo que provocará  $Q^+ = Q$ . Si supongo que el "clocked-latch" tiene  $SdC$  y  $RdC$  como entradas, hago  $Sd = SdC$  y  $Rd = RdC$ , con lo que  $Q^+ = Sd + \overline{Rd}Q = SdC + \overline{RdC}Q$ . El circuito quedaría así:

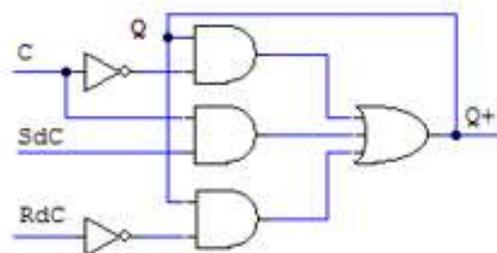
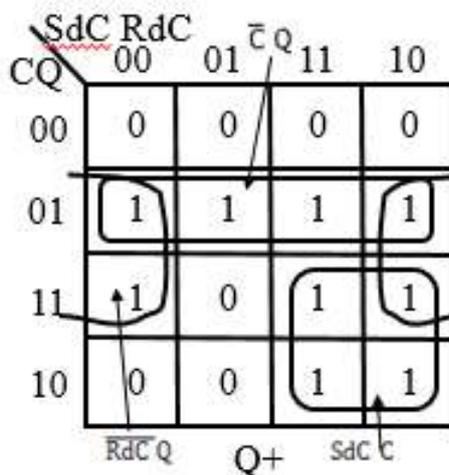


Si se quiere hacer el circuito más detallado se podría suponer una tabla de operación extendida, en la que se incluye el reloj C como otra entrada más.

C	SdC	RdC	Q+
0	X	X	Q
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	1

De la que saco la siguiente tabla característica y de su mapa de Karnaugh la función  $Q+ = SdC C + RdC Q + \bar{C} Q$ , que es equivalente a la función calculada anteriormente.

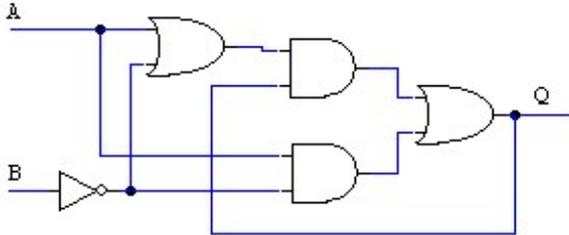
C	SdC	RdC	Q	Q+
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



Los circuitos asíncronos han sido desarrollados como “circuitos combinacionales realimentados”, y sin usar técnicas de diseño de circuitos asíncronos, por lo que el circuito podría funcionar mal. En concreto, en la simulación de este circuito en Circuit Maker el circuito

oscila cuando  $SdC = RdC = 1$ , y C pasa de 1 a 0. Este error se debe a la aparición de un peligro entre las casillas 7 y 15 del mapa. Si se añade el término  $SdC Q$  en la función lógica, el peligro queda cubierto y el circuito no oscila. También se producen oscilaciones en algunos casos cuando cambian varias entradas a la vez.

**Página 1\_2. Dado el siguiente circuito digital, encontrar la tabla característica y la tabla de operación del flip-flop correspondiente.**



Dado el esquema del circuito se puede obtener la función lógica  $Q^+ = F(A, B, Q)$ , donde  $Q^+$  es la salida del circuito y  $Q$  es la realimentación de  $Q^+$  como entrada de las puertas lógicas. Estudiando el circuito queda:

$$Q^+ = (A + \bar{B}) Q + A \bar{B}$$

De la función calculo su tabla de verdad, que es la tabla característica.

A	B	Q	Q+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Para generar la tabla de operación, tomo las filas de dos en dos en la tabla característica y, con los mismos valores de A y B, comparo  $Q^+$  con Q.  $Q^+$  puede ser Q (iguales), 1 (dos 1s), 0 (dos 0s) y  $\bar{Q}$  (valores complementados). La tabla de operación queda:

A	B	Q+
0	0	Q
0	1	0
1	0	1
1	1	Q

**Página 1\_3. Diseñar un flip-flop tal que se cargue en su salida Q el valor de una entrada SR o el valor de una entrada SL en función del valor de una entrada de control K (0 carga SR, 1 carga SL). Indicar la tabla de operación, la tabla característica y realizar una implementación “clocked-latch” en base a un “latch” S-R.**

La tabla de operación del problema se puede escribir como:

K	SR	SL	Q+
0	0	X	0
0	1	X	1
1	X	0	0
1	X	1	1

El valor X en una entrada indica que la operación no depende de ella.

De la tabla de operación obtengo la tabla de característica, y sobre ella obtengo los valores de las entradas S y R para construir el flip-flop K-SR-SL con un "latch" S-R. Los valores de S y R se obtienen de su tabla de excitación (diapositiva 23 de teoría).

Q	=>	Q+	S	R
0	=>	0	0	$\phi$
0	=>	1	1	0
1	=>	0	0	1
1	=>	1	$\phi$	0

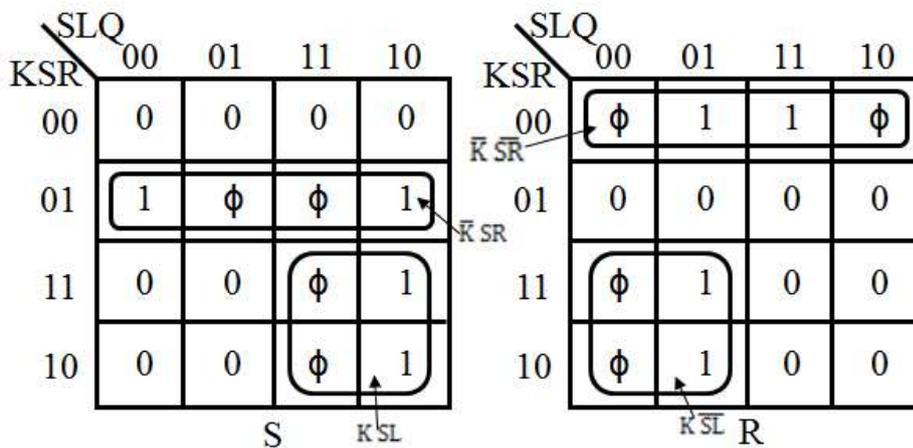
Por lo que la tabla característica, y los valores de S y R quedan:

K	SR	SL	Q	Q+	S	R
0	0	X	0	0	0	$\phi$
0	0	X	1	0	0	1
0	1	X	0	1	1	0
0	1	X	1	1	$\phi$	0
1	X	0	0	0	0	$\phi$
1	X	0	1	0	0	1
1	X	1	0	1	1	0
1	X	1	1	1	$\phi$	0

Paso los valores de S y R a mapas de Karnaugh y calculo:

$$S = F1(K, SR, SL, Q) = \bar{K} SR + K SL$$

$$R = F2(K, SR, SL, Q) = \bar{K} \bar{S} R + K \bar{S} \bar{L}$$

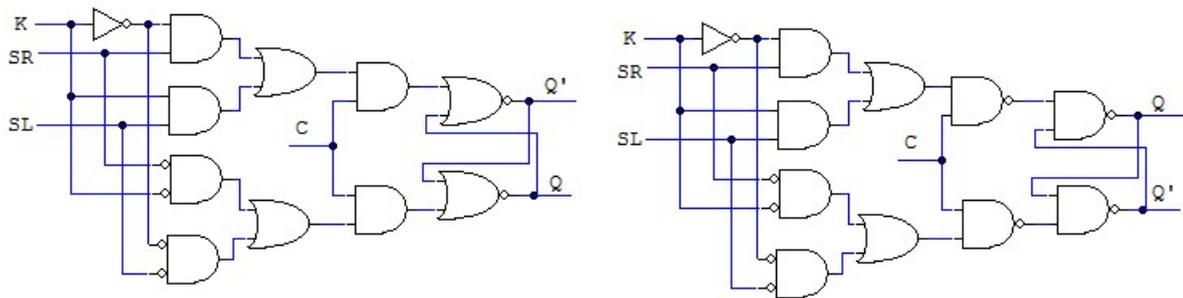


Para realizar el circuito hay que incluir una señal de reloj. Pasar de un “latch” S-R a un “clocked-latch” S-R se puede hacer intuitivamente haciendo el AND de las funciones lógicas por el reloj C. Así:

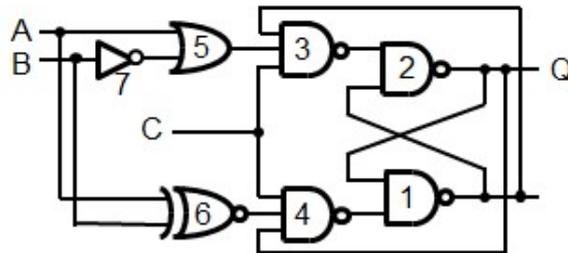
$$S = (\bar{K} SR + K SL) C$$

$$R = (\bar{K} \bar{SR} + K \bar{SL}) C$$

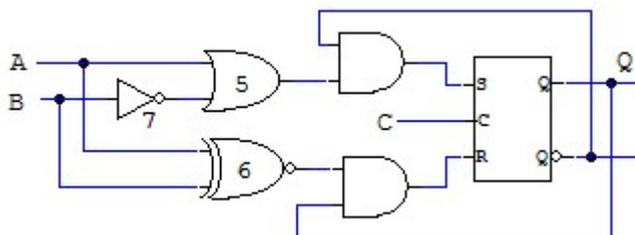
Y diseño el circuito usando un “latch” NAND y NOR.



**Página 2\_1. Explicar a qué tipo de circuito corresponde el siguiente circuito digital. Indicar su tabla característica y su tabla de operación.**



De la figura se puede saber que las puertas 1, 2, 3 y 4 forman una “clocked-latch” S-R, hecho con puertas NAND, con lo que se tiene el siguiente circuito.



S	R	Q+
0	0	Q
0	1	0
1	0	1
1	1	No

Este circuito se puede analizar sabiendo que  $S = (A + \bar{B}) \bar{Q}$ , y  $R = \overline{A \oplus B} \bullet Q$ . A partir de estas ecuaciones calculo la tabla característica del circuito: para cada combinación de A, B y Q obtengo S y R, y con S y R obtengo la operación que hace el flip-flop S-R, que junto el valor actual Q, permite obtener Q+. En todo este cálculo no se utiliza el reloj: si el reloj es 0 se mantiene el valor.

A	B	Q	S	R	(Q+)	Q+
0	0	0	1	0	(1)	1
0	0	1	0	1	(0)	0
0	1	0	0	0	(Q)	0
0	1	1	0	0	(Q)	1
1	0	0	1	0	(1)	1
1	0	1	0	0	(Q)	1
1	1	0	1	0	(1)	1
1	1	1	0	1	(0)	0

De la tabla característica obtengo la tabla de operación, comparando Q+ con Q, como en el problema 1\_2.

A	B	Q+
0	0	$\bar{Q}$
0	1	Q
1	0	1
1	1	$\bar{Q}$

**Página 2\_2. Diseñar un flip-flop A-B tal que, cuando los valores lógicos en las entradas son distintos, su valor se complementa y cuando son iguales la salida se carga con el valor de las entradas. Encontrar la tabla de operación, la tabla característica, y la ecuación característica del flip-flop, y realizar una implementación “clocked-latch” a partir de un “latch” S-R NAND.**

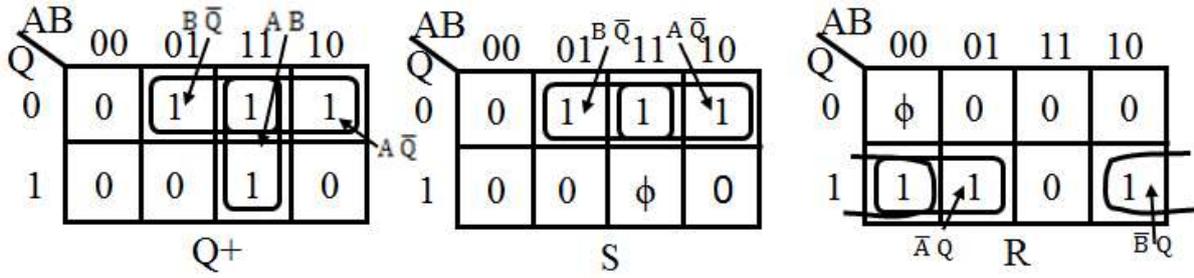
Del enunciado se puede calcular la tabla de operación indicando para cada combinación de valores de las entradas A y B el valor Q+ que se carga en la salida del flip-flop (0, 1, Q,  $\bar{Q}$ ).

A	B	Q+
0	0	0
0	1	$\bar{Q}$
1	0	$\bar{Q}$
1	1	1

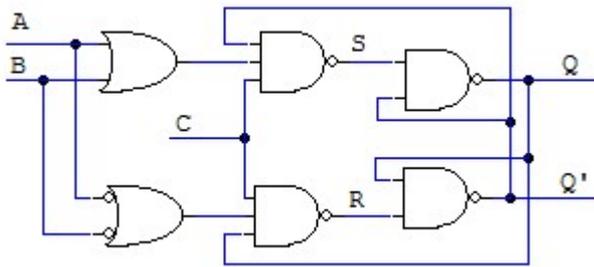
La tabla de operación se expande a la característica, añadiendo el valor actual de la salida Q como entrada y, con ayuda de un mapa de Karnaugh se obtiene la ecuación característica. Para realizar la implementación como “clocked-latch” obtengo los valores que hay que fijar en las entradas S y R, según las transiciones  $Q \Rightarrow Q+$  de la tabla característica y la tabla de excitación del S-R, que ya se usó en el problema 1\_3.

A	B	Q	Q+	S	R
0	0	0	0	0	$\phi$
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	1	0	1	1	0
1	1	1	1	$\phi$	0

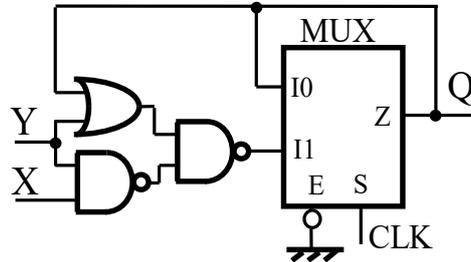
Q	$\Rightarrow$	Q+	S	R
0	$\Rightarrow$	0	0	$\phi$
0	$\Rightarrow$	1	1	0
1	$\Rightarrow$	0	0	1
1	$\Rightarrow$	1	$\phi$	0



La ecuación característica queda  $Q^+ = A\bar{Q} + B\bar{Q} + AB$ . Además  $S = \bar{Q}(A + B)$  y  $R = Q(\bar{A} + \bar{B})$ . Se añade el reloj  $C$  para la configuración “clocked-latch” directamente haciendo AND en las expresiones:  $S = \bar{Q}(A + B)C$  y  $R = Q(\bar{A} + \bar{B})C$ . El circuito con puertas lógicas queda:



**Página 3\_1.** Indicar que tipo de circuito es el de la figura, su tabla de operación y su tabla característica, y construir un circuito equivalente en base a un “latch” S-R NOR.



El circuito está hecho con un multiplexor de dos entradas de tal forma que si CLK es 0, en el multiplexor  $S = 0 \Rightarrow Z = I_0 \Rightarrow Q^+ = Q$ : la salida está manteniendo el dato. Si CLK es 1, entonces  $S = 1 \Rightarrow Z = I_1 \Rightarrow Q^+ = F(X, Y, Q) = \overline{(Y + Q)\bar{X}\bar{Y}} = \bar{Y}\bar{Q} + XY$ : la salida se carga con un valor es función del valor las entradas y del valor actual de la salida (ecuación característica). El circuito es un “clocked-latch” con el reloj activo a alto. Calculo su tabla característica usando la ecuación característica y de ella saco la tabla de operación.

X	Y	Q	Q+
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

X	Y	Q+
0	0	$\bar{Q}$
0	1	0
1	0	$\bar{Q}$
1	1	1

También uso la tabla característica para generar los valores de las entradas S y R, para construir el circuito usando un “latch” S-R. Utilizo, como en problemas anteriores, la tabla de excitación del circuito S-R.

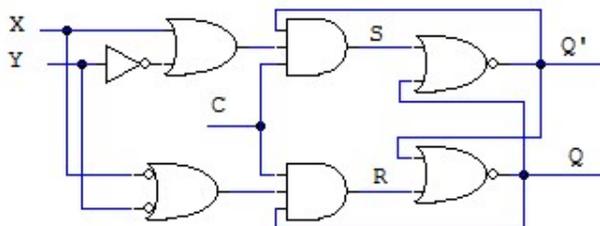
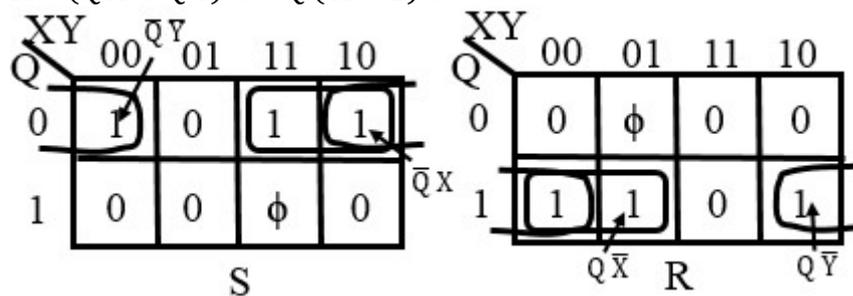
X	Y	Q	Q+	S	R
0	0	0	1	1	0
0	0	1	0	0	1
0	1	0	0	0	φ
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	1	0	1	1	0
1	1	1	1	φ	0

Q	⇒	Q+	S	R
0	⇒	0	0	φ
0	⇒	1	1	0
1	⇒	0	0	1
1	⇒	1	φ	0

Encuentro con los mapas de Karnaugh las funciones lógicas mínimas de S y R, y genero el “clocked-latch” en base a un “latch” S-R hecho con puertas NOR. Añado el reloj C, usando operación AND, como se ha desarrollado en teoría (diapositivas 21 a 26).

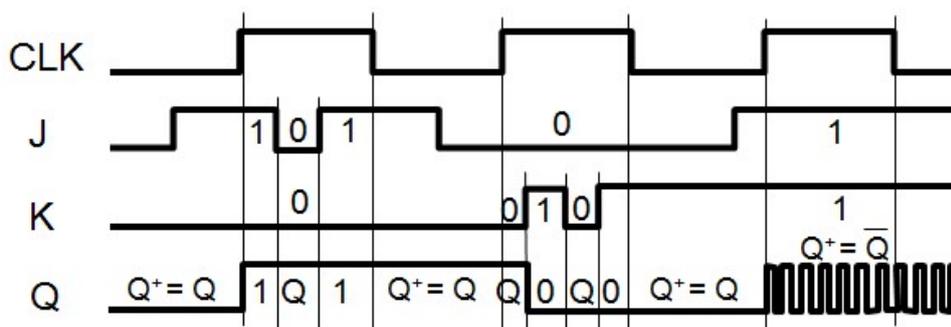
$$S = (\bar{Q}X + \bar{Q}\bar{Y})C = \bar{Q}(X + \bar{Y})C$$

$$R = (Q\bar{X} + QY)C = Q(\bar{X} + Y)C$$



**Página 3\_2. Representar el funcionamiento de un circuito J-K bajo las siguientes señales de entrada, suponiendo inicialmente la salida Q a valor lógico 0 para:**

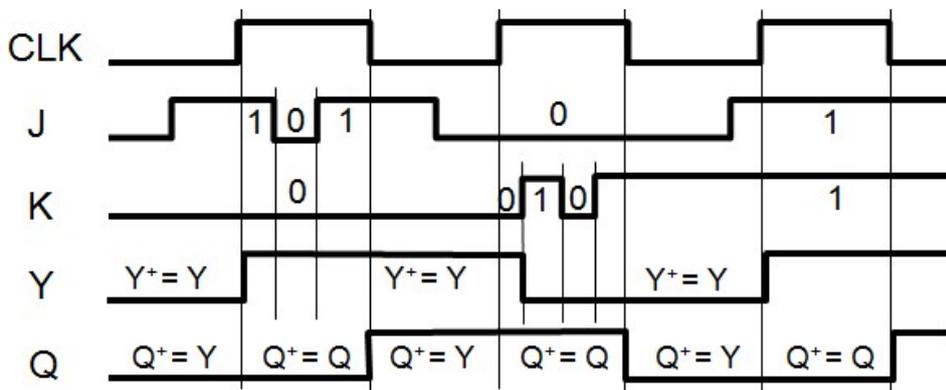
a). "clocked flip-flop" con reloj activo en H.



Cuando el reloj CLK está a valor bajo (inactivo), la salida del “latch” mantiene su valor. Si el reloj está a valor alto (activo), la salida se carga según la tabla de operación del flip-flop J-K (diapositiva 26 de teoría). En los dos primeros ciclos los valores de las entradas JK a 00 ( $Q^+ = Q$ ), 01 ( $Q^+ = 0$ ) y 10 ( $Q^+ = 1$ ), pero en el tercer ciclo los valores de JK a 11 ( $Q^+ = \bar{Q}$ ) producen que el circuito oscile, mientras que el reloj está activo, al estar la salida complementándose continuamente. Cuando el reloj vuelve a 0 la salida podría dejar de oscilar, pero como no podríamos saber a qué valor se fijaría, deberíamos suponer que ese valor es indeterminado, y permanecerá indeterminado hasta que el reloj se active y las entradas JK sean 01 ó 10, que fijan la salida a 0 o a 1.

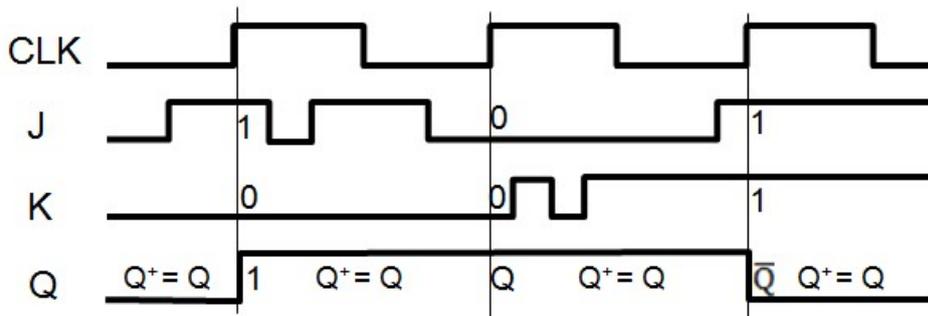
**b). Flip-flop “master-slave” master (slave) activado por el reloj en H (L).**

El problema de la flip-flop J-K “master-slave” es que su funcionamiento depende de la configuración del circuito. Si, por ejemplo, el circuito se construyese a partir de un D “master-slave” con lógica para convertirle en un J-K, el circuito sería básicamente un J-K disparado por flanco, como el del apartado c). Pero si usase un circuito como el de la diapositiva 33 de teoría habría que hacer los cálculos con más detalle para detectar la captura de 1s. Sigo este segundo circuito, donde Y es la salida del “latch master”. La salida Q cambia en los flancos negativos de la señal de reloj.

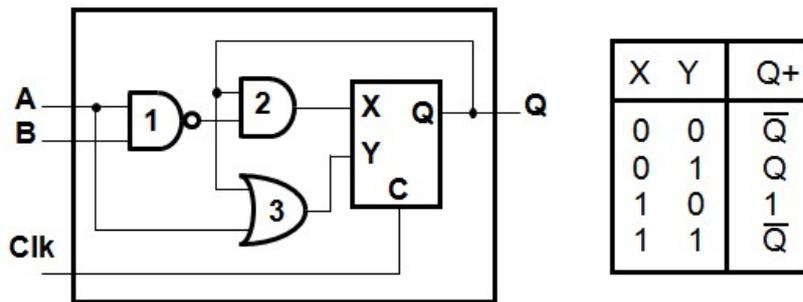


**c). Flip-flop disparado por flanco positivo.**

El flip-flop solo se activa en el flanco positivo de CLK. En ese momento se mira el valor de las entradas y, en función de sus valores y del valor actual (Q) de la salida, se obtiene el nuevo valor de Q ( $Q^+$ ).



Página 4. Dado el circuito de la siguiente figura:

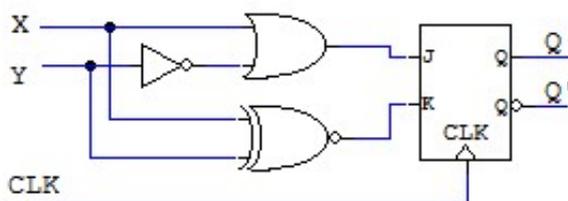
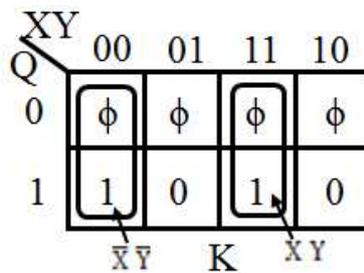
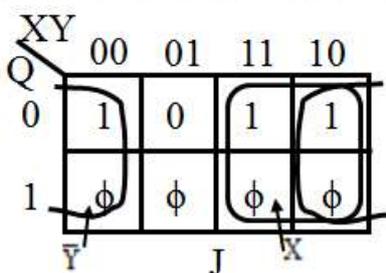


- a) Realizar el diseño de un flip-flop X-Y disparado por flanco positivo en base a un flip-flop J-K disparado por flanco positivo.
- b) Encontrar la tabla de operación del flip-flop A-B.
- c) Suponiendo el flip-flop X-Y disparado por flanco positivo, calcular el tiempo de *setup*, el tiempo de *hold* y el tiempo de propagación del flip-flop A-B según los parámetros temporales del flip-flop X-Y ( $T_p$ ,  $T_{setup}$ ,  $T_{hold}$ ) y de las puertas lógicas ( $t_p$ ).
- d) Realizar la descripción VHDL de los flip-flops X-Y y A-B disparados por flanco positivo.

a) Dada la tabla de operación del flip-flop X-Y, desarrollo su tabla de operación y calculo los valores de las entradas J-K mediante su tabla de excitación (esta tabla está calculada en la diapositiva 26 de teoría).

X	Y	Q	Q+	J	K
0	0	0	1	1	$\phi$
0	0	1	0	$\phi$	1
0	1	0	0	0	$\phi$
0	1	1	1	$\phi$	0
1	0	0	1	1	$\phi$
1	0	1	1	$\phi$	0
1	1	0	1	1	$\phi$
1	1	1	0	$\phi$	1

Q	$\Rightarrow$	Q+	J	K
0	$\Rightarrow$	0	0	$\phi$
0	$\Rightarrow$	1	1	$\phi$
1	$\Rightarrow$	0	$\phi$	1
1	$\Rightarrow$	1	$\phi$	0



Obtengo con mapas de Karnaugh las funciones lógicas de J y K,  $J = X + \bar{Y}$ ;  $K = \bar{X}\bar{Y} + XY = \bar{X} \oplus \bar{Y}$ , y dibujo el circuito. Como los flancos de disparo de los flip-flops X-Y y J-K son iguales, el reloj del X-Y es directamente el reloj del J-K.

b) Este apartado es de análisis del funcionamiento de un flip-flop. El objetivo es encontrar primero tabla característica del flip-flop A-B y de ella su tabla de operación. Se parte del esquema del circuito, del que se puede encontrar  $X = F1(A, B, Q)$ , e  $Y = F2(A, B, Q)$ . Conocidos los valores de X, Y y Q, y conocido la tabla de operación del flip-flop X-Y, se puede calcular el valor de Q+. Ahora A, B, Q y Q+ conforman la tabla característica del flip-flop A-B.

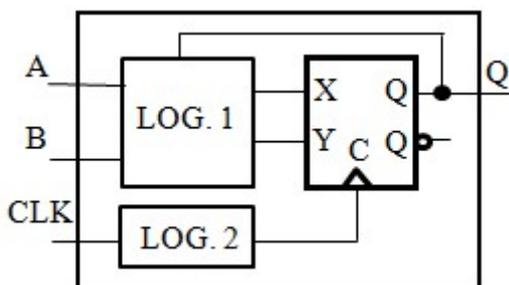
$$X = F1(A, B, Q) = \bar{A}\bar{B}Q = (\bar{A} + \bar{B})Q$$

$$Y = F2(A, B, Q) = A + Q$$

A	B	Q	X	Y	(Q+)	Q+
0	0	0	0	0	( $\bar{Q}$ )	1
0	0	1	1	1	( $\bar{Q}$ )	0
0	1	0	0	0	( $\bar{Q}$ )	1
0	1	1	1	1	( $\bar{Q}$ )	0
1	0	0	0	1	( $\bar{Q}$ )	0
1	0	1	1	1	( $\bar{Q}$ )	0
1	1	0	0	1	( $\bar{Q}$ )	0
1	1	1	0	1	( $\bar{Q}$ )	1

A	B	Q+
0	0	$\bar{Q}$
0	1	$\bar{Q}$
1	0	0
1	1	Q

c) Supongo que hay lógica combinacional (LOGICA1) entre las entradas de datos del flip-flop generado (A-B) y las entradas de datos del flip-flop interno (X-Y), así como (LOGICA2) entre la entrada del reloj del flip-flop generado (A-B) y la entrada de reloj del flip-flop interno (X-Y).



Se pueden calcular los parámetros pedidos como:

- El máximo  $T_p$  de CLK a Q es el máximo  $t_p$  de la lógica 2 más el  $T_p$  del flip-flop X-Y.

$$T_p(A-B) = T_{p_{\max}}(\text{LOGICA2}) + T_p(X-Y) = 0 + T_p(X-Y) = T_p(X-Y)$$

- En el cálculo del  $T_{\text{setup}}$  de A-B a CLK se tiene primero el máximo  $T_p$  de la lógica 1 más el  $T_{\text{setup}}$  del flip-flop X-Y, lo que es el  $T_{\text{setup}}$  entre A-B y C. Como se debe medir con respecto a CLK se puede restar el valor del paso de CLK a C. Como se busca el peor caso, el tiempo que se resta debe ser el mínimo; en nuestro problema no hay lógica 2, por lo que ese tiempo es 0.

$$T_{\text{setup}}(A-B) = T_{p_{\max}}(\text{LOGICA1}) + T_{\text{setup}}(X-Y) - T_{\min}(\text{LOGICA2}) = T_p(\text{NAND1}) + T_p(\text{AND2}) + T_{\text{setup}}(X-Y) - 0 = T_p(\text{NAND1}) + T_p(\text{AND2}) + T_{\text{setup}}(X-Y)$$

- En el cálculo del Thold de CLK a A-B se obtiene primero el máximo  $t_p$  de la lógica 2 más el  $T_{setup}$  del flip-flop X-Y, lo que es el Thold entre X-Y y CLK. Como se debe medir con respecto a A.B se puede restar el valor del paso de A-B a X-Y. Como se busca el peor caso, el tiempo que se resta debe ser el mínimo; en nuestro problema es tiempo sería el de la puerta 3. Como no se conoce un  $T_p$  mínimo de esa puerta, incluso se podría considerar ese tiempo como 0.

$$\text{Thold}(A-B) = T_{p_{\max}}(\text{LOGICA2}) + \text{Thold}(X-Y) - T_{p_{\min}}(\text{LOGICA1}) = 0 + \text{Thold}(X-Y) - T_p(\text{OR3}) = \text{Thold}(X-Y) - T_p(\text{OR3}).$$

**d)** Una descripción VHDL del flip-flop A-B podría ser la siguiente. En la descripción hay que considerar que la operación  $Q^+ = \bar{Q}$  no puede hacerse directamente si Q está definido como salida, por lo que uso una señal interna  $Q\_int$  para hacer las asignaciones de la tabla de operación, que luego cargo en la salida Q.

```
library ieee;
use ieee.std_logic_1164.all;

entity AB_FF is
port (A, B, Clk: in std_logic;
      Q: out std_logic);
end AB_FF;

architecture uno of AB_FF is
signal Q_int : std_logic; -- Salida interna en el FF
begin
process(Clk) -- En disparos por flanco solo las
              -- entradas de reloj activan el proceso
variable AB : std_logic_vector( 2 downto 1);
begin
if ( clk'event and clk = '1' ) then
  AB := A & B;
  case AB is
    when "00" => Q_int <= not Q_int;
    when "01" => Q_int <= not Q_int;
    when "10" => Q_int <= '0';
    when others => null; -- No hace nada: mantiene Q
  end case;
end if;
end process;
Q <= Q_int;
end uno;
```

Para hacer un flip-flop XY habría que cambiar la sentencia case, y los nombres de las señales A, B por X, Y), por ejemplo, por:

```
case XY is
  when "01" => null;
  when "10" => Q_int <= '1';
  when others => Q_int <= not Q_int;
end case;
```

**Página 5.** Se desea diseñar un sumador serial, de forma que los bits de los operandos entren en serie del menos significativo al más significativo y, en cada ciclo se genere el bit de salida y se almacene el acarreo generado que se utilizará como acarreo de entrada para el siguiente bit. Se pide diseñar un flip-flop que permita almacenar los acarreo a lo largo de la suma serial.

- a). Mostrar la tabla característica, la tabla de operación, la ecuación característica, la descripción VHDL del citado flip-flop y una implementación con puertas lógicas.
- b). Diseñar el citado flip-flop del tipo “clocked” en base a un “latch” interno S-R NAND.
- c). Diseñar el citado flip-flop en base a un flip-flop cuya tabla de operación es:

X	Y	Q+
0	0	$\bar{Q}$
0	1	1
1	0	No valido
1	1	Q

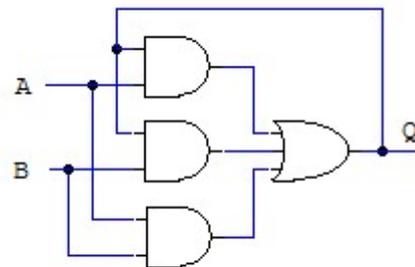
a) Al hacer un sumador hay que pensar en un circuito full-adder de 1 bit que hace la operación aritmética  $A + B + C_i = (C_o S)$ . Si se plantea este circuito de modo serial, hay que pensar en un circuito que, a tiempo  $T_i$ , realiza la operación  $A_i + B_i + C_i = (C_o S_i)$ , y a tiempo  $T_{i+1}$  realiza  $A_{i+1} + B_{i+1} + C_{i+1} = (C_{o+1} S_{i+1})$ , donde el acarreo de salida del tiempo anterior  $i$  se convierte en el acarreo de entrada del tiempo  $i+1$  ( $C_{i+1} = C_o$ ). Si se piensa en este circuito como un flip-flop, donde  $C_o = Q+$ , el valor que se carga en su salida, entonces  $C_i$  es  $Q$ , el valor actual del flip-flop, y  $Q+ = F(A, B, Q)$ . La ecuación característica es fácil de obtener ya que corresponde la función lógica del acarreo de salida de un “full-adder”, que se obtuvo en la diapositiva 36 del tema IIIb.

$$Q+ = A B + A Q + B Q \quad (\text{sustituyendo } C_i \text{ por } Q \text{ y } C_o \text{ por } Q+).$$

De la ecuación característica obtengo la tabla característica (dos o más 1s en las tres entradas generan 1 en la salida, uno o ningún 1 en las entradas generan 0 en la salida), y de esta obtengo la tabla de operación.

A	B	Q	Q+
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

A	B	Q+
0	0	0
0	1	Q
1	0	Q
1	1	1



```
architecture clocked_sum of AB_FF is
begin
process(Clk,A,B)
variable AB: std_logic_vector(2 downto 1);
begin
if ( clk = '1' ) then
AB := A & B;
case AB is
when "00" => Q <= '0';
when "11" => Q <= '1';
when others => null; -- Mantiene Q
end case;
end if;
end process;
end clocked_sum;
```

```
architecture edge_sum of AB_FF is
begin
process(Clk)
variable AB: std_logic_vector(2 downto 1);
begin
if ( clk'event and clk = '1' ) then
AB := A & B;
case AB is
when "00" => Q <= '0';
when "11" => Q <= '1';
when others => null; -- Mantiene Q
end case;
end if;
end process;
end edge_sum;
```

```

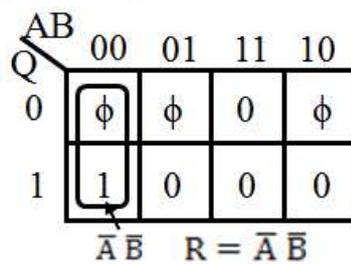
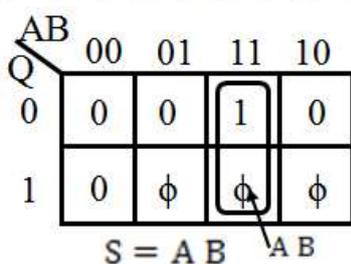
architecture MS_sum of AB_FF is
signal Y: std_logic := '0';
begin
process (Clk,A,B,Y)
variable AB: std_logic_vector(2 downto 1);
begin
if ( clk = '1' ) then
AB := A & B;
case AB is
when "00" => Y <= '0';
when "11" => Y <= '1';
when others => null; -- Mantiene Y
end case;
else Q <= Y;
end if;
end process;
end MS_sum;
    
```

La descripción VHDL utiliza la misma *entity* que el problema anterior. Sobre ella desarrollo tres *architecture* dependiendo del tipo de reloj: “clocked-latch” (clocked\_sum), “master\_slave” (MS\_sum) y disparado por flanco positivo (edge\_sum).

b) Para generar un circuito “clocked-latch” con “latch” S-R NAND, uso la tabla característica del flip-flop A-B y la tabla de excitación del flip-flop S-R, calculo la tabla de verdad de S y R en función de A, B y Q, encuentro las funciones lógicas con mapas de Karnaugh, añado el reloj, y genero el circuito.

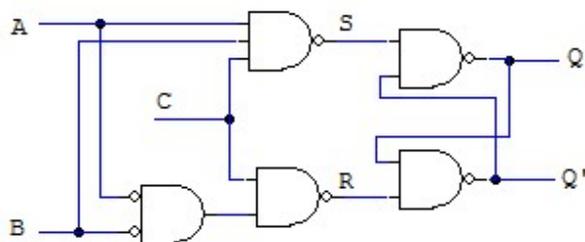
A	B	Q	Q+	S	R
0	0	0	0	0	φ
0	0	1	0	0	1
0	1	0	0	0	φ
0	1	1	1	φ	0
1	0	0	0	0	φ
1	0	1	1	φ	0
1	1	0	1	1	0
1	1	1	1	φ	0

Q	=>	Q+	S	R
0	=>	0	0	φ
0	=>	1	1	0
1	=>	0	0	1
1	=>	1	φ	0



$$S = (A B) C$$

$$R = (\bar{A} \bar{B}) C$$

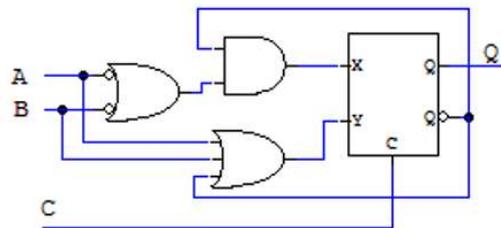
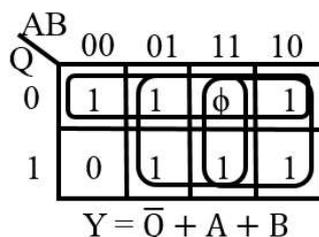
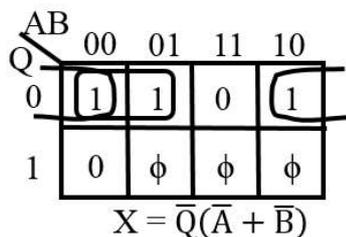


c) Para hacer esta parte hay que repetir el apartado b) pero con un nuevo flip-flop. Como es un flip-flop no estudiado se necesita la tabla de excitación flip-flop, que hay que calcular a partir de la su tabla de operación.

Op	Q => Q+	X	Y	Op	X	Y
0, Q	0 => 0	1	1	Q	1	1
1, $\bar{Q}$	0 => 1	0	0	$\bar{Q}$	0	$\phi$
		0	1	1		
0, $\bar{Q}$	1 => 0	0	0	$\bar{Q}$	0	0
1, Q	1 => 1	0	1	1	$\phi$	1
		1	1	Q		

Con la tabla característica del flip-flop A-B y la tabla de excitación del X-Y, encuentro las funciones lógicas de X e Y con mapas de Karnaugh, y genero el flip-flop A-B a partir de un flip-flop X-Y.

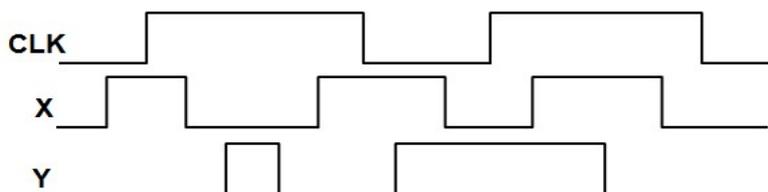
A	B	Q	Q+	X	Y
0	0	0	0	1	1
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	1	$\phi$	1
1	0	0	0	1	1
1	0	1	1	$\phi$	1
1	1	0	1	0	$\phi$
1	1	1	1	$\phi$	1



**Página 6.** Se quiere diseñar un flip-flop cuya entrada Y opere como entrada de tipo D o de tipo T en función del valor lógico de la entrada de selección X (0 tipo D, 1 tipo T).

a) Indicar la tabla de operación y encontrar la ecuación característica del flip-flop. Construir un “clocked-latch” (reloj activo alto) tomando como base un “latch” S-R NAND.

b) Dadas las siguientes formas de onda indicar los valores que toman la salida del “clocked-latch” del apartado (a). Hay que suponer que inicialmente el flip-flop tiene cargado el valor lógico 0.



c) Realizar una descripción VHDL a nivel de comportamiento del flip-flop XY “clocked-latch” del apartado a).

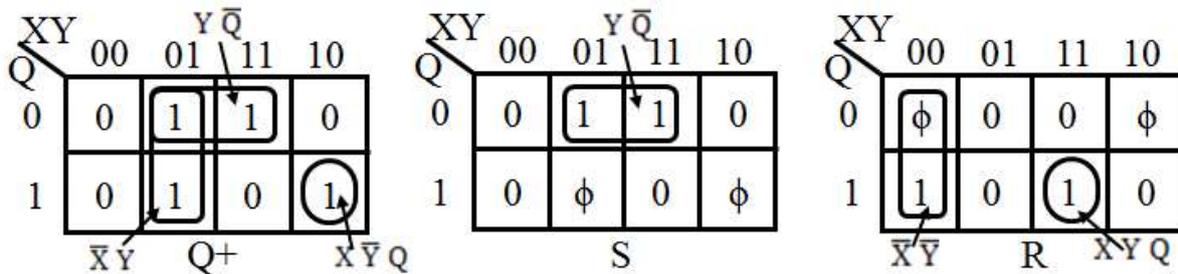
a) La tabla de operación se obtiene del enunciado del problema. Los flip-flops D y T están definidos en las diapositivas 24 y 25 de teoría.

X	Y	Q+
0	0	0
0	1	1
1	0	Q
1	1	Q̄

Ahora genero la tabla característica y, con la tabla de excitación del S-R y con mapas de Karnaugh, genero la ecuación característica y las ecuaciones de S y R, para realizar el flip-flop X-Y en base a un “latch” S-R. Hago intuitivamente el AND de las ecuaciones de S y R con el reloj C para hacer un “clocked-latch”.

X	Y	Q	Q+	S	R
0	0	0	0	0	φ
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	1	φ	0
1	0	0	0	0	φ
1	0	1	1	φ	0
1	1	0	1	1	0
1	1	1	0	0	1

Q	⇒	Q+	S	R
0	⇒	0	0	φ
0	⇒	1	1	0
1	⇒	0	0	1
1	⇒	1	φ	0



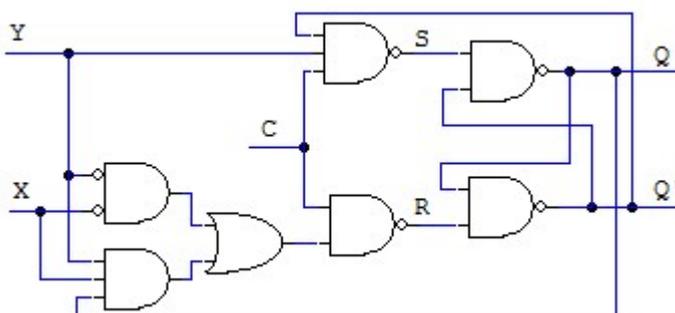
Obtengo las ecuaciones:

$$Q+ = \bar{X}Y + Y\bar{Q} + X\bar{Y}Q$$

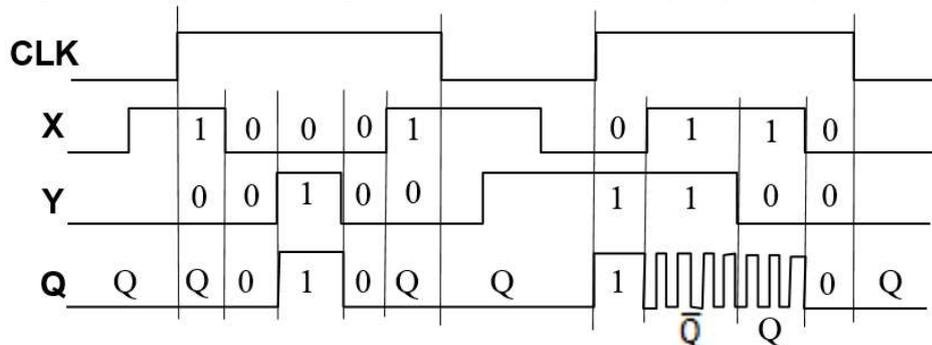
$$S = (Y\bar{Q})C$$

$$R = (\bar{X}\bar{Y} + XYQ)C$$

Y construyo el circuito con un “latch” S-R NAND.



b) Con el reloj a 0 el valor de Q se mantiene; con el reloj a 1 el circuito opera según su tabla de verdad: cuando X es 0 entonces  $Q^+ = Y$ , cuando X es 1 e Y es 0 entonces Q se mantiene, pero cuando X es 1 e Y es 1, Q se complementa, lo que implica que el circuito oscilará ya que el sistema de reloj es de tipo “clocked”. Cuando el circuito oscila y se hace Y a 0 otra vez, el circuito debería mantener el dato, es decir oscilará al simular, aunque en un circuito real podría llegar a un estado estable, que no se conoce en principio, por lo que el valor sería indeterminado.



c) En la descripción VHDL hay que incluir en la arquitectura una señal Q\_int que equivale a la salida Q, la operación del circuito se carga en la señal Q\_int, lo que permite usar la sentencia  $Q\_int \leq \text{not } Q\_int$  ( $Q \leq \text{not } Q$  es ilegal, al ser Q salida). Luego, al final de la arquitectura, la señal Q\_int se carga en Q ( $Q \leq Q\_int$ ).

```
library ieee;
use ieee.std_logic_1164.all;

entity Pagina6 is
port (X, Y, Clk: in std_logic;
      Q: out std_logic);
end Pagina6;

architecture clocked of Pagina6 is
signal Q_int: std_logic := '0';
begin
process (Clk,X,Y,Q_int)
begin
if ( clk = '1' ) then
  if ( X = '0' ) then
    Q_int <= Y;
  elsif ( Y = '1' ) then
    Q_int <= not Q_int;
  end if;
end if;
end process;
Q <= Q_int;
end clocked;
```

**Página 7\_1. Diseñar un flip-flop "D master-slave" utilizando únicamente dos multiplexores de dos entradas.**

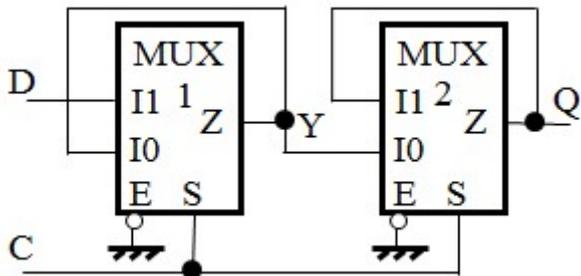
**Calcular el tiempo de propagación, de setup y de hold del circuito en función de los tiempos de propagación del multiplexor: Tpd (tiempo de propagación desde las entradas de datos) y Tps (tiempo de propagación desde la entrada de selección).**

Un circuito “D clocked-latch” puede construirse con un multiplexor como en el problema de la página 3\_1: si C es 1, Q es D y si no Q mantiene el valor. El circuito “D master-slave” tiene

dos “D clocked-latch” con la señal de reloj cambiada; el “clocked-latch master” genera una señal intermedia Y tal que, si C es 1, Y es D y si no Y mantiene el valor, y en el “clocked-latch slave” si C es 1 entonces Q mantiene el valor y si no Q es Y. Se puede comparar con el funcionamiento de un multiplexor de dos entradas: si S es 0, entonces Z es I0, y si no Z es I1.

S	Z	C	Y+	Q+
0	I0	0	Y	Y
1	I1	1	D	Q

El circuito queda así:

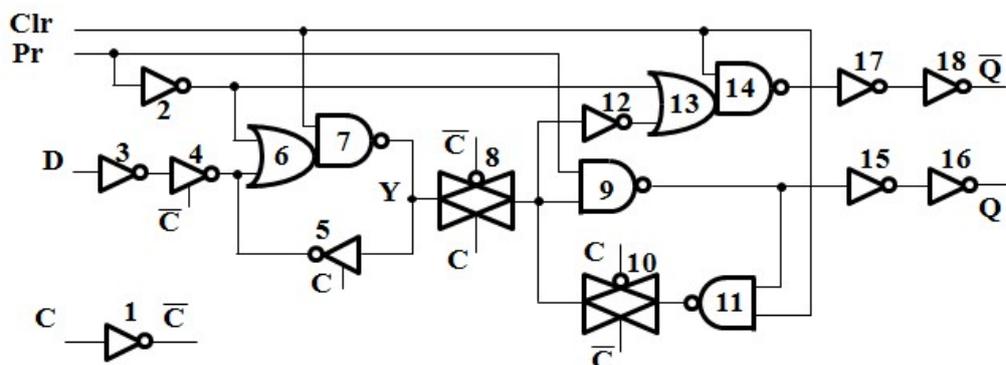


El tiempo de propagación se mide de C a Q. Cuando se aplica a C un flanco negativo, el valor de Y pasa a Q, con lo que Q puede cambiar. En el circuito eso supone que en el multiplexor 2 un cambio en S hace cambiar Z. Luego  $T_p = T_{ps}$ .

El tiempo de *setup* se mide de D a C. Con C a 1, un cambio en D debe propagarse por el circuito y estabilizarse antes de que C pueda cambiar a 0. Un cambio en D pasa a Y en el MUX1 ( $T_{pd}$ , de I1 a Z), y el cambio Y se podría propagar por I0 de MUX1 y MUX2. Este segundo cambio no se propaga hasta las salidas de los multiplexores, ya que el valor de S lo impide, pero como no conozco el tiempo necesario para estabilizarse en el interior de los multiplexores, asumo como peor caso el tiempo máximo de propagación  $T_{pd}$ . Luego  $T_{setup} = 2 T_{pd}$ .

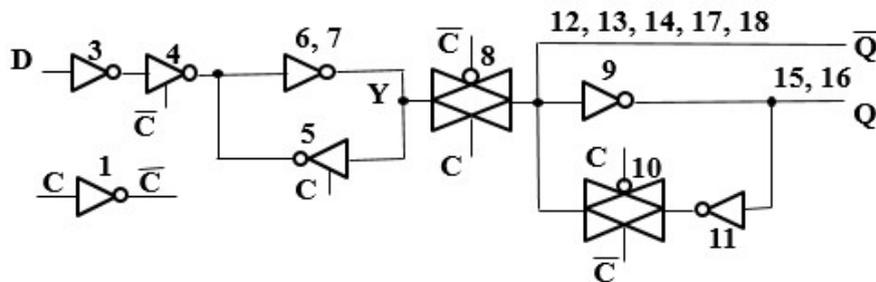
El tiempo de *hold* se mide de C a D. Al hacer un flanco negativo en C el circuito debe quedar insensible a D antes de poder cambiar su valor. Con los datos que tenemos, puedo suponer que una vez que esperemos  $T_{ps}$ , en MUX1 la salida depende del valor de I0 y no de I1, luego ya se puede cambiar D. Luego  $T_{hold} = T_{ps}$ .

**Página 7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.**

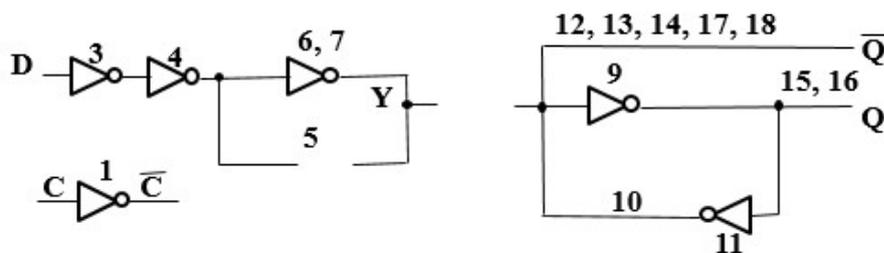


El circuito parece un circuito D “master-slave” con señales de control Clear (o Reset, Clr) y de Preset (o Set, Pr). C es la señal de reloj y D la entrada de datos.

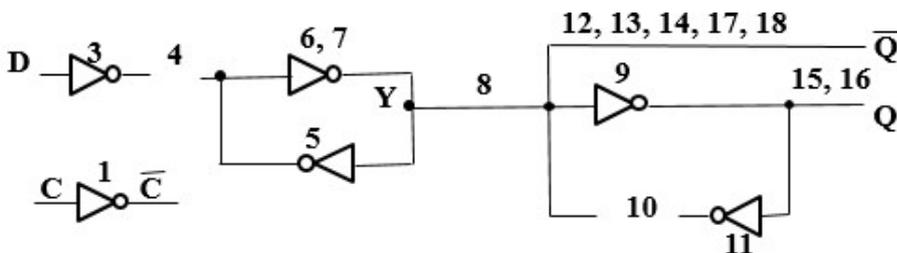
Cuando  $Clr = Pr = 1$ , las entradas conectadas a las entradas de las puertas 6, 7, 9, 11, 13 y 16 están a valores no controlantes (0 en OR y NOR:  $X + 0 = X$ ; 1 en AND y NAND:  $X \cdot 1 = X$ ) por lo que el circuito puede simplificarse. Además, elimino los pares de inversores en cascada, cuando es posible para simplificar la visión del circuito.



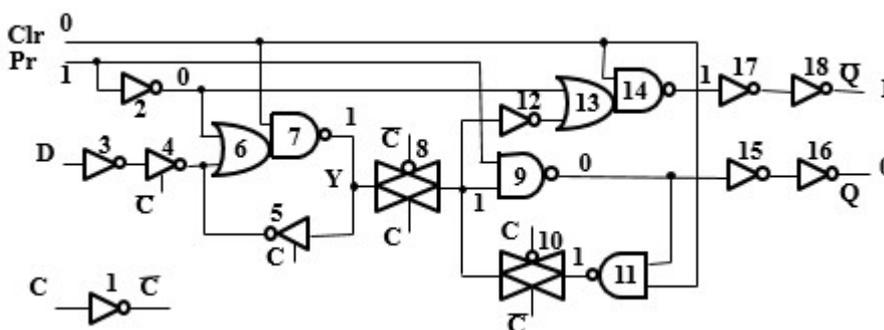
Sobre este circuito cuando C es 0, el inversor triestado 5 y la llave de paso 8 están OFF, y el inversor 4 y la llave de paso 10 están ON.  $Y = \bar{D}$ , y Q se mantiene.



Cuando C es 1, el inversor triestado 5 y la llave de paso 8 están ON, y el inversor 4 y la llave de paso 10 están ON. Y mantiene el valor y  $Q = \bar{Y}$ . Como en el cambio de fase de reloj  $Y = \bar{D}$ , entonces  $Q = \bar{\bar{D}} = D$ .

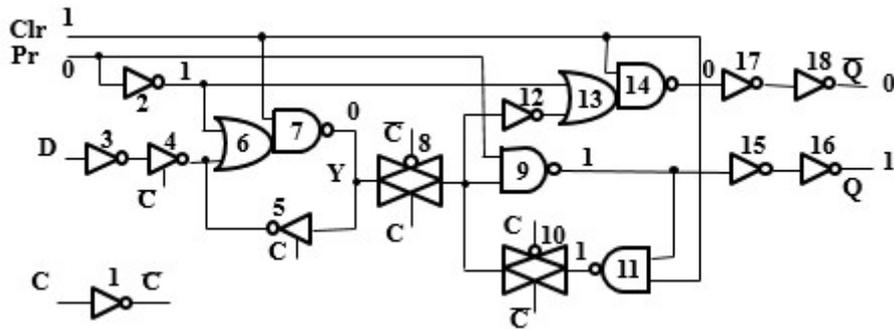


El circuito es, por tanto, un flip-flop “D master-slave” con el reloj activo bajo, ya que la entrada D se lee cuando C es 0. El funcionamiento del circuito es equivalente a un circuito disparado por flanco positivo: se lee el último valor de D antes del flanco positivo, y la salida cambia al aplicarse el flanco. Además, el circuito tiene entradas de control Clr y Pr que examino ahora.

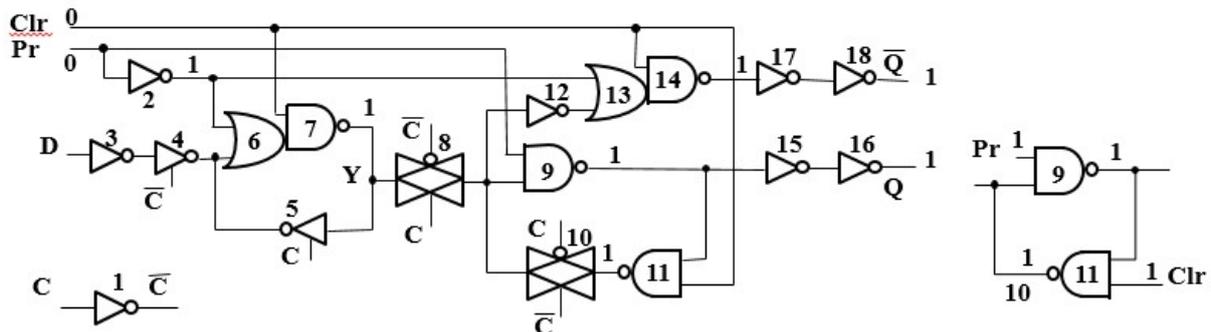


Cuando  $Clr = 0$  y  $Pr = 1$ , las salidas de la puerta 7 (Y), 11 y 14 ( $\bar{Q}$ ) son 1. Como una de las llaves 8 ó 10 tiene que estar ON y  $Pr = 1$ , las dos entradas de la puerta 9 son 1, por lo que Q es 0. Se hace una operación de *reset*.

Cuando  $Clr = 1$  y  $Pr = 0$ , las puertas 13 y 14 se fijan  $\bar{Q}$  a 1, las puertas 6 y 7 fijan Y a 0, y la puerta 9 fija Q a 1. Se realiza una operación de *set*.



Cuando  $Clr = Pr = 0$ , y operando las puertas lógicas, Y,  $\bar{Q}$  y Q son 1; además, la salida de la puerta 11 también es 1. Esto puede producir que si Clr y Pr pasan a la vez a 1 suceda como en “latch” S-R (diapositiva 18 de teoría) y el circuito se comporte de forma anómala. Por ejemplo, con  $C = 0$  las puertas 9 y 11 tienen los valores que se muestran en la figura, que pueden evolucionar de diferente manera. Por ello, esta situación no debería permitirse.



Del comportamiento del circuito según los valores de Clr y Pr concluyo que son señales asíncronas de control activas a valor bajo. Muestro a continuación la tabla de operación del circuito y su símbolo lógico como flip-flop master-slave. Los valores en minúsculas en la tabla indican que se leen en un flanco positivo del reloj.

Clr	Pr	D	Q
L	H	X	L
H	L	X	H
L	L	X	No
H	H	l	L
H	H	h	H

