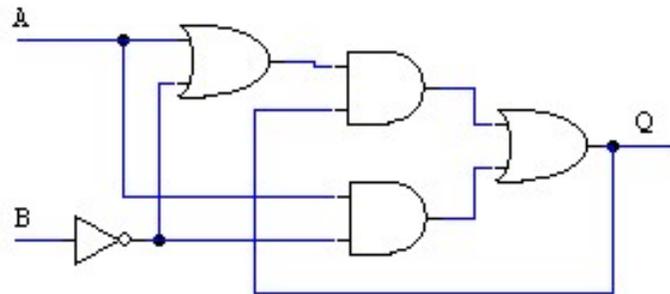


Problemas propuestos

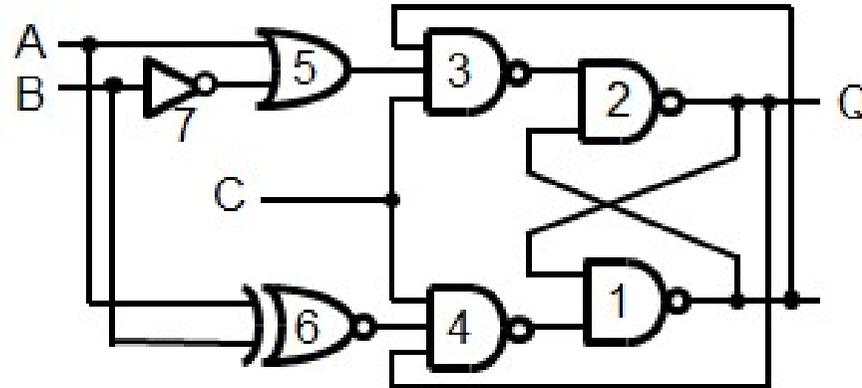
- 1.1. Un flip-flop "S-R Set-dominante" difiere del flip-flop S-R normal en que cuando S y R están a valor lógico 1 simultáneamente se realiza la operación de Set. Obtener la tabla de operación, la tabla característica y la ecuación característica del flip-flop, y realizar una implementación como latch asíncrono mediante puertas lógicas. Realizar una implementación del circuito como "clocked-latch".
- 1.2. Dado el siguiente circuito digital, encontrar la tabla característica y la tabla de operación del flip-flop correspondiente.



- 1.3. Diseñar un flip-flop tal que se cargue en su salida Q el valor de una entrada SR o el valor de una entrada SL en función del valor de una entrada de control K (0 carga SR, 1 carga SL). Indicar la tabla de operación, la tabla característica y realizar una implementación "clocked-latch" en base a un latch S-R.

Problemas propuestos

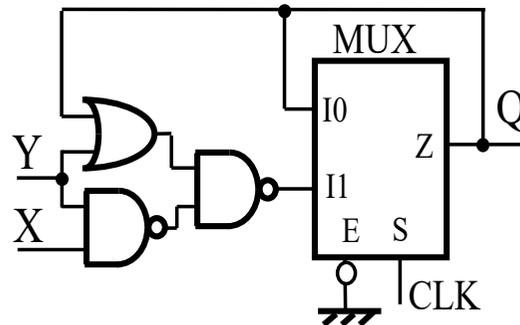
- 2.1. Explicar a qué tipo de circuito corresponde el siguiente circuito digital. Indicar su tabla característica y su tabla de operación.



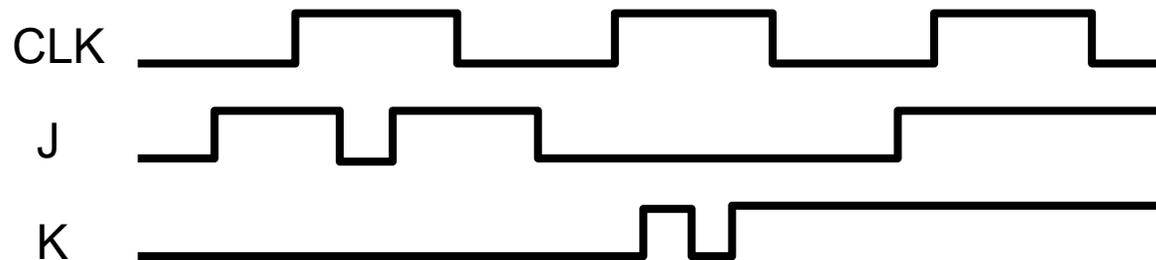
- 2.2. Diseñar un flip-flop A-B tal que, cuando los valores lógicos en las entradas son distintos, su valor se complementa y cuando son iguales la salida se carga con el valor de las entradas. Encontrar la tabla de operación, la tabla característica, y la ecuación característica del flip-flop, y realizar una implementación “clocked-latch” a partir de un “latch” S-R NAND

Problemas propuestos

- 3.1. Indicar que tipo de circuito es el de la figura, su tabla de operación y su tabla característica, y construir un circuito equivalente en base a un "latch" S-R NOR.

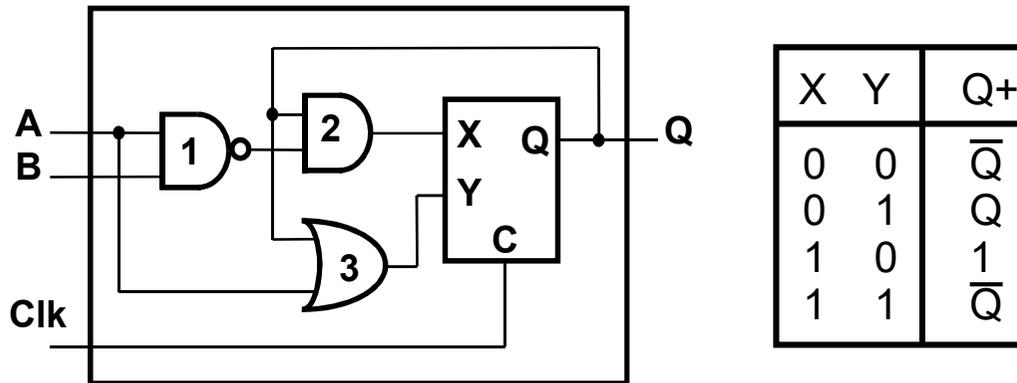


- 3.2. Representar el funcionamiento de un circuito J-K bajo las siguientes señales de entrada, suponiendo inicialmente la salida Q a valor lógico 0 para:
- "clocked flip-flop" con reloj activo en H.
 - flip-flop "master-slave" master (slave) activado por el reloj en H (L).
 - flip-flop disparado por flanco positivo.



Problemas propuestos

4.1. Dado el circuito de la siguiente figura:



- Realizar el diseño de un flip-flop X-Y disparado por flanco positivo en base a un flip-flop J-K disparado por flanco positivo.
- Encontrar la tabla de operación del flip-flop A-B.
- Suponiendo el flip-flop X-Y disparado por flanco positivo, calcular el tiempo de setup, el tiempo de hold y el tiempo de propagación del flip-flop A-B según los parámetros temporales del flip-flop X-Y (T_p , T_{setup} , T_{hold}) y de las puertas lógicas (t_p).
- Realizar la descripción VHDL de los flip-flops X-Y y A-B disparados por flanco positivo.

Problemas propuestos

5.1. Se desea diseñar un sumador serial, de forma que los bits de los operandos entren en serie del menos significativo al más significativo y, en cada ciclo se genere el bit de salida y se almacene el acarreo generado que se utilizará como acarreo de entrada para el siguiente bit. Se pide diseñar un flip-flop que permita almacenar los acarreos a lo largo de la suma serial.

a). Mostrar la tabla característica, la tabla de operación, la ecuación característica, la descripción VHDL del citado flip-flop y una implementación con puertas lógicas.

b). Diseñar el citado flip-flop del tipo “clocked” en base a un latch interno S-R NAND.

c). Diseñar el citado flip-flop en base a un flip-flop cuya tabla de operación es:

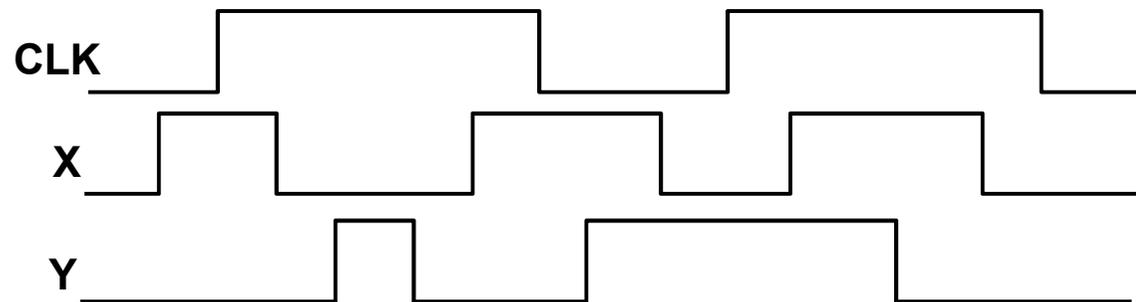
X	Y	Q+
0	0	\bar{Q}
0	1	1
1	0	No valido
1	1	Q

Problemas propuestos

6.1. Se quiere diseñar un flip-flop cuya entrada Y opere como entrada de tipo D o de tipo T en función del valor lógico de la entrada de selección X (0 tipo D, 1 tipo T).

a) Indicar la tabla de operación y encontrar la ecuación característica del flip-flop. Construir un clocked-latch (reloj activo alto) tomando como base un latch S-R NAND.

b) Dadas las siguientes formas de onda indicar los valores que toman la salida del clocked-latch del apartado (a). Hay que suponer que inicialmente el flip-flop tiene cargado el valor lógico 0.



c) Realizar una descripción VHDL a nivel de comportamiento del flip-flop XY clocked-latch del apartado a).

Problemas propuestos

7.1. Diseñar un flip-flop "D master-slave" utilizando únicamente dos multiplexores de dos entradas.

Calcular el tiempo de propagación, de setup y de hold del circuito en función de los tiempos de propagación del multiplexor: T_{pd} (tiempo de propagación desde las entradas de datos) y T_{ps} (tiempo de propagación desde la entrada de selección).

7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.

