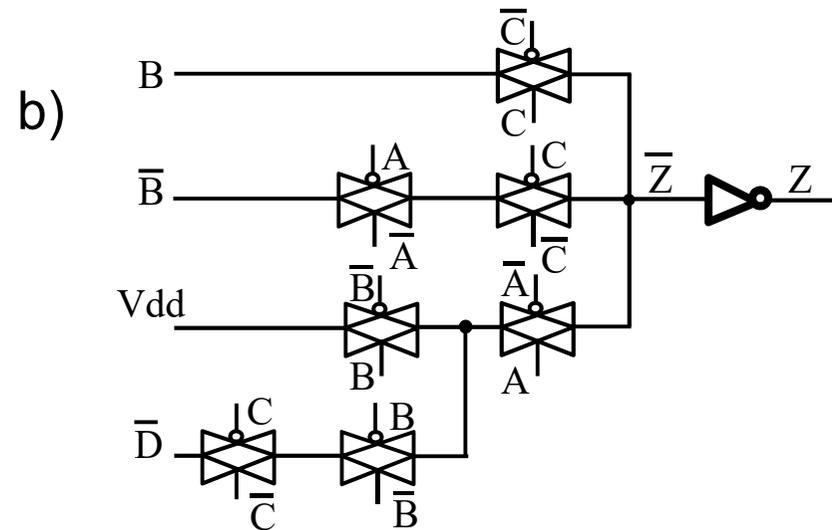
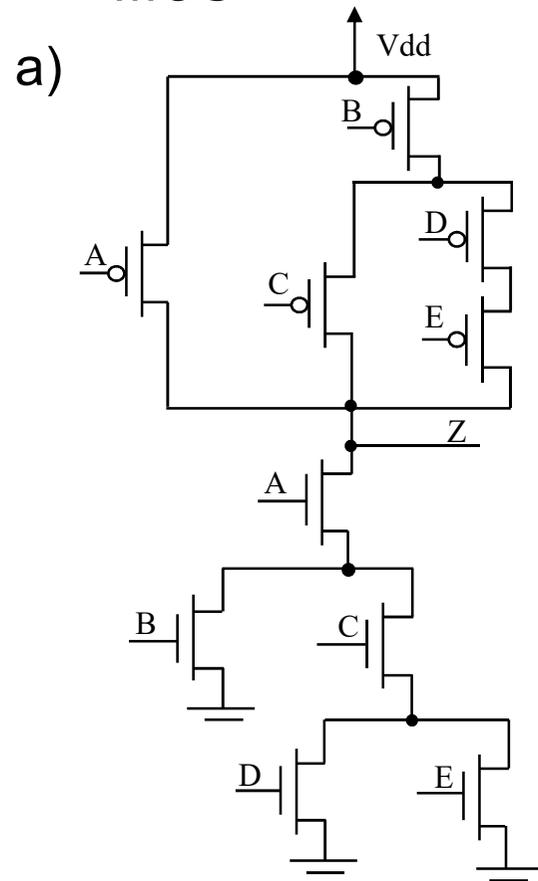


Problemas propuestos

1.1. Encontrar la función lógica que realizan los siguientes circuitos MOS



1.2. Diseñar las siguientes funciones lógicas usando circuitos CMOS

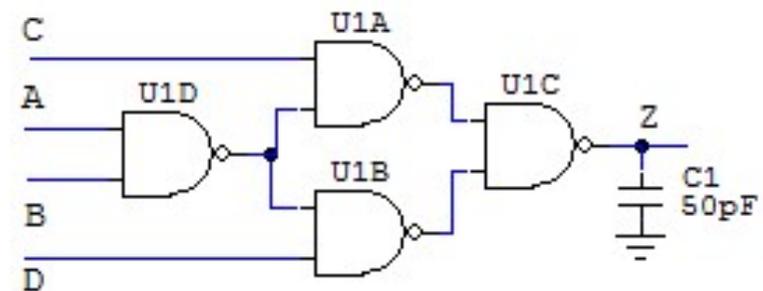
a) $F(A,B,C,D,E) = \overline{A B + C (D + E)}$

b) $F(A,B,C,D,E) = \overline{(A + B) (C + D) + E}$

- 2.1. Dados los parámetros estáticos típicos de las puertas TTL y de las puertas 4000 CMOS y suponiendo $V_{cc} = 5V$. ¿Está garantizado el correcto funcionamiento del circuito si se conectan las salidas de puertas de una tecnología a las entradas de puertas de la otra?
- 2.2. La salida de una puerta de tipo LS TTL está conectada a tres entradas de puertas de tipo LS TTL. ¿A cuántas puertas de tipo S TTL se puede conectar?
- 2.3. El tiempo de propagación de una puerta HCMOS está dada por una expresión $t_p(C_r) = t_p(C_l) + K (C_r - C_l)$, donde C_l y C_r son la capacidad de la carga de referencia y la carga real, respectivamente. $K = 0.5 V_{cc}/I_{OS}$, donde V_{cc} es la tensión de alimentación e I_{OS} la intensidad de salida en cortocircuito para esa V_{cc} . Obtener el tiempo de propagación máximo del siguiente circuito para $V_{cc} = 5V$, $I_{OS} = 20 \text{ mA}$, $t_{phl}(15\text{pF}) = t_{plh}(15\text{pF}) = 15\text{ns}$, y la capacidad de una entrada $C_{in} = 10 \text{ pF}$.

Obtener la potencia disipada por el circuito, suponiendo que todas las puertas son del mismo circuito "Quad 2-input NAND 74HC00".

Suponer que la frecuencia F de operación de A y B es de 1 Mhz, $I_{cc}(\text{max}) = 2\mu\text{A}$ (intensidad estática en la fuente) y la capacidad interna de cada puerta es $C_{pd} = 20\text{pF}$.



3.1. Dada la siguiente tabla de valores de tensión para entradas A, B y C y salida F (H valor de tensión más alto, L valor de tensión más bajo), indicar en notación decimal como suma de minterms o como producto de maxterms la función lógica correspondiente cuando:

A	B	C	F
L	L	L	H
L	L	H	L
L	H	L	H
L	H	H	H
H	L	L	L
H	L	H	L
H	H	L	L
H	H	H	H

- a) A.H, B.H, C.H y F.H.
- b) A.L, B.L, C.L y F.L.
- c) A.L, B.H, C.L, y F.H.

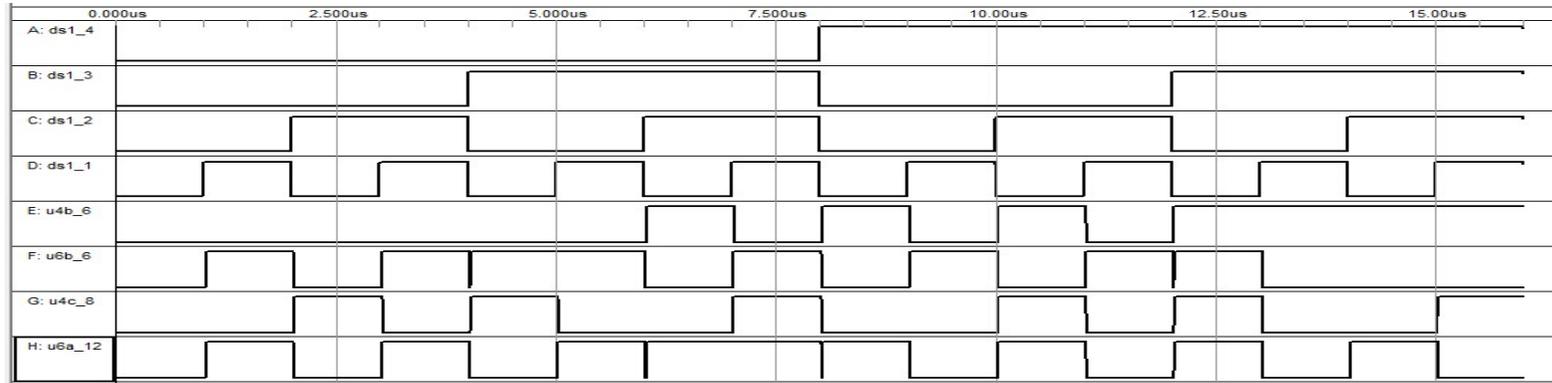
3.2. Dada la función lógica descrita en notación decimal:

$$F(A,B,C) = \sum(0,2,4,5,7)$$

representar la tabla de valores de tensión (valores H y L) para:

- a) A.H, B.H, C.H y F.H.
- b) A.L, B.L, C.L y F.L.
- c) A.L, B.H, C.L, y F.H

4.1. Indicar la tabla de verdad (en notación decimal) y las formas SOP mínimas de un circuito digital partir de la siguiente simulación analógica para las entradas A.L, B.H, C.L y D.H y las salidas E.L, F.H, G.H y H.L (de arriba hacia abajo en la figura A, B, C, D, E, F, G y H).

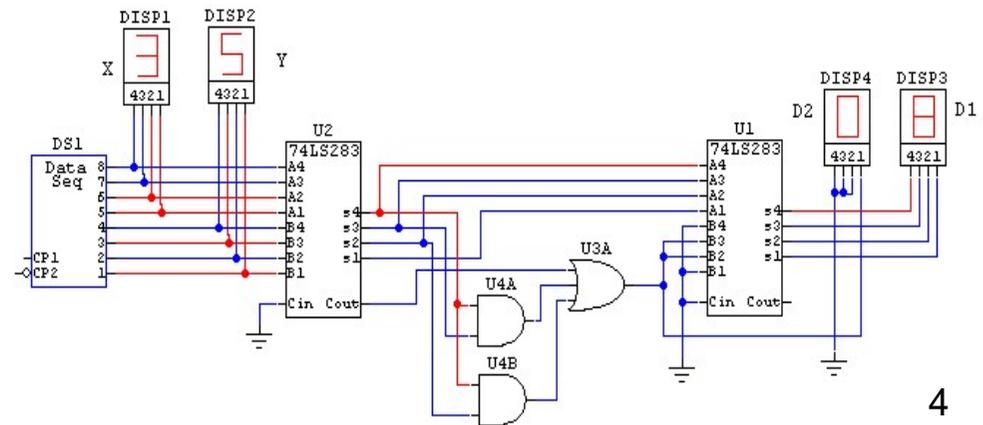


4.2. Indicar el tiempo de propagación del circuito de la figura usando los tiempos de propagación máximo de sus componentes.

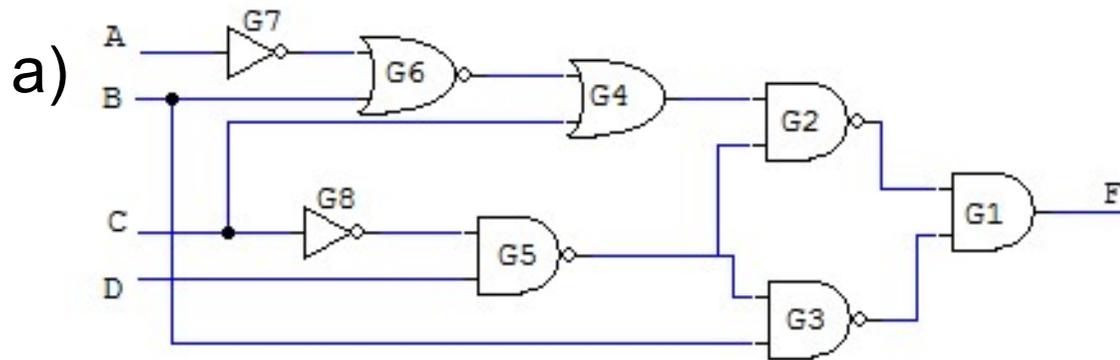
	t _{plh}	t _{phl}
OR	22 ns	22 ns
AND	15 ns	20 ns

AC CHARACTERISTICS (TA = 25°C)

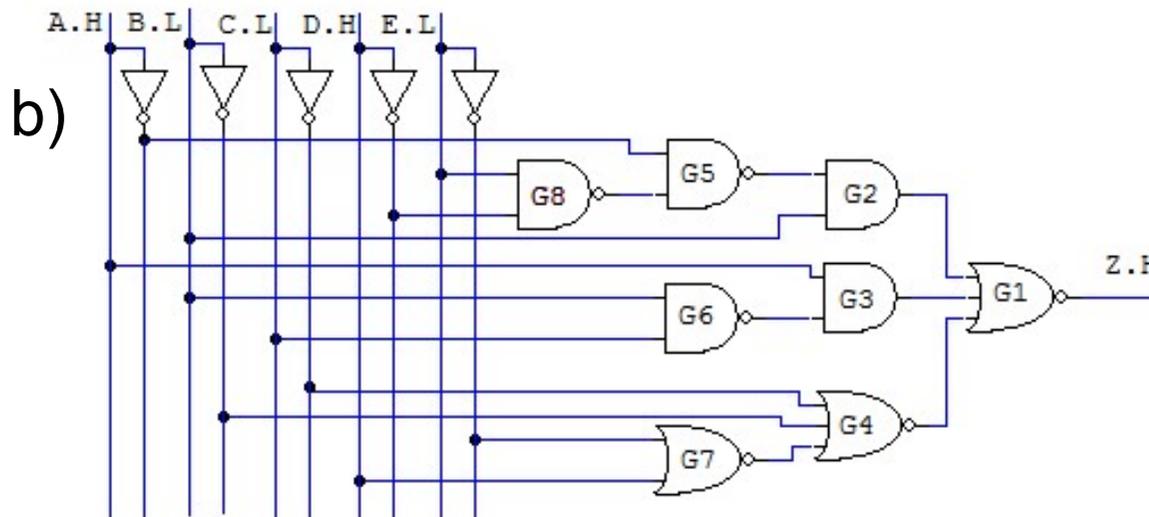
Symbol	Parameter	Limits			Unit
		Min	Typ	Max	
t _{PLH}	Propagation Delay, C0 Input to any Σ Output		16	24	ns
t _{PHL}	Propagation Delay, Any A or B Input to Σ Outputs		15	24	ns
t _{PLH}	Propagation Delay, C0 Input to C4 Output		11	17	ns
t _{PHL}	Propagation Delay, Any A or B Input to C4 Output		15	22	ns
t _{PLH}	Propagation Delay, Any A or B Input to C4 Output		11	17	ns
t _{PHL}	Propagation Delay, Any A or B Input to C4 Output		12	17	ns



5.1. Encontrar las expresiones lógicas factorizadas correspondiente a los siguientes circuitos digitales. Encontrar el tiempo máximo de propagación del circuito teniendo en cuenta los tiempos de propagación de las puertas lógicas, indicando los valores que hay que fijar en las entradas del circuito.



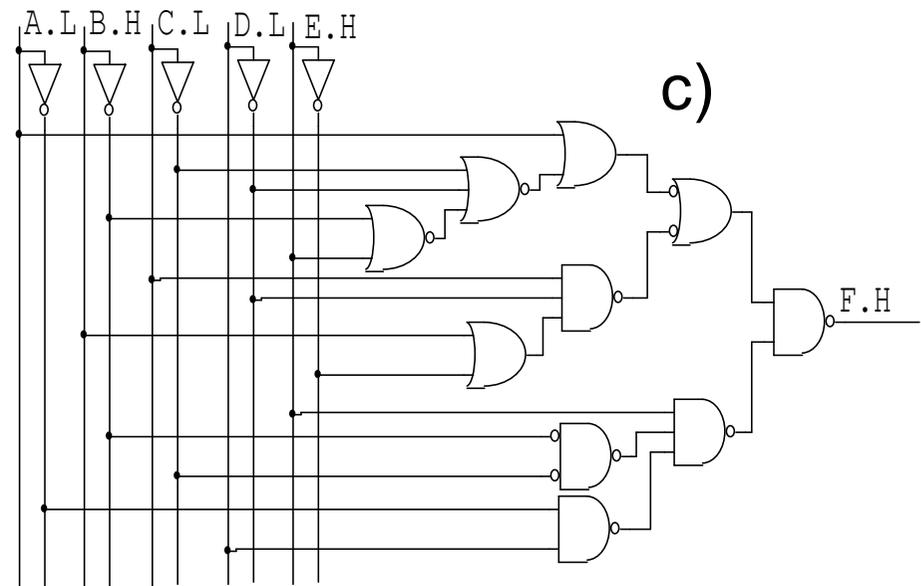
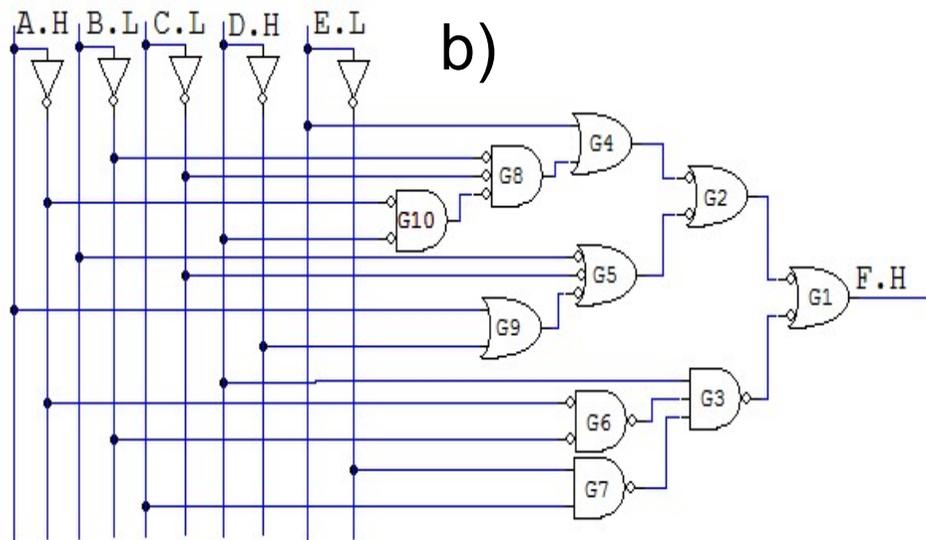
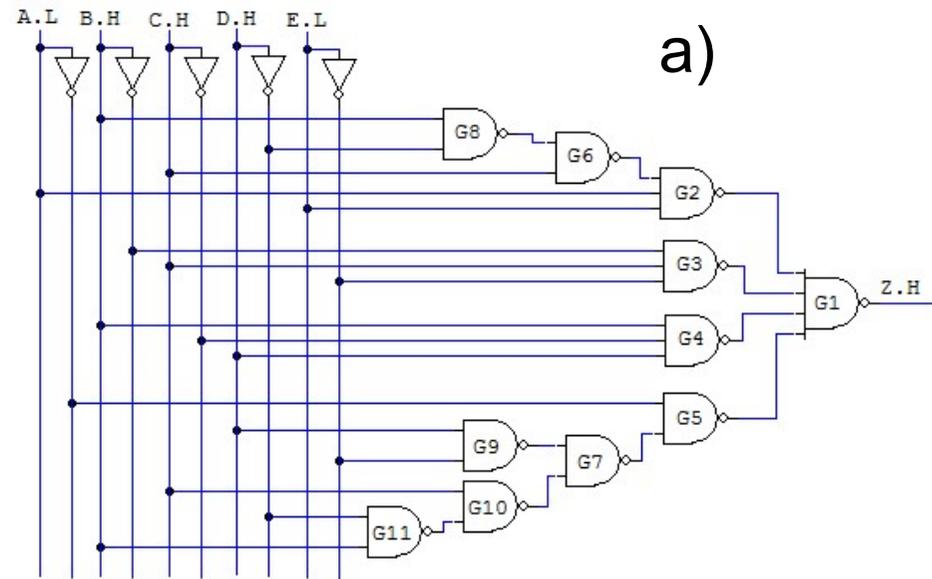
	t _{plh} :	t _{phl} :
NOT	8 ns	7 ns
OR	14 ns	14 ns
NAND	9 ns	10 ns
NOR	10 ns	10 ns
AND	8 ns	12 ns



	t _{plh} :	t _{phl} :
NOT	10 ns	9 ns
NAND	14 ns	14 ns
NOR2	12 ns	10 ns
NOR3	15 ns	17 ns
AND	15 ns	20 ns

6.1. Encontrar la expresión lógica factorizada correspondiente a los siguientes circuitos digitales.

Suponiendo que todas las puertas tienen el mismo tiempo de propagación t_p , encontrar el camino crítico y los valores en las entradas que permiten su activación.



7.1. Obtener una implementación libre de peligros de las siguientes funciones lógicas:

a) $F(A, B, C, D) = \sum(0, 2, 3, 5, 7, 8, 12, 13)$

b) $F(A, B, C, D) = \prod(1, 2, 4, 5, 6, 7, 12, 15)$

c) $F(A, B, C, D, E) = \sum(7, 8, 9, 12, 13, 14, 19, 23, 24, 27, 29, 30) +$
 $+ \sum \emptyset (1, 10, 17, 26, 28, 31)$

d) $F(A, B, C, D, E) = \sum(0, 1, 2, 5, 9, 10, 13, 21, 25, 27, 29) +$
 $+ \sum \emptyset (3, 7, 11, 14, 15, 17, 18, 20, 22, 26, 30, 31)$

e) $F(A, B, C, D, E) = \sum(5, 6, 8, 9, 13, 15, 16, 19, 20, 22, 25, 27, 28, 31) +$
 $+ \sum \emptyset (3, 4, 11, 12, 14, 18, 21, 24)$

8.1. Realizar una implementación en dos niveles de las siguientes funciones, utilizando en notación (Primer Nivel/Segundo Nivel) las puertas lógicas indicadas, y puertas lógicas NOT solo en las implementaciones que sea absolutamente necesario: NAND/NAND, NOR/NOR; OR/AND; AND/NOR.

a) $F.L = [F(A, B, C)].L = [AB + \bar{B}C + \bar{A}\bar{C}].L$, con A.L, B.L y C.H.

b) $F.L = [F(A, B, C)].L = [(A + \bar{B} + \bar{C})(B + C)(\bar{A} + B)].L$, con A.H, B.H y C.L.

c) $F.L = [F(A, B, C, D)].L = [\bar{A}\bar{C}D + B\bar{C}D + AB\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{D}].L$,
con A.L, B.H, C.L y D.H.

d) $F.H = [F(A, B, C, D)].H = [(\bar{B} + C + D)(B + \bar{D})(\bar{A} + C)(\bar{A} + \bar{B})].H$,
con A.L, B.L, C.L y D.H.

e) $F.H = [F(A, B, C, D, E)].H = [\bar{A}BDE + \bar{A}\bar{B}\bar{D}E + \bar{A}\bar{C}E + \bar{B}\bar{C}E + \bar{C}\bar{D}].H$,
con A.L, B.H, C.H, D.H y E.L.

9.1. Realizar una implementación en dos niveles de las siguientes funciones, utilizando en notación (Primer Nivel/Segundo Nivel) las puertas lógicas indicadas, y puertas lógicas NOT sólo en las implementaciones que sea absolutamente necesario: NAND/NAND, NOR/NOR; OR/AND; AND/NOR.

a)
$$F1(A, B, C) = B\bar{C} + \bar{B}\bar{C} + A\bar{B}C + \bar{A}BC$$

$$F2(A, B, C) = B\bar{C} + A\bar{B}C$$

$$F3(A, B, C) = \bar{B}\bar{C} + \bar{A}BC$$
 Para A.H, B.L, C.L, F1.L, F2.H y F3.L.

b)
$$F1(A, B, C, D) = \bar{A}\bar{B}C + \bar{A}C\bar{D} + \bar{B}C\bar{D}$$

$$F2(A, B, C, D) = \bar{A}C\bar{D} + A\bar{D}$$

$$F3(A, B, C, D) = \bar{B}C\bar{D} + A\bar{D}$$
 Para A.L, B.L, C.H, D.H, F1.H, F2.L y F3.H.

c)
$$F1(A, B, C, D) = (\bar{A} + \bar{B} + \bar{C}) \cdot (\bar{A} + B + D) \cdot (A + B + D) \cdot (\bar{B} + C)$$

$$F2(A, B, C, D) = (\bar{A} + B + D) \cdot (\bar{B} + C) \cdot (B + C)$$

$$F3(A, B, C, D) = (\bar{A} + \bar{B} + \bar{C}) \cdot (A + B + D) \cdot (B + C)$$
 Para A.L, B.H, C.L, D.H, F1.H, F2.L y F3.L.

10.1. Diseñar usando solamente puertas NAND y solamente puertas NOR el circuito correspondiente a las siguientes expresiones lógicas factorizadas:

a) $Z.L = [(\bar{A} + B) (\bar{C} + D) + E \bar{F}].L$ para A.H, B.H, C.L, D.L, E.L, F.H

b) $Z.H = (A \bar{B} + \bar{C} D) E + F$, para A.L, B.H, C.L, D.H, E.H, F.L

c) $Z.L = \bar{B} C (A + E) + D (AE + B \bar{C}) + \bar{A} \bar{D} \bar{E}$, para A.H, B.L, C.L, D.H, E.H

d) $Z.H = [C + (A + B) DE] [D + E + AB]$ para A.L, B.H, C.H, D.L, E.L

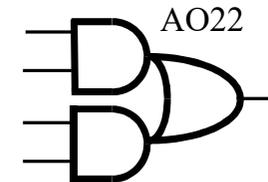
e) $Z.L = (A + (B + C) (D + E)) \cdot ((F + G) (\bar{B} + \bar{E}) + \bar{A})$

para A.L, B.L, C.H, D.H, E.L, F.H, G.L

10.2. Como resultado de una minimización multinivel se han generado las siguientes expresiones lógicas:

$$F1 = (C + (\bar{A} + B) \cdot (\bar{D} + E)) \cdot (\bar{C} + (B + \bar{E}) \cdot (A + D))$$

$$F2 = (\bar{C} + (\bar{A} + B) \cdot (\bar{D} + E)) \cdot (C + \bar{B} \cdot (\bar{A} + \bar{D}))$$



Implementar las expresiones lógicas dadas para F1 y F2 utilizando el menor número de elementos lógicos del tipo AO22 e inversores, para F1.H, F2.L, A,H, B.H, C.L, D.L, E.H.

10.3. Implementar la siguiente función lógica en cinco niveles, que desde la salida (1° nivel) hacia las entradas (5° nivel) usan puertas NOR (1° nivel), AND (2° nivel), OR (3° nivel), NOR (4° nivel) y AND (5° nivel) para entradas A.H, B.L, C.L, D.H, E.L y salida F.H.

$$F(A, B, C, D, E) = [B + \bar{C} + A(D + \bar{E})](A + \bar{B} + D)[C + (E + B D)(\bar{B} + \bar{E})]$$

11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: PLA, PAL; ROM

a)
$$F1(A, B, C) = B\bar{C} + \bar{B}\bar{C} + A\bar{B}C + \bar{A}BC$$

$$F2(A, B, C) = B\bar{C} + A\bar{B}C$$

$$F3(A, B, C) = \bar{B}\bar{C} + \bar{A}BC$$
 para A.H, B.L, C.L, F1.L, F2.H y F3.L.

b)
$$F1(A, B, C, D) = \bar{A}\bar{B}C + \bar{A}C\bar{D} + \bar{B}C\bar{D}$$

$$F2(A, B, C, D) = \bar{A}C\bar{D} + A\bar{D}$$

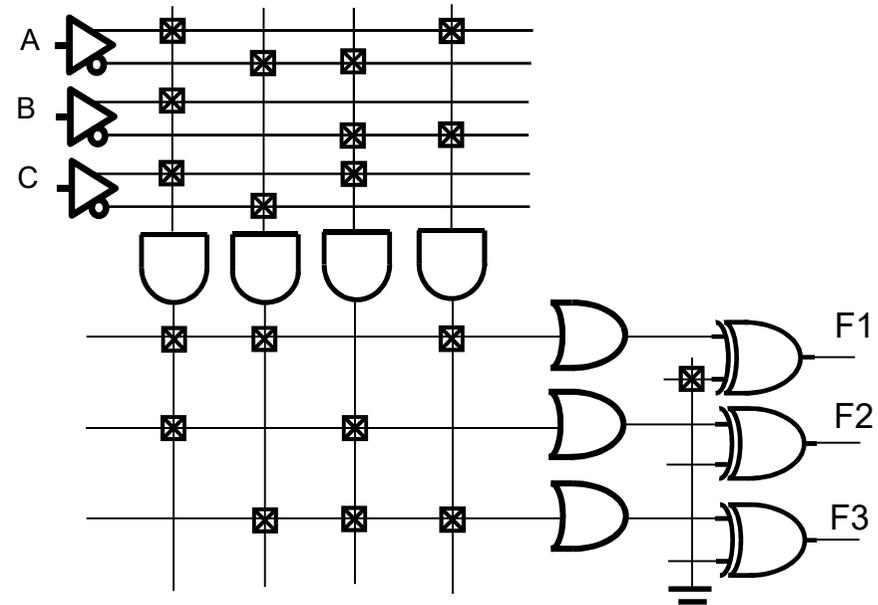
$$F3(A, B, C, D) = \bar{B}C\bar{D} + A\bar{D}$$
 para A.L, B.L, C.H, D.H, F1.H, F2.L y F3.H.

c)
$$F1(A, B, C, D) = (\bar{A} + \bar{B} + \bar{C}) \cdot (\bar{A} + B + D) \cdot (A + B + D) \cdot (\bar{B} + C)$$

$$F2(A, B, C, D) = (\bar{A} + B + D) \cdot (\bar{B} + C) \cdot (B + C)$$

$$F3(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (A + B + D) \cdot (B + C)$$
 para A.L, B.H, C.L, D.H, F1.H, F2.L y F3.L.

12.1. Dado el siguiente circuito PLA, indicar las funciones lógicas que realiza en notación decimal.



12.2. Se quieren implementar funciones lógicas usando un dispositivo **PAL**. ¿Cuál es el criterio de minimización lógica más adecuado para este dispositivo? Implementar las siguientes funciones lógicas usando un dispositivo PAL con polaridad de salida programable, para A.L, B.L, C.H, D.H, F1.L, F2.H, F3.H.

$$F1(A,B,C,D) = \sum(2,3,5,7,8,9,10,11,13,15)$$

$$F2(A,B,C,D) = \sum(2,3,5,6,7,10,11,14,15)$$

$$F3(A,B,C,D) = \sum(6,7,8,9,13,14,15)$$