

Ingeniería Técnica de Sistemas Electrónicos.
Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.
Laboratorio de Electrónica Digital.

Práctica nº 6: Diseño de circuitos secuenciales.

El objetivo de esta práctica es realizar el diseño de circuitos digitales secuenciales. El proceso recomendado para realizar y verificar los circuitos propuestos debe seguir los mismos puntos que para el diseño de circuitos combinacionales: realizar el diseño del circuito, simularlo, realizar su implementación y verificar su operación real.

Todos los ficheros de simulación y verificación del circuito deben guardarse en la carpeta Pr6 dentro de la carpeta de trabajo de cada grupo, creando subcarpetas para cada uno de los ejercicios de la práctica.

B). Diseño de un circuito reconocedor de secuencia.

En este apartado se debe diseñar un circuito secuencial síncrono cuya salida Z se fije a 1 si aparece una secuencia determinada de 4 bits en su entrada. Hay que tener en cuenta que las secuencias pueden solaparse de forma que se considera cumplida una secuencia cuando al llegar el último bit, éste junto con los 3 bits previos forman la secuencia propuesta. La secuencia que debe detectarse en X es:

(VER HOJAS DE PRACTICA POR GRUPO)

El problema debe realizarse manualmente siguiendo las pautas del diseño lógico de circuitos secuenciales síncronos. El diseño debe cumplir los puntos que se citan a continuación, si alguno de ellos no se puede conseguir hablar con los profesores de prácticas.

- Desarrollar la FSM (máquina de estados finitos) de tipo Mealy que representa el problema lógico (la FSM debe poder describirse, una vez reducida, con cuatro estados como máximo). También hay que considerar que el circuito puede tardar unos ciclos en ponerse en funcionamiento correcto, esto se traduce en la FSM en que todos sus estados deben ser accesibles desde cualquier otro estado, y aquellos que no cumplan esta condición pueden ser eliminados de la FSM: esto significa que no hay estados de arranque.

Comprobar que el número de estados es mínimo o minimizar la FSM si se han obtenido más de 4) estados.

Realizar la asignación secundaria de estados en variables de estado de forma que se minimicen los decodificadores del siguiente estado y de salida. A uno de los estados se le debe asignar una codificación con todas las variables de estado a valor lógico 0, de forma que al reiniciarse el circuito mediante una entrada de Reset asíncrona, se vuelva a dicho estado.

- Realizar el diseño del circuito digital utilizando flip-flops J-K TTL del circuito 74'107 (dos flip-flops). Además de la entrada X y de la señal de reloj el circuito debe tener una entrada de Reset asíncrona, que permita inicializar los flip-flops a 0.

Para implementar los decodificadores de próximo estado y de salida hay que limitarse a los dispositivos disponibles en el laboratorio, de forma que se requiera un máximo de tres chips distintos para la implementación, valorándose un diseño con el menor número de chips. En algún diseño habrá que utilizar puertas de más entradas de las necesarias, o modificar las expresiones lógicas encontradas mediante álgebra de conmutación: relaciones de tipo EXOR, leyes de DeMorgan, etc, para cumplir esta condición. Se recomienda seleccionar circuitos TTL y, si se utilizase un circuito MOS hay que tener en cuenta que sus salidas sólo pueden ser entradas de un circuito TTL como máximo (fanout de 1). Los circuitos disponibles son:

- Circuito 74'02 (TTL). Cuatro puertas NOR de dos entradas.
 - Circuito 74'10 (TTL). Tres puertas NAND de tres entradas.
 - Circuito 74'11 (TTL). Tres puertas AND de tres entradas.
 - Circuito 74'27 (TTL). Tres puertas NOR de tres entradas.
 - Circuito 74'37 (TTL). Cuatro puertas NAND de dos entradas.
 - Circuito 74'86 (TTL). Cuatro puertas EXOR de dos entradas.
 - Circuito 74'157 (TTL). Cuatro multiplexores de dos entradas.
 - Circuito 74'151 (TTL). Un multiplexor de ocho entradas.
 - Circuito 4001 (MOS). Cuatro puertas NOR de dos entradas.
 - Circuito 4049 (MOS). Seis puertas NOT.
 - Circuito 4073 (MOS). Tres puertas AND de tres entradas.
 - Circuito 4075 (MOS). Tres puertas OR de tres entradas.
- Simular el diseño del circuito con Circuit Maker en el fichero de simulación Secuencia.ckt, teniendo en cuenta la metodología utilizada para la simulación del circuito secuencial síncrono del apartado a). Situar switches en las entradas de Reset y en X, un generador de pulsos en la señal de reloj y displays lógicos en la salida y en las variables de estado. Situar SCOPES en las entradas, en la salida y en las variables de estado.
- Generar una secuencia de valores en la entrada X que permita comprobar el correcto funcionamiento del circuito. Partiendo del estado fijado por el Reset, la secuencia debe comprobar que todas las transiciones entre estados que aparecen en la tabla de estados se realizan correctamente (para cada estado actual con cada entrada posible se genera bien el valor de la salida y se pasa correctamente al próximo estado al llegar el flanco de reloj), por lo que hay que observar también el comportamiento de las variables de estado (salidas de los flip-flops). Lo normal es que para probar todas las transiciones haya que pasar por una determinada transición varias veces. Esta secuencia debe utilizarse durante la programación y durante la prueba del circuito con el analizador lógico.
- Además añadir datos a la secuencia de forma que pruebe todas las secuencias posibles en la entrada X (por ejemplo 0000101001..., genera para secuencias de 4 bits el 0, el 1, el 2, el 5, el 10, el 4, el 9, ...) y debe comprobar que para cada una de ellas se genera el resultado correcto en la salida Z.

Si los resultados de la simulación no son correctos, buscar el posible error, modificar el diseño del circuito y volver a simular.

- Verificar el circuito con el LA4240, teniendo en cuenta el tipo de programación realizada en la practica 6a. Generar las entradas de reloj, de reset y la entrada X mediante los canales del generador de patrones del LA4240 que se debe programar de forma que reinicie (resetee) el circuito y luego permita su funcionamiento normal, programando en la entrada X la secuencia utilizada durante la simulación. Debido a que cada ciclo de reloj programado requiere dos direcciones, cada 0 y cada 1 de la secuencia de prueba debe mantenerse en la entrada X durante dos direcciones. Además, teniendo en cuenta que el flip-flop que va a utilizarse es disparado por flanco negativo es conveniente cambiar las entradas cuando se produzca un flanco positivo de la señal de reloj, para que no coincidan cambios en las entradas con los flancos de disparo.

Es conveniente sincronizar la captura de datos del analizador lógico en base a esta señal de Reset y/o la entrada X y la señal de reloj para observar cómodamente los resultados en pantalla, como se hacía en el apartado b).

Para comprobar el funcionamiento del circuito es necesario capturar los valores lógicos de la señal de Reset, de la entrada X, de la salida Z y de las variables de estado, y mostrarlos en pantalla en el formato de lista de estados.

Guardar la programación del LA4240 en el fichero Secuencia.ini y el resultado de la captura de medidas en el fichero Secuencia.Dso.