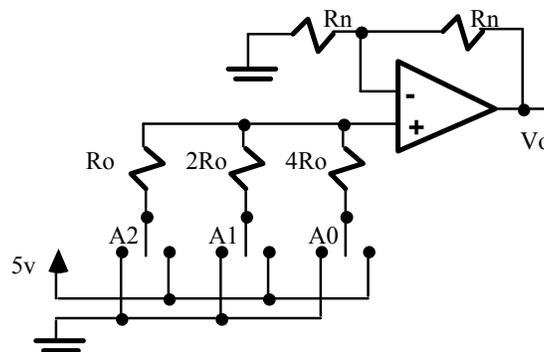


Ingeniería Técnica de Sistemas Electrónicos.
Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.
Laboratorio de Electrónica Digital.

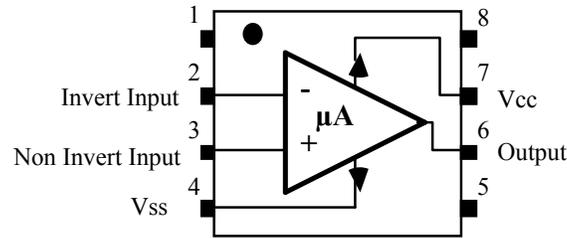
Práctica nº 2: Convertidores Digital-Analógico y Analógico-Digital.

La introducción teórica al desarrollo de la práctica se ha dado en el tema 8 de la asignatura Electrónica Digital I, para esta práctica se requiere una lectura previa de dicho tema. Se recomienda tener preparadas las conexiones de los circuitos antes de la sesión del laboratorio, así como que ese montaje sea ordenado de forma que pueda entrar toda la práctica en una regleta y que sea sencillo localizar los posibles errores de la implementación. Las tareas de la práctica son:

a) Construir un convertidor digital/analógico de tres bits utilizando el método de las resistencias ponderadas, de forma que el rango de salida del convertidor esté entre 0 y 10 voltios. Las señales digitales tomarán valores de tensión de 0 ó 5 voltios. El montaje de este convertidor se realizará utilizando un esquema como el de la siguiente figura, en el que todas las resistencias a utilizar (tanto R_o como R_n) serán en principio de $12K\Omega$ (pueden tomar otros valores). Las resistencias $2R_o$ y $4R_o$ deben formarse utilizando resistencias en serie de valor R_o .



El amplificador operacional que se utilizará será el $\mu A0741$ cuyo esquema de conexiones se muestra seguidamente. Para este A.O. la tensión V_{cc} debe conectarse a 12V y la tensión V_{ss} a -12V, obteniéndose las señales de las fuentes de la pared del puesto del laboratorio (verificar cuidadosamente la tensión suministrada por estas fuentes), sin olvidarse de conectar su terminal de tierra. Un error al conectar las fuentes de tensión puede estropear el circuito. Al montar el circuito se recomienda utilizar las líneas de conexión superior e inferior de la regleta a +5v ó a Gnd, utilizando como +12V y -12V líneas internas de la regleta. Asimismo, el circuito debe ser colocado en la regleta con cuidado para dejar espacio suficiente para los elementos a utilizar en la segunda parte de la práctica.



El esquema del circuito de la figura realiza una amplificación positiva del circuito de forma que $V_o = 2V_r (4A_2/7 + 2A_1/7 + A_0/7)$, donde V_r es 5V y A_2 , A_1 , y A_0 están conectados a 5V (1 lógico) ó a 0V (0 lógico). Los interruptores se realizan mediante cables conectados a una de estas dos tensiones. Obtener los valores teóricos de V_o en función de los valores lógicos aplicados a las entradas (A_2 A_1 A_0).

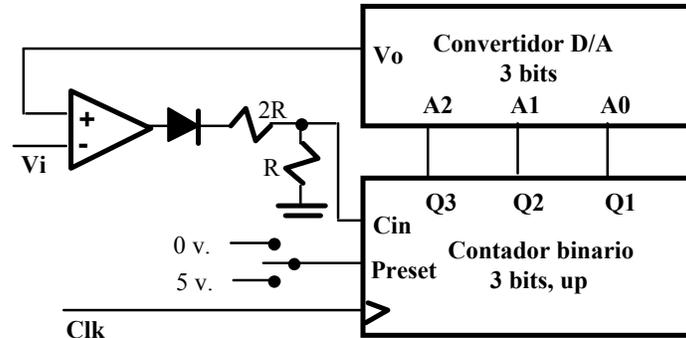
Como trabajo previo al montaje del circuito en el laboratorio se debe simular de forma analógica la operación del circuito, por ejemplo con el simulador Circuit Maker. En este simulador se puede encontrar el amplificador operacional en el catálogo de dispositivos Amplifiers/Buffers->OPAMPs->Op-Amp5, seleccionando el modelo UA741. Las entradas se pueden aplicar mediante señales de pulsos cuadrados de 0V a 5V, de periodos 100us (A_0), 200us (A_1) y 400us (A_2). Una vez simulado el circuito se puede medir el valor de tensión analógico esperado en la salida para cada combinación de valores lógicos en las entradas digitales.

Una vez montado el esquema del circuito en el laboratorio, deberá medirse con un polímetro la tensión analógica para cada valor digital de las entradas, representando una gráfica de V_o frente a A . Medir también con un polímetro los valores realmente utilizados de las resistencias, tensión de alimentación y ganancia del amplificador. Asimismo, debe encontrarse su precisión según la expresión $MAX[(V_{mi} - V_{ei})/V_{ei}]$, donde i representa el valor binario aplicado (de 0 a 7), V_e es la tensión teórica que debe obtenerse en la salida, y V_m el valor de tensión realmente medido.

b) Construir un convertidor analógico-digital de tres bits utilizando el método contador, según el esquema de la siguiente figura, donde la salida Z en 3 bits corresponde a las salidas ($Q_3Q_2Q_1$) del contador. El rango de la señal de entrada V_i estará entre 0 y 10 voltios, de forma que cuando $V_i \leq 0$, la salida digital Z será 0, en el intervalo $(0, 10/7)$ será 1, en el intervalo $(10/7, 20/7)$ será 2, en el intervalo $(20/7, 30/7)$ será 3, en el intervalo $(30/7, 40/7)$ será 4, en el intervalo $(40/7, 50/7)$ será 5, en el intervalo $(50/7, 60/7)$ será 6 y en el intervalo $(60/7, 70/7)$. Se supone que V_i es siempre menor o igual que 10V. Estos intervalos están determinados por el convertidor D/A, desarrollado en la primera parte de la práctica.

En este esquema se utiliza como circuito comparador un A.O. 741 alimentado a tensiones de +12V (V_{cc}) y -12V (V_{ss}), utilizando como entradas del comparador las entradas inversora y no inversora, y como salida la salida del A.O.; cuando $V_+ > V_-$, la salida del comparador se fija a +12V y cuando $V_+ < V_-$ se fija a -12V. El circuito formado por el diodo y las

resistencias transforma las señales en las salidas del comparador (+12V, -12V) a valores de tensión que la entrada del contador considera como 1 lógico (4V) ó 0 lógico (0V). En este montaje se tomará en principio $R = 12K\Omega$. Como convertidor D/A debe utilizarse el circuito generado en el apartado anterior y como contador el circuito 4029.



El esquema de patillaje del contador 4029 y su descripción funcional se muestra al final del guión. La función de cada entrada y salida es la siguiente:

- Preset Enable (PE) y entradas Jam (J4-J1). Cuando PE está a valor “1”, el valor lógico de las entradas J4-J1 pasa a las salidas Q4-Q1. Este funcionamiento es asíncrono, es decir independiente del reloj.
- Clock. Señal de reloj. Un flanco positivo en esta señal permite la evolución del contador.
- Carry In. Asertada baja. Cuando toma el valor “0” (H) suspende la cuenta, manteniéndola en su último valor, incluso aunque llegue flanco de reloj. Si está fijada a 1 (L) el circuito cuenta normalmente. Esta entrada se usa en conjunción con la señal CarryOut, para generar contadores de más de cuatro bits, uniéndolos en cascada (“ripple”).
- Up/Down. Fijada a “1” (H) la cuenta es hacia arriba (0, 1, 2, ..., 15, 0, 1), y fijada a 0 es hacia abajo (15, 14, 13, ..., 1, 0, 15, 14), donde el valor subrayado se considera el final de la cuenta.
- Binary/Decade. Fijada a “1” (H) la cuenta en binario natural (de 0 a 15), y fijada a 0 cuenta en NBCD (de 0 a 9).
- Salidas de cuenta Q4-Q1. Codifican en binario el valor de cuenta.
- Salida Cout. Asertada baja. Se fija a 1 (L) cuando el contador llega al valor final de la cuenta.

Este contador debe estar alimentado a 5V, y debe ser situado en el modo de cuenta binario hacia arriba (líneas up/down y binary/decade conectadas a 5V), utilizando como reloj la salida TTL del generador de funciones a una frecuencia aproximada de 10Khz. Las entradas J de carga en paralelo deben estar conectadas a tierra; las señales de Preset Enable y Cin se conectarán tal como se muestra en la figura.

Antes de montar y verificar el funcionamiento en el laboratorio se debe simular su funcionamiento con Circuit Maker, utilizando como convertidor D/A el circuito desarrollado

en el primer apartado de la práctica, cuyas entradas A2, A1 y A0 se conectan respectivamente a las salidas Q2, Q1 y Q0 del contador 4029 (en Circuit Maker las salidas son Q3-Q0, mientras que en la hoja de características las salidas son Q4-Q1). El diodo se puede localizar en el catálogo Diodes->Diode, utilizando el modelo 1N4007. Aplicar a la entrada de reloj un pulso cuadrado de anchura 100us (10 KHz de frecuencia) y en la señal de Preset (PL) un pulso de 1ms (10 ciclos de reloj), con 100us a valor alto (5V) y 900us a valor bajo (0V). La señal Vin se puede generar con una fuente de continua cambiando su valor en distintas simulaciones. En función del valor de Vin las salidas Q2, Q1 y Q0 del contador alcanzarán un valor estable después de 7 ciclos de reloj como máximo. En el diseño del circuito en Circuit Maker hay que introducir una pequeña variación en el circuito rectificador a la salida del comparador, formado por un diodo y un divisor de tensión 2R/R; para que el circuito funcione correctamente hay que usar un divisor R/R. Por último, en Q2 el valor bajo (0 lógico) puede tomar valores de tensión ligeramente distintos de 0V, (0.1V aprox.), que al observarse en la ventana de formas de onda producen un escalón que parece indicar dos valores lógicos distintos, lo cuál no es cierto (ambos son 0 lógico), por ello hay que comprobar los valores de tensión en la escala de forma de ondas para evitar este equívoco.

Seguidamente se describen los pasos a seguir para realizar una conversión A/D mediante este circuito. En el circuito contador deben situarse las siguientes señales: las entradas de carga en paralelo (J1-J4) deben situarse a valor de tensión bajo, la entrada de Preset-Enable, será un interruptor que variará entre los valores de tensión bajo y alto (5V). La entrada de Cin tomará como valor lógico el valor de la salida del comparador. Para realizar una medida se deben seguir los siguientes pasos:

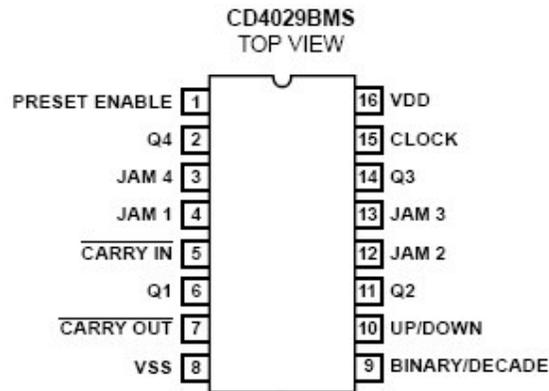
- Situar el valor de tensión de entrada en Vin con una fuente de alimentación variable.
- Situar la entrada de Preset a 5V, esto permite inicializar el contador a la cuenta 0, ya que se cargan en los flip-flops los valores de las entradas J correspondientes, es decir 0V.
- Situar la entrada de Preset a 0V, esto habilita que el contador cuente en binario hacia arriba. La cuenta se realiza mientras que $V_o < V_i$, ya que se mantiene la entrada Cin a valor de tensión bajo. Cuando $V_i < V_o$, Cin se fija a un valor de tensión alto, con lo cual la cuenta se detiene y las salidas Q3, Q2, Q1 mantienen el valor digital correspondiente al valor analógico de Vi.
- Variar el valor de Vin y repetir el proceso.

La medida de los intervalos correspondientes a cada valor digital puede hacerse elevando Vin suavemente en los alrededores de la zona de cambio del valor digital. Al realizarse la transición Q1 debe obligatoriamente cambiar el valor lógico, se puede observar en el osciloscopio cuando se produce este cambio y medir Vin con un polímetro, a la vez que se comprueba el nuevo valor digital en las salidas Q3, Q2 y Q1 del contador.

Por último, fijar la entrada Vi a más de 10V, y observar el comportamiento del circuito. La salida del comparador es siempre 0, por lo que el contador está contando continuamente. Comprobar con el osciloscopio que Q1 cambia cada ciclo de reloj (por flanco positivo), Q2

cada dos ciclos y Q3 cada 4 ciclos. Medir con el osciloscopio en la salida del convertidor D/A y observar los valores analógicos correspondientes a cada entrada digital del convertidor D/A.

CD4029BM/CD4029BC Presetable Binary/Decade Up/Down Counter



General Description

The CD4029BM/CD4029BC is a presetable up/down counter which counts in either binary or decade mode depending on the voltage level applied at binary/decade input. When binary/decade is at logical "1", the counter counts in binary, otherwise it counts in decade. Similarly, the counter counts up when the up/down input is at logical "1" and vice versa.

A logical "1" preset enable signal allows information at the "jam" inputs to preset the counter to any state asynchronously with the clock. The counter is advanced one count at the positive-going edge of the clock if the carry in and preset enable inputs are at logical "0". Advancement is inhibited when either or both of these two inputs is at logical "1". The carry out signal is normally at logical "1" state and goes to logical "0" state when the counter reaches its maximum

count in the "up" mode or the minimum count in the "down" mode provided the carry input is at logical "0" state.

All inputs are protected against static discharge by diode clamps to both V_{DD} and V_{SS} .

Features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Low power fan out of 2
- TTL compatibility driving 74L
- or 1 driving 74LS
- Parallel jam inputs
- Binary or BCD decade up/down counting