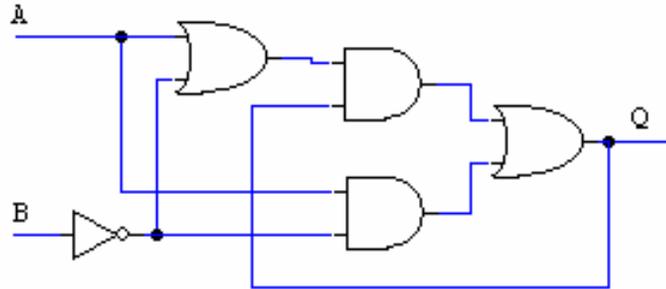


Problemas propuestos

- Un flip-flop "S-R Set-dominante" difiere del flip-flop S-R normal en que cuando S y R están a valor lógico 1 simultáneamente se realiza la operación de Set. Obtener la tabla de operación, la tabla característica y la ecuación característica del flip-flop, y realizar una implementación como latch asíncrono mediante puertas lógicas.
- Un flip-flop "S-R con reloj", contiene una entrada adicional C de forma que si C no está activa el flip-flop mantiene su valor mientras que si está activa el flip-flop opera como un S-R convencional. Obtener la tabla de operación, la tabla característica y la ecuación característica del flip-flop, y realizar una implementación como latch asíncrono mediante puertas lógicas.

Problemas propuestos

- Dado el siguiente circuito digital, encontrar la tabla característica y la tabla de operación del flip-flop correspondiente



- Diseñar un flip-flop de tres entradas A, B y C, tal que la entrada A actúe como una entrada de SET, la entrada B como una entrada de RESET y las entrada C como una entrada de 'TOGGLE'. La activación de la entrada A domina sobre la activación de las entradas B y C, y la activación de la entrada B domina sobre la activación de la entrada C. Obtener la tabla de operación e implementar un flip-flop ABC, tomando como base los siguientes flip-flops, y puertas lógicas:

- a). S-R.
- b). J-K.
- c). D.
- d). T.

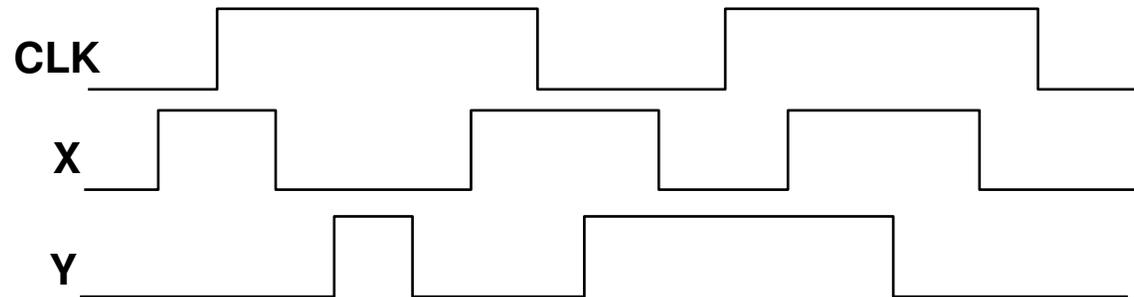
Problemas propuestos

- Se desea diseñar un sumador serial, de forma que los bits de los operandos entren en serie del menos significativo al más significativo y, en cada ciclo se genere el bit de salida y se almacene el acarreo generado que se utilizará como acarreo de entrada para el siguiente bit. Se pide diseñar un flip-flop que permita almacenar los acarreos a lo largo de la suma serial.
 - a). Mostrar la tabla característica, la tabla de operación, la ecuación característica, la descripción VHDL del citado flip-flop y una implementación con puertas lógicas.
 - b). Diseñar el citado flip-flop del tipo “clocked” en base a un latch interno S-R NAND.
 - c). Diseñar el citado flip-flop en base a un flip-flop cuya tabla de operación es:

X	Y	Q+
0	0	\bar{Q}
0	1	1
1	0	No valido
1	1	Q

Problemas propuestos

- Se quiere diseñar un flip-flop cuya entrada Y opere como entrada de tipo D o de tipo T en función del valor lógico de la entrada de selección X (0 tipo D, 1 tipo T).
 - a) Indicar la tabla de operación y encontrar la ecuación característica del flip-flop. Construir un clocked-latch (reloj activo alto) tomando como base un latch S-R NAND.
 - b) Dadas las siguientes formas de onda indicar los valores que toman la salida del clocked-latch del apartado (a). Hay que suponer que inicialmente el flip-flop tiene cargado el valor lógico 0.



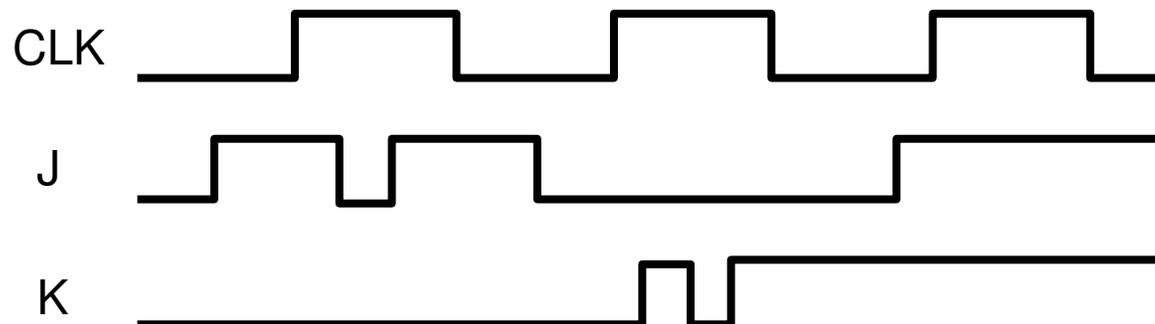
- c) Realizar una descripción VHDL a nivel de comportamiento del flip-flop XY clocked-latch del apartado a).

Problemas propuestos

- Diseñar un flip-flop "D master-slave" utilizando únicamente dos multiplexores de dos entradas.

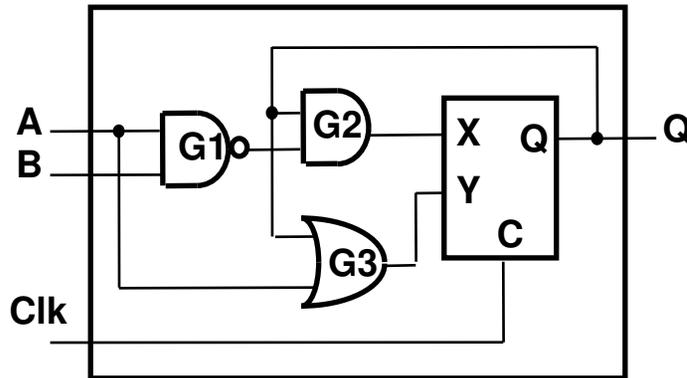
Calcular el tiempo de propagación, de setup y de hold del circuito en función de los tiempos de propagación del multiplexor: T_{pd} (tiempo de propagación desde las entradas de datos) y T_{ps} (tiempo de propagación desde la entrada de selección).

- Representar el funcionamiento de un circuito J-K bajo las siguientes señales de entrada, suponiendo inicialmente la salida Q a valor lógico 0 para:
 - a). "clocked flip-flop" con reloj activo en H.
 - b). "flip-flop master-slave" master (slave) activado por el reloj en H (L).
 - c). flip-flop disparado por flanco positivo.



Problemas propuestos

- Dado el circuito de la siguiente figura:

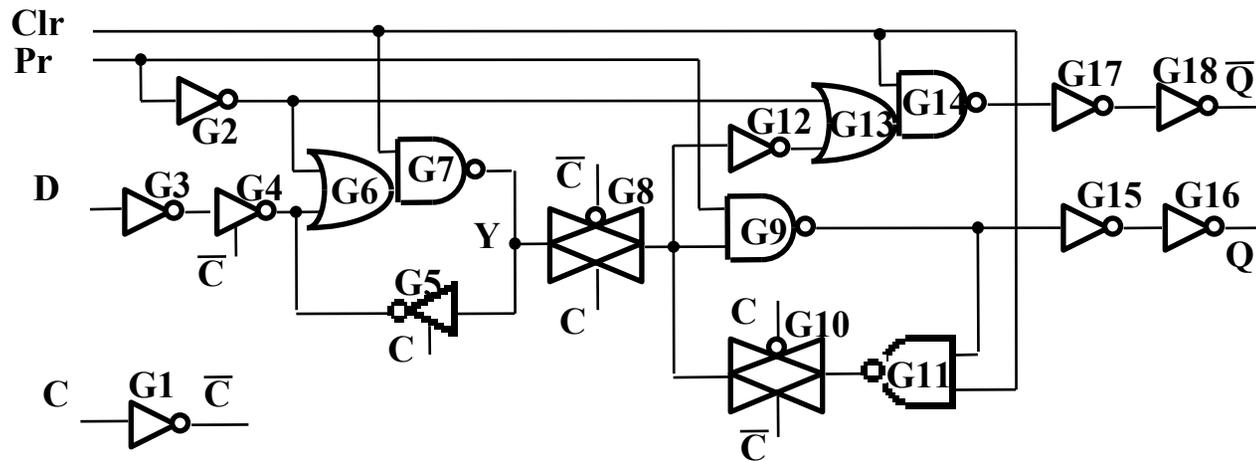
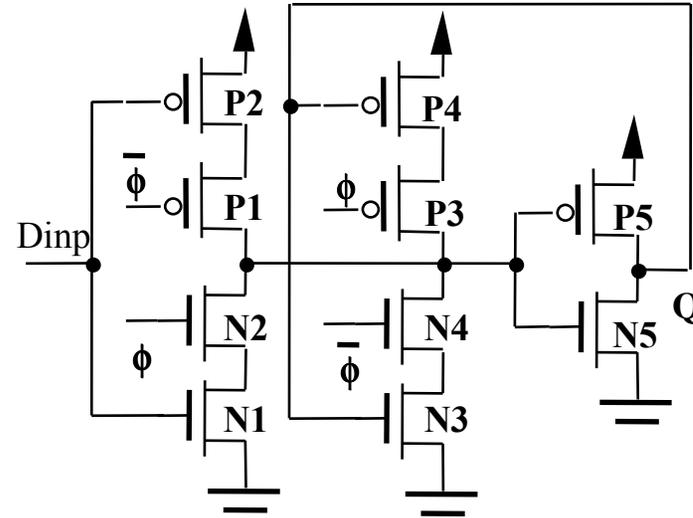
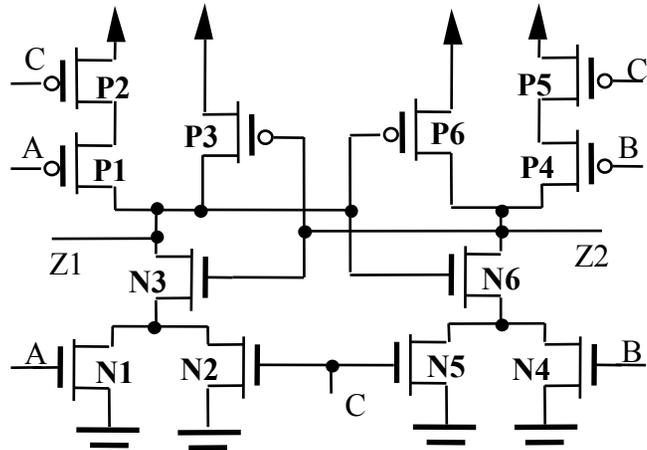


X	Y	Q+
0	0	\overline{Q}
0	1	Q
1	0	1
0	1	\overline{Q}

- Realizar el diseño de un flip-flop X-Y disparado por flanco positivo en base a un flip-flop J-K disparado por flanco positivo .
- Encontrar la tabla de operación del flip-flop A-B.
- Suponiendo el flip-flop X-Y disparado por flanco positivo, calcular el tiempo de setup y el tiempo de propagación del flip-flop A-B en base a los parámetros temporales del flip-flop X-Y (T_p , T_{setup} , T_{hold}) y de las puertas lógicas (t_p).
- Realizar la descripción VHDL de los flip-flops X-Y y A-B disparados por flanco positivo.

Problemas propuestos

- Analizar razonadamente los circuitos que se muestran a continuación. Indicar los circuitos lógicos a los que corresponden y dibujar su esquemas lógicos.



Problemas propuestos

- Diseñar un circuito digital que funcione como una memoria RAM $4 * 2$ utilizando dispositivos estándar: puertas lógicas, flip-flops y circuitos MSI (decodificadores, codificadores, multiplexores, etc), por ejemplo, del catálogo de la familia 74.

El circuito debe tener:

- Un bus de direcciones AD de dos bits (A1A0).
- Dos buses de datos de dos bits: uno de entrada Din para escritura y uno de salida Dout para lectura de dos bits.
- 8 celdas de memoria que se pueden realizar con flip-flops del tipo “D-clocked”.
- Una señal de control RW para realizar la operación de escritura (RW a 1) o lectura (RW a 0)
- Una señal de habilitación CE (con CE a 0 la memoria no opera, cuando CE 1 se accede a la memoria).

El bus de salida debe permanecer en alta impedancia, salvo que se realice una operación de lectura.

La operación de lectura se realiza mediante esos pasos: fijar la dirección AD, y habilitar CE.

La operación de escritura se realiza mediante estos pasos: fijar la dirección AD y el dato en Din, habilitar CE, y fijar WE a 1, la escritura finaliza cuando WE pasa a 0 otra vez. Se debe suponer que AD, Din y CE no cambian durante la operación de escritura.