

Problemas propuestos

- Realizar un descripción VHDL de las siguientes funciones lógicas, o grupos de funciones lógicas

$$F(A, B, C) = AB + A \bar{B} \bar{C}$$

$$F(A, B, C, D) = \underline{\underline{\bar{C} (A + \bar{D}) (\bar{A} + \bar{B} + D)}}$$

$$F(A, B, C, D) = A + \bar{B} (A \oplus \bar{C}) + \bar{B} C + A \bar{C}$$

$$F1(A, B, C) = A \bar{B} C + \bar{B} \bar{C} + \bar{A} B C + B \bar{C}$$

$$F2(A, B, C) = A \bar{B} C + B \bar{C}$$

$$F3(A, B, C) = \bar{A} B C + \bar{B} \bar{C}$$

- Realizar la descripción VHDL de una entidad para el cálculo de la distancia de Hamming de dos palabras binarias de N bits).

- Una bombilla (B) en un panel de control se enciende si: el sistema (S) está ON y, el modo (M) de funcionamiento es automático, ó bien el modo de funcionamiento es manual y el control (C) está en situación de espera.

Representar este enunciado por una función lógica y su descripción VHDL.

- Una corporación financiera debe resolver un problema trascendente para su futuro. Para ello su presidente pide opinión a sus tres mejores economistas A, B y C, y conociendo como razonan decide que se tomará una decisión positiva si A y B están a favor, ó no lo están ni A ni C, ó si lo está B pero no C. Los economistas utilizan el siguiente proceso de decisión:

- A está a favor si hace buen tiempo y, es antes del mediodía siendo el día del mes par o es después del mediodía.

- B está en contra si el día del mes es impar o hace buen tiempo y, es antes del mediodía o hace mal tiempo.

- C está en contra si es antes del mediodía, hace mal tiempo y el día del mes es par.

Encontrar las ecuaciones lógicas que definen el sistema y realizar una descripción VHDL del problema

Se desea diseñar un sistema de seguridad para la apertura de dos puertas P1 ó P2 con una alarma Z que salta cuando la apertura es incorrecta.

El sistema se activa al introducir una tarjeta en un lector y al teclear una clave de acceso. Primero se tecldea la clave de acceso: los códigos autorizados se introducen mediante tres teclas C, D y E correspondientes a la clave de acceso autorizado, que se presionan (1) o no (0), las códigos válidos para la puerta P1 son 100 y 111, y los códigos válidos para la puerta P2 son 110 y 011. Tecleada la clave se introduce la tarjeta cuya validez se controla mediante la lectura de un código de dos bits A y B, leído por el lector, con los siguientes valores AB = 01 tarjeta no introducida, AB = 00 tarjeta válida para la puerta P1, AB = 10 tarjeta válida para la puerta P2, AB = 11 tarjeta no válida.

Si la tarjeta tiene un código no válido o si la clave introducida es incorrecta debe sonar la alarma Z al introducir la tarjeta. Si la clave introducida es correcta se abrirá la puerta correspondiente al introducir la tarjeta.

Encontrar las ecuaciones lógicas que rigen este sistema de seguridad, y representarlo en código VHDL.

Se desea diseñar un circuito lógico para determinar el vencedor de un combate entre dos contendientes X e Y mediante las siguientes especificaciones:

- El combate será a tres toques. El vencedor se declara cuando uno o los dos contendientes llegue a tres toques (se permite la posibilidad de toque simultáneo), o se llegue al final del tiempo de combate. El número de toques (de 0 a 3) realizado por cada contendiente se almacena en binario en dos variables lógicas para X (x_1x_0) y dos para Y (y_1y_0).
- Al finalizar el combate se declara vencedor al contendiente que haya realizado más toques. En caso de empate el combate se dilucida por la decisión de un árbitro (variable lógica A) que declara vencedor a X (A a valor 1) ó a Y (A a valor 0). El árbitro no puede declarar el combate empatado.
- Para mantener la emoción del combate hasta el final el sistema de cuenta de toques está ligeramente amañado de forma que no permite en ningún caso que un contendiente tome ventaja de dos toques sobre su rival, es decir la victoria siempre será por la mínima o por decisión arbitral.

Realizar una descripción VHDL que permita obtener el ganador del combate. Se deben considerar las siguientes entradas: T que determina si se ha llegado o no al final del tiempo de combate, n_X y n_Y que indica el número de toques realizado por cada contendiente y A que contiene la decisión del árbitro. Se deben utilizar dos salidas G_X y G_Y que indican el vencedor, G_X y G_Y están a 0 hasta que se determine si ha vencido X (G_X a 1) ó Y (G_Y a 1) en función del valor de las entradas.

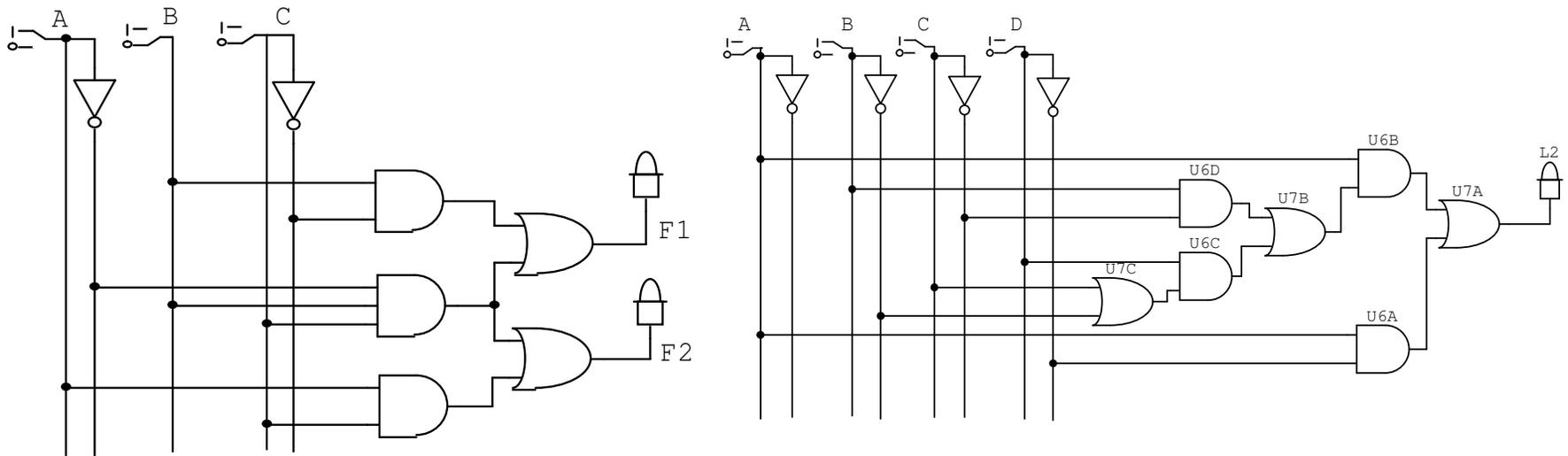
- Una sociedad está formada por 5 socios A, B, C, D y E que tienen respectivamente el 25%, 25%, 25%, 15% y 10% de las acciones. Los estatutos de la sociedad indican que una toma de decisión es positiva si el tanto por ciento a favor es mayor del 65%, o si estando entre el 35% y el 65% (ambos inclusivos) hay mayoría de votos a favor entre los tres socios más antiguos C, D y E (sin contar su porcentaje respectivo). En caso contrario, la decisión es negativa. Realizar una descripción VHDL de alto nivel del problema a partir de este enunciado (por ejemplo utilizar variables de tipo entero para calcular el porcentaje de voto favorable o el número de votos a favor).
- Describir en lenguaje VHDL los siguientes conjuntos de funciones lógicas:

 - $$F(A, B, C) = \sum(0, 5, 6, 7)$$
 - $$F(A, B, C) = \prod(1, 2, 4, 5, 6, 7)$$
 - $$F1(A, B, C) = \sum(0, 1, 2, 3, 5)$$

$$F2(A, B, C) = \sum(2, 3, 5, 6)$$

$$F3(A, B, C) = \sum(0, 1, 6)$$

- Realizar un descripción estructural de los siguientes circuitos lógicos.



- Realizar un descripción estructural de un sumador completo de 4 bits utilizando como módulos 4 sumadores completos de 1 bit.
- Realizar una descripción estructural de un multiplicador de dos operandos de 4 bits usando como módulos 4 sumadores completos de 4 bits y 16 puertas and.

Describir en lenguaje VHDL los siguientes conjuntos de funciones lógicas:

$$F1(A, B, C) = \sum(0, 2, 3, 4, 5) + \sum\emptyset(6)$$

$$F2(A, B, C) = \sum(5, 6) + \sum\emptyset(1, 2)$$

$$F3(A, B, C) = \sum(3, 4) + \sum\emptyset(0, 1)$$

Un sistema activa una luz artificial L en función de las medidas de cuatro sensores de luz natural que activan o desactivan unas señales lógicas A, B, C y D según el nivel de luz sea menor o mayor de un valor umbral dado, y una señal de control horario H que permite calibrar de dos maneras distintas la influencia de los sensores. En función de los sensores se obtiene un nivel final de luz dado por

$$N = PA \cdot A + PB \cdot B + PC \cdot C + PD \cdot D,$$

donde PA, PB, PC y PD es el peso de cada sensor.

En función de la señal H los pesos PA, PB, PC y PD son respectivamente 3, 5, 7, 2 cuando se usa el primer control horario (H = 0), y son 6, 4, 1, 4 cuando se usa el segundo (H = 1).

L se activa cuando N toma los valores 2, 4, 5, 7, 11 y 17, y se desactiva cuando N toma los valores 3, 6, 8, 9, 12, 13 y 15. Se desea obtener un circuito que implemente $L = F(H, A, B, C, D)$.

Realizar una descripción VHDL según el enunciado del problema.

Dada la siguiente descripción VHDL de una función lógica, encontrar una forma mínima SOP para $Z = F(A,B,C,D1,D0)$. Se utiliza el tipo `std_logic` para poder trabajar con “don't cares”.

```
library ieee;
use ieee.std_logic_1164.all;
entity pr3 is
port (A,B,C: in std_logic;
      D: in std_logic_vector(1 downto 0);
      Z: out std_logic);
end pr3;

architecture descr of pr3 is
begin
process (A,B,C,D)
begin
if ( (A = D(1) and B /= D(0)) or (C /= D(1) and C = D(0) and A = B ) ) then
  Z <= '-';
else
  case D is
    when "00" => Z <= (A and B and C) or ((not A) and (not B) and (not C));
    when "10" => Z <= A or (not C);
    when "11" => if (A = '0') then Z <= not B
                  else Z <= C;
                  end if;
    when others => Z <= C;
  end case;
end if;
end process;
end descr;
```