

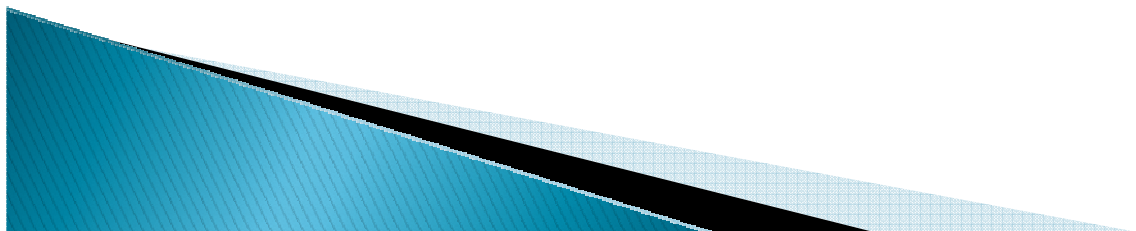


Multiplexores

Alberto Sierra Molleda
Luis Fernández Tricio
Aldo Borja Ávalos Solitario

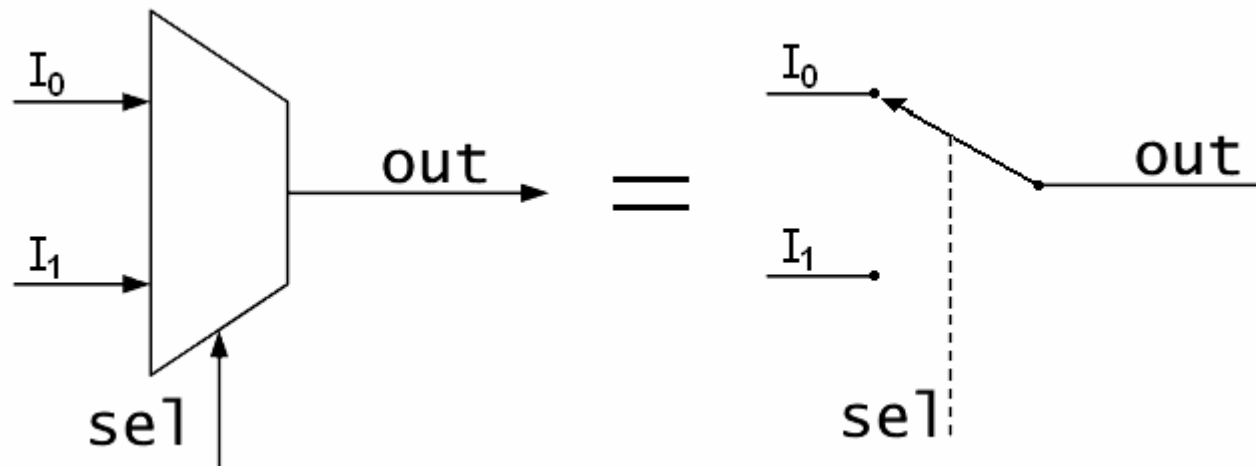
¿Qué es un Multiplexor?

- ▶ Los multiplexores son dispositivos de varias entradas que permiten seleccionar la señal que llega a una de éstas y transmitirla a la salida.
- ▶ En electrónica digital un multiplexor equivale a un conmutador.



Un multiplexor esta formado por:

- ▶ N, entradas de datos.
- ▶ M, entradas de selección.
- ▶ Una única salida Z
- ▶ Una entrada Chip Enable (Opcional)



Existe una relación entre el número máximo de entrada de datos y el número de entradas de selección:

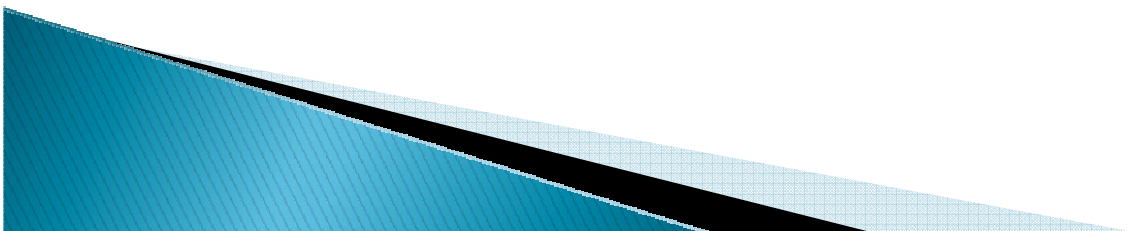
Numero de entradas $\leq 2^n$ (donde n es el numero de canales selectores)

Normalmente el número de entradas de datos es una potencia de 2:

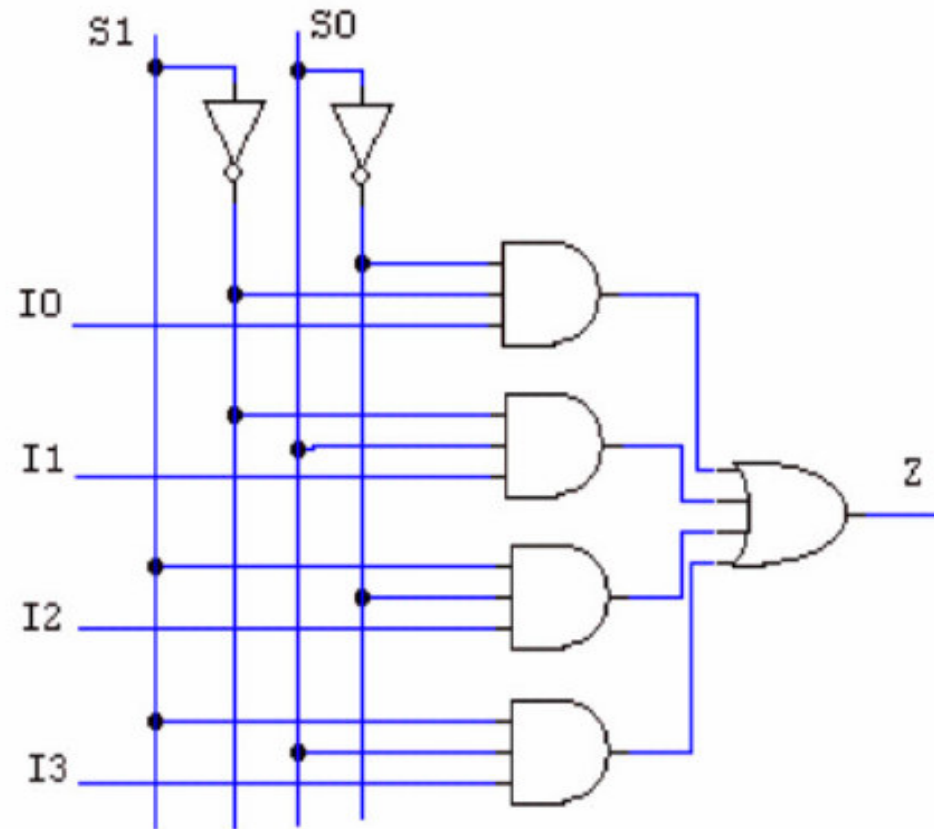
para 1 entrada de selección, (2-input MUX)

para 2 entradas de selección (4-input MUX)

para 3 entradas de selección (8-input MUX)



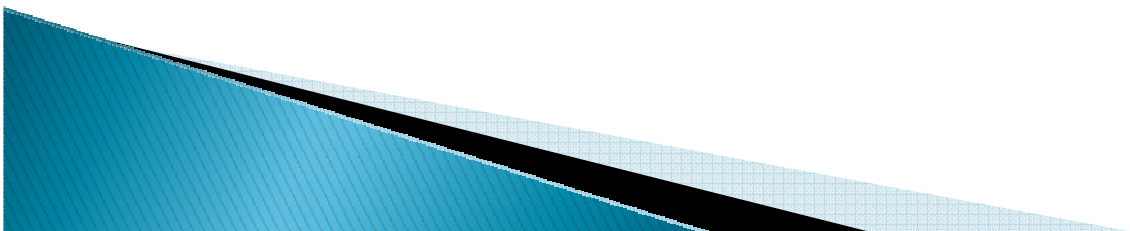
Implementación de Mux 4-1



- ▶ Cuando el multiplexor este habilitado, la salida Z depende del valor de la entrada de selección. La función de Z queda así:

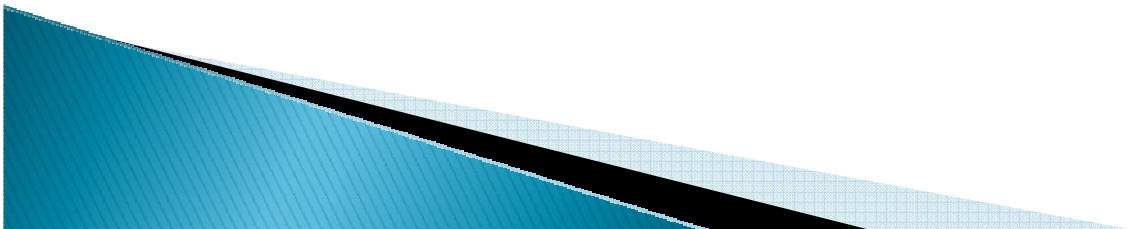
$$Z = \overline{S1} \overline{S0} I0 + \overline{S0} S1 I1 + S1 \overline{S0} I2 + S1 S1 I3$$

S1	S0	Z
0	0	I0
0	1	I1
1	0	I2
1	1	I3



Descripción VHDL Mux 4-1

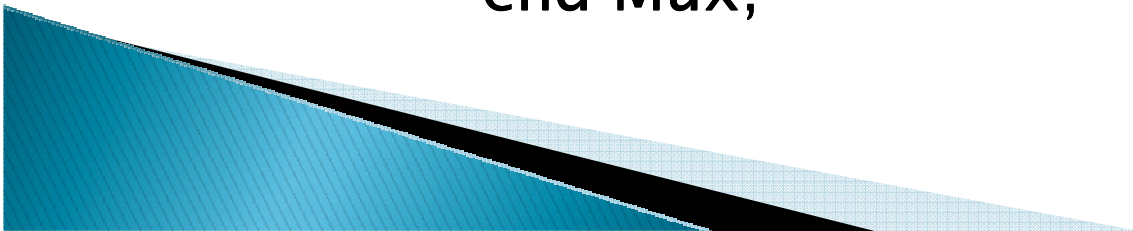
```
entity mux4 is port  
  (I :in std_logic_vector(3 downto 0);  
   S :in std_logic_vector(1 downto 0);  
   z :out std_logic);  
end mux4;
```



Descripción VHDL Mux 4-1

```
architecture Mux of mux4 is
begin
  process (I, S)
  begin
    case S is
      when "00" => z <= I(0);
      when "01" => z <= I(1);
      when "10" => z <= I(2);
      when "11" => z <= I(3);

    end case;
  end process;
end Mux;
```

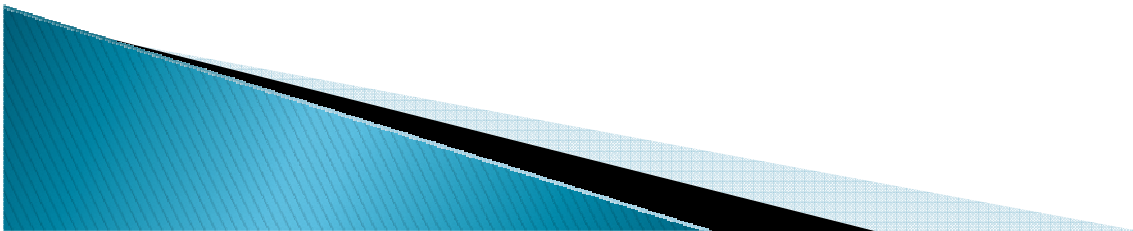


Chip Enable

- ▶ El Chip Enable es una entrada de un solo bit, a “0” o a “1” que nos sirve para activar o desactivar el multiplexor.

Enable = 1 Activado

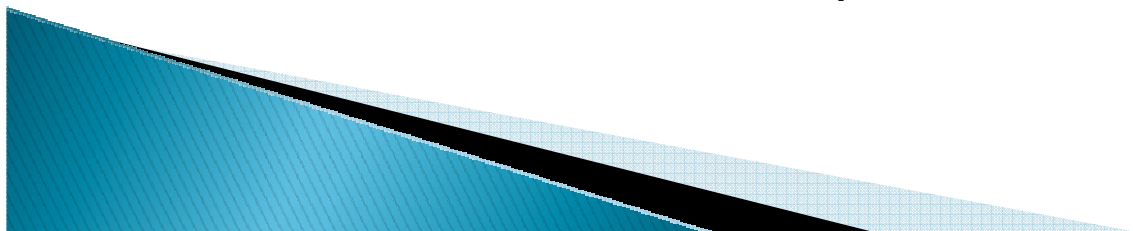
Enable = 0 Desactivado



- Presentamos a continuación una tabla de la verdad, con entradas y con el enable en “0” y “1”.

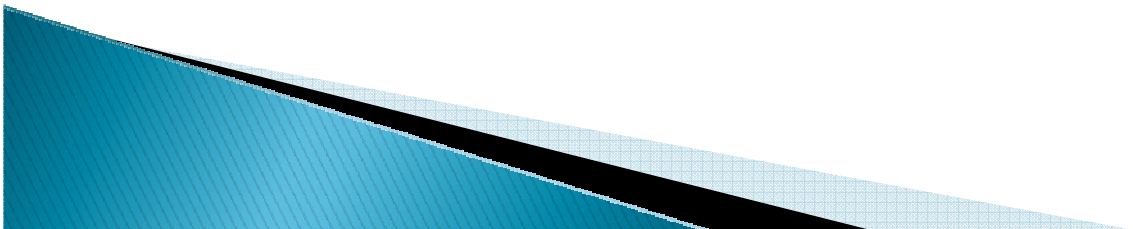
E	S1	S0	Z
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	Z
1	0	1	Z
1	1	0	Z
1	1	1	Z

- Podemos observar que mientras en el chip enable es “0”, toma la salida del selector, mientras que si es “1” la salida toma un valor de alta impedancia.



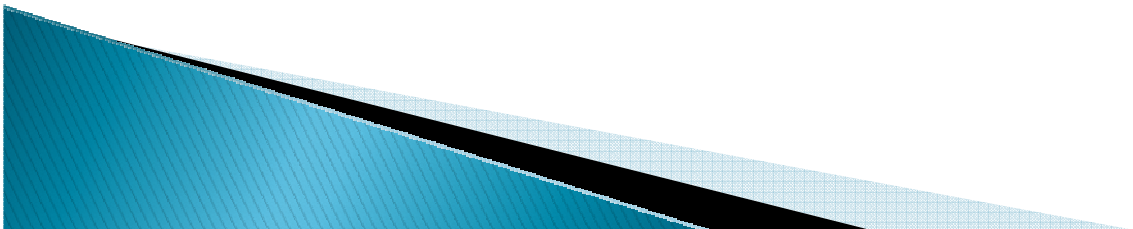
Descripción VHDL Mux 4-1

```
entity mux4 is port  
  (I :in std_logic_vector(3 downto 0);  
   E:in std_logic;  
   S :in std_logic_vector(1 downto 0);  
   z :out std_logic);  
end mux4;
```



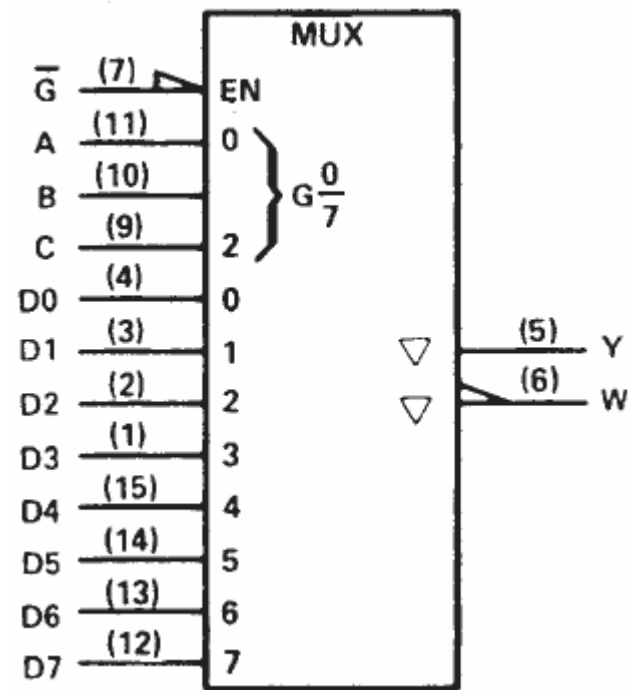
Descripción VHDL Mux 4-1

```
architecture Mux of mux4 is
begin
  process (I, S, E)
  begin
    if E='1' then z<='Z';
    elsif E='0' then
      case S is
        when "00" => z <= I(0);
        when "01" => z <= I(1);
        when "10" => z <= I(2);
        when "11" => z <= I(3);
      end case;
    end if;
  end process;
end Mux;
```



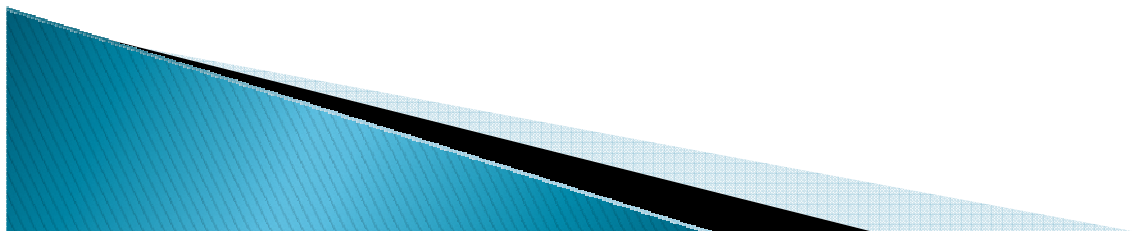
Esquema de un Mux 8-1

74LS151



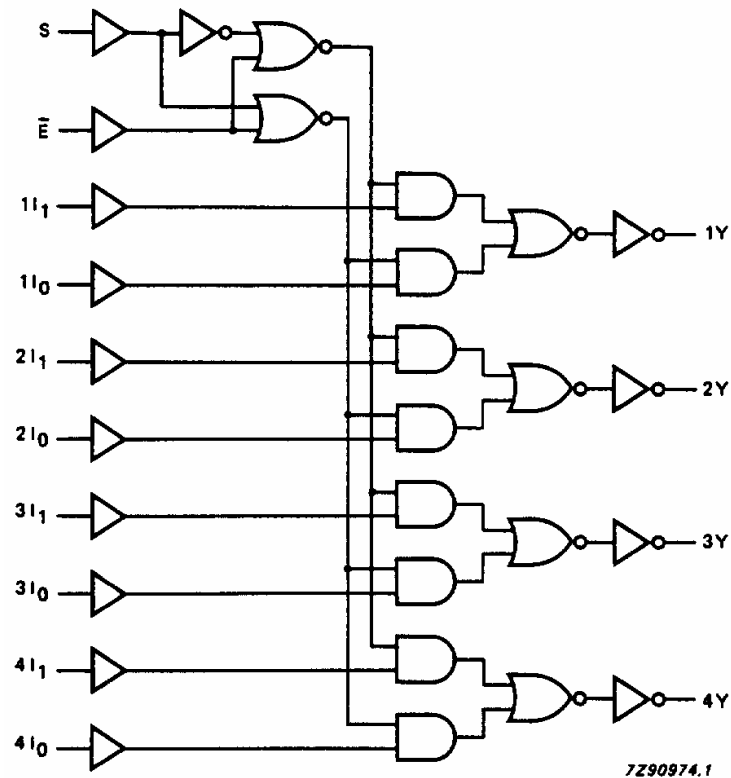
Mux cuádruple de 2 entradas

- ▶ Esta formado por cuatro multiplexores de dos entradas a una salida.
- ▶ Cada uno de ellos comparte una misma línea de selección de datos y una de habilitación.
- ▶ La entrada enable activa o desactiva el multiplexor según su nivel lógico.
- ▶ Según el valor del selector pasaran a las salidas correspondientes cada una de las entradas seleccionadas.



Mux cuádruple de 2 entradas

74HC157 (Philips)

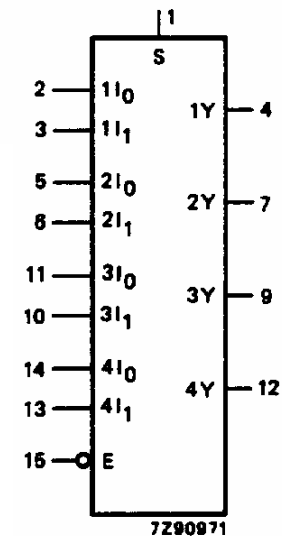


FUNCTION TABLE

INPUTS				OUTPUT
$\bar{E}$	S	nI_0	nI_1	nY
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

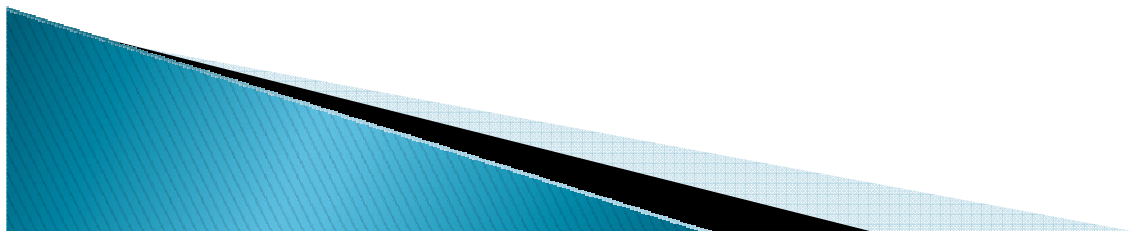
Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

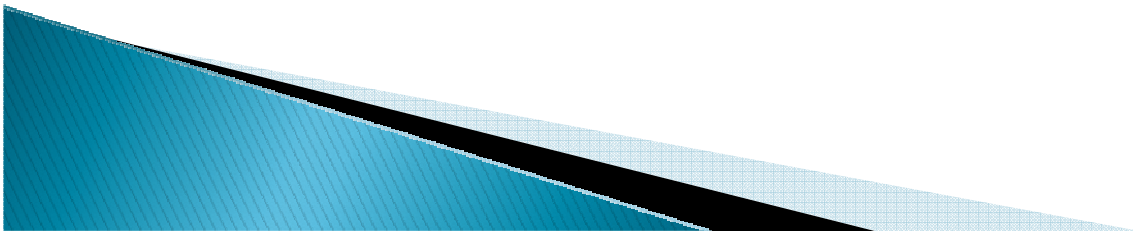


Aplicaciones prácticas

- ▶ Todo tipo de selector (Canales de televisión)
- ▶ Se pueden implementar operaciones lógicas del tipo (if ... else)
- ▶ Buses de comunicación en serie(USB, SPI, I2C)

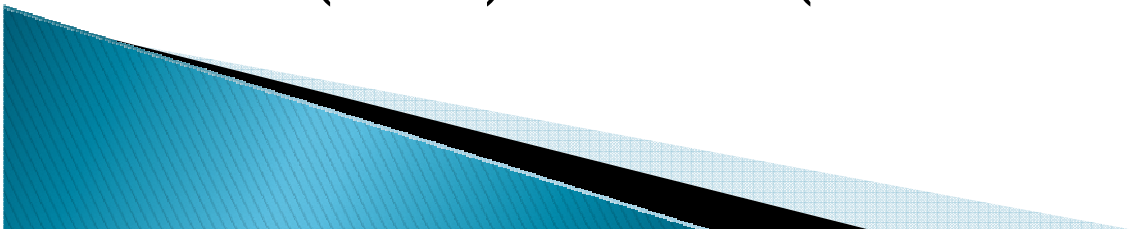


Ejercicios



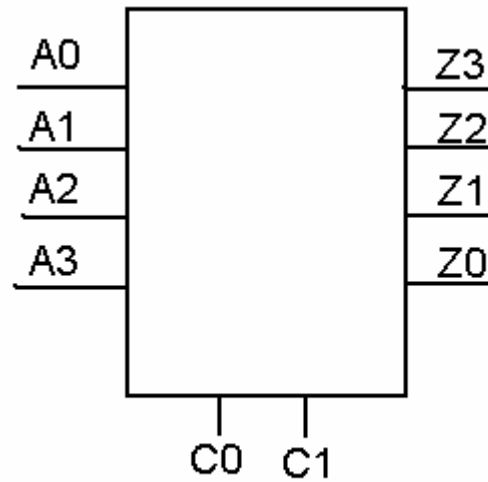
Ejercicios

- ▶ Un circuito de “desplazamiento en barril” (“barrel-shifter”) mueve los datos de entrada de forma que aparezcan en la salida girados el número de posiciones marcados por las señales de control. Construir utilizando multiplexores un “barrel-shifter” de 4 bits de entrada ($a_3a_2a_1a_0$) y 4 bits de salida ($z_3z_2z_1z_0$) con 4 posibles desplazamientos (dos señales de control c_1c_0):
 - $(c_1c_0) = 0 \Rightarrow (z_3z_2z_1z_0) = (a_3a_2a_1a_0),$
 - $(c_1c_0) = 1 \Rightarrow (z_3z_2z_1z_0) = (a_2a_1a_0a_3),$
 - $(c_1c_0) = 2 \Rightarrow (z_3z_2z_1z_0) = (a_1a_0a_3a_2),$
 - $(c_1c_0) = 3 \Rightarrow (z_3z_2z_1z_0) = (a_0a_3a_2a_1).$

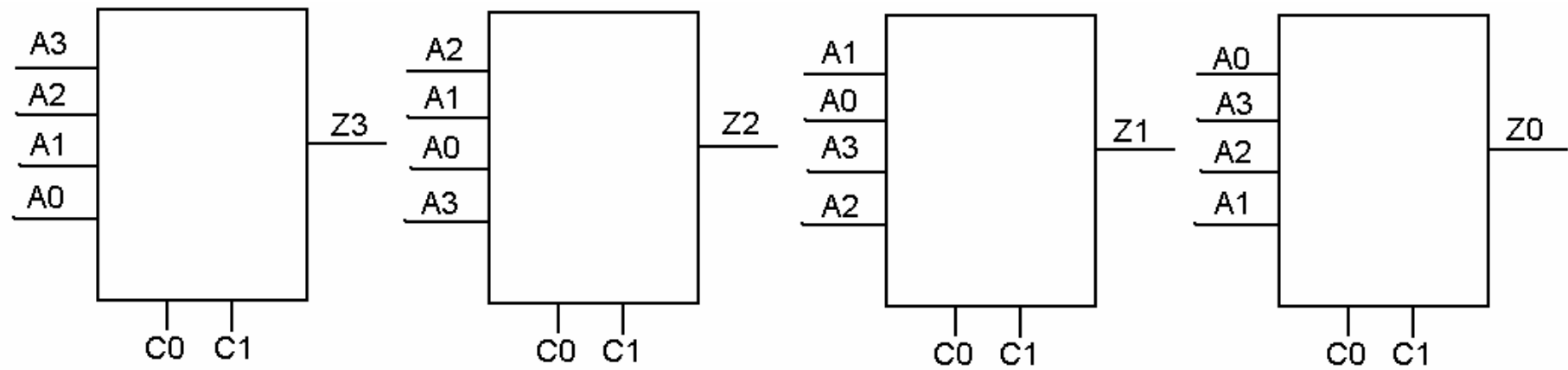


Ejercicios

C1	C0	Z3	Z2	Z1	Z0
0	0	A3	A2	A1	A0
0	1	A2	A1	A0	A3
1	0	A1	A0	A3	A2
1	1	A0	A3	A2	A1

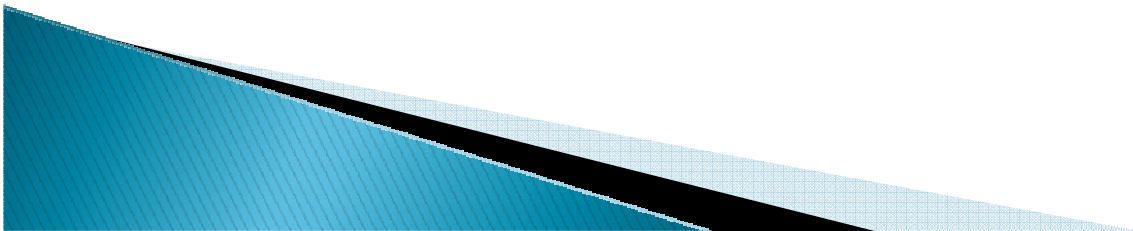


Ejercicios



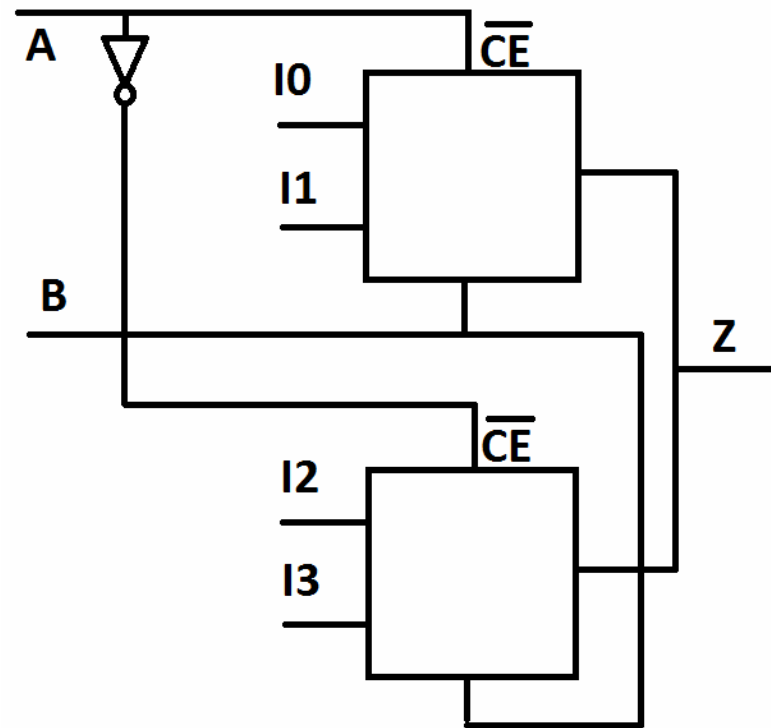
Ejercicios

- ▶ Construir un multiplexor de 4 entradas a 1 salida con multiplexores de 2-1.



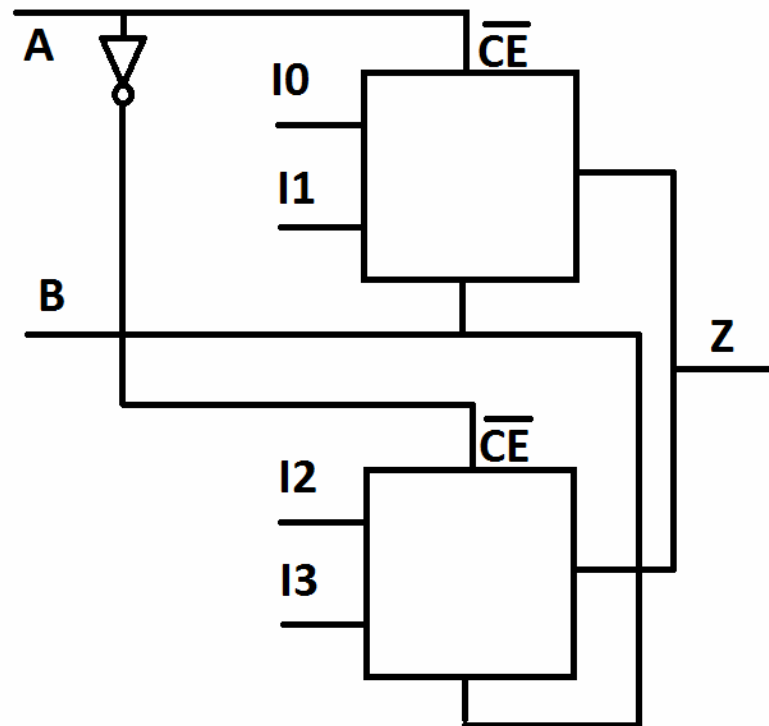
Ejercicios

- ▶ Construir un multiplexor de 4 entradas a 1 salida con multiplexores de 2-1.



Ejercicios

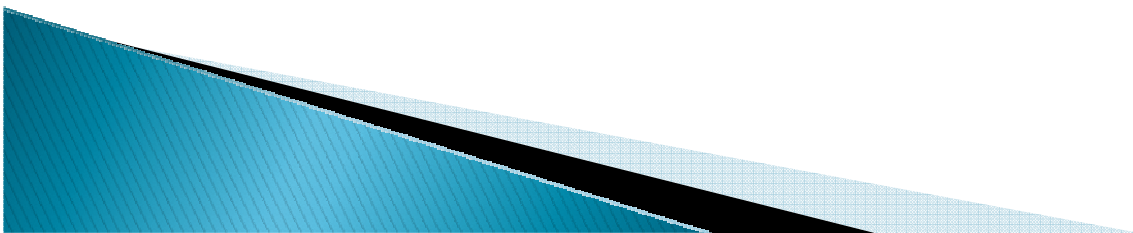
- ▶ A y B seleccionan la entrada.
- ▶ La puerta NOT hace que sólo funcione uno de los chips.
- ▶ Las salidas de los Mux se pueden cortocircuitar ya que uno de los dos tiene la salida en alta impedancia



Ejercicios

- ▶ Empleando un multiplexor de ocho canales 74151 con tres entradas de selección S2 (MSB), S1 y S0 (LSB),

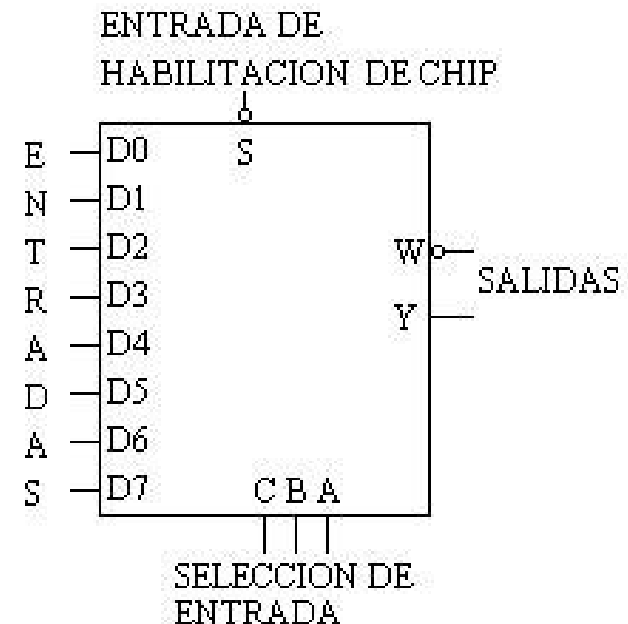
$$F(a,b,c,d)=ab+a\bar{c}+\bar{a}\bar{b}c+a\bar{b}d$$



Ejercicios

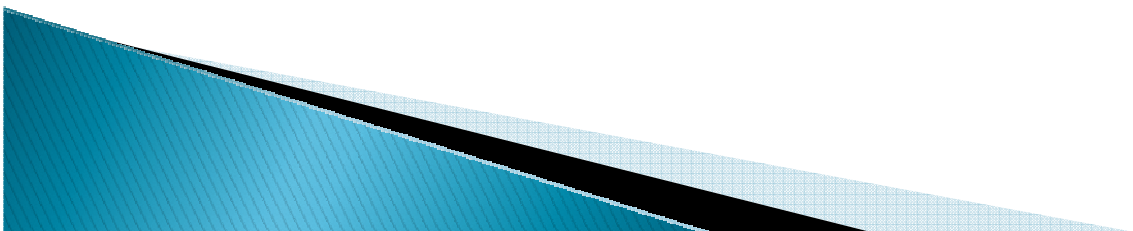
- ▶ Empleando un multiplexor de ocho canales 74151 con tres entradas de selección S2 (MSB), S1 y S0 (LSB):

$$F(a,b,c,d)=ab+ac+\bar{a}\bar{b}c+\bar{a}b\bar{d}$$



Ejercicios

- ▶ Obtenemos el resultado mediante el mapa de karnaugh. Así, sabiendo que el selector depende de ABC, podemos deducir a que nivel lógico se encuentran las entradas.



Ejercicios

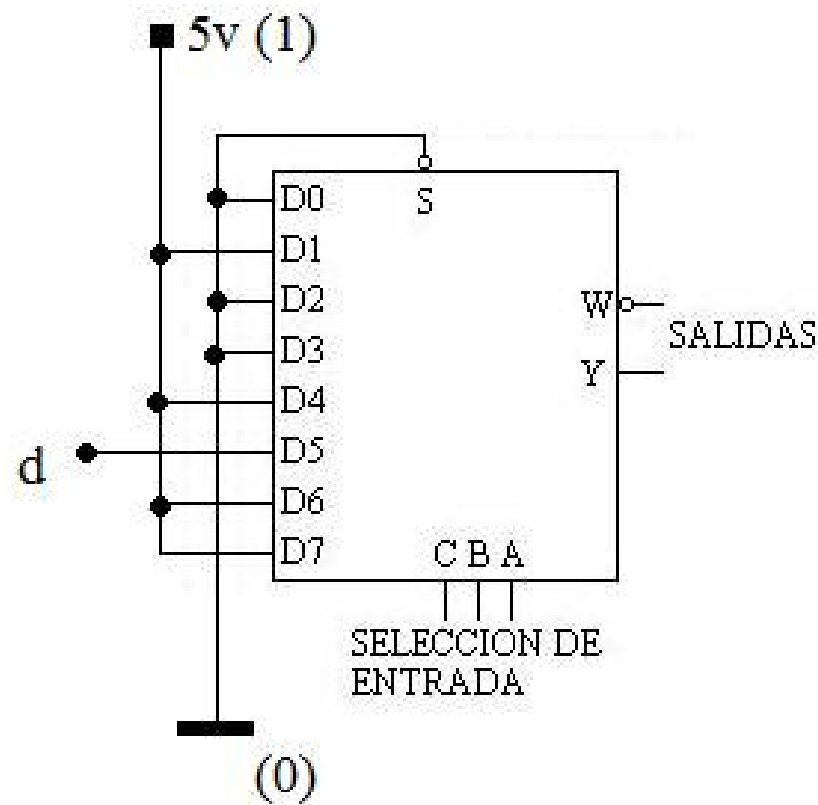
- ▶ Obtenemos el resultado mediante el mapa de karnaugh. Así, sabiendo que el selector depende de ABC, podemos deducir a que nivel lógico se encuentran las entradas.

		AB			
		00	01	11	10
CD	00	0	0	1	1
	01	0	0	1	1
	11	1	0	1	1
	10	1	0	1	0

0 -> '0'
1 -> '1'
2 -> '0'
3 -> '0'
4 -> '1'
5 -> 'd'
6 -> '1'
7 -> '1'

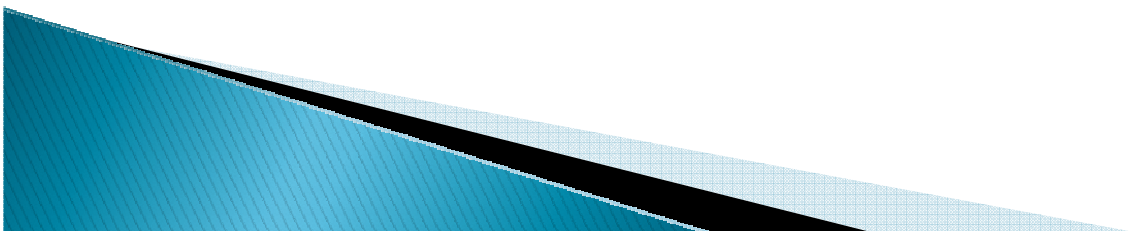
Ejercicios

- ▶ Con esto representamos las entradas en el multiplexor.



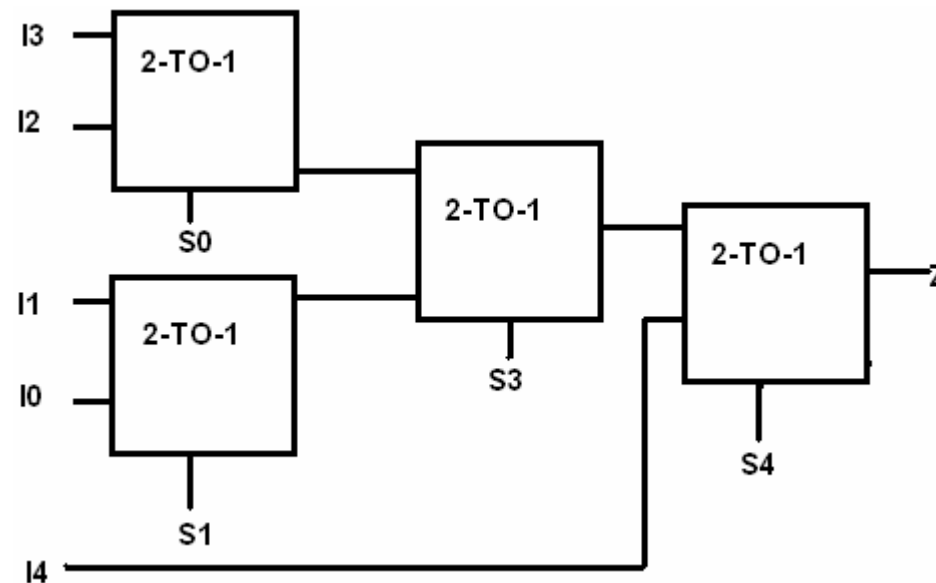
Ejercicios propuestos

- ▶ Diseñar un multiplexor de 5 canales a 1 salida combinando multiplexores 2-1.



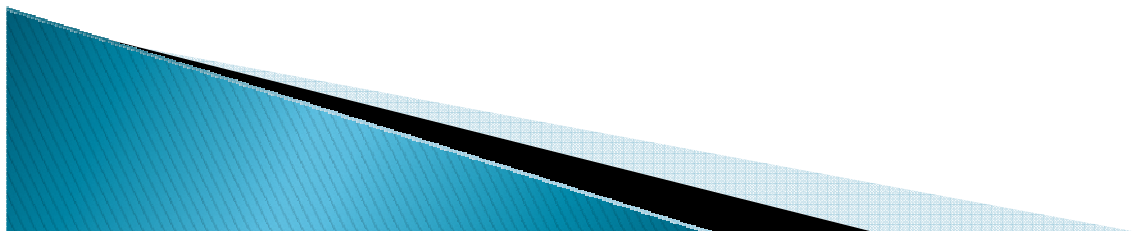
Ejercicios propuestos

- ▶ Diseñar un multiplexor de 5 canales a 1 salida combinando multiplexores 2-1.



Ejercicios propuestos

- ▶ Realizar la descripción VHDL del circuito de desplazamiento de barril.



Bibliografía

- Sistemas electrónicos digitales por Enrique Mandado y Yago Mandado
- Problemas de Sistemas electrónicos digitales por Joaquín Velasco Ballano y José Otero Arias
 - Texas Instruments
- Apuntes de teoría de Miguel Ángel Manzano

