

Decodificadores y Demultiplexores

- Pedro Fernández
- Ignacio de la Rosa

Decodificadores

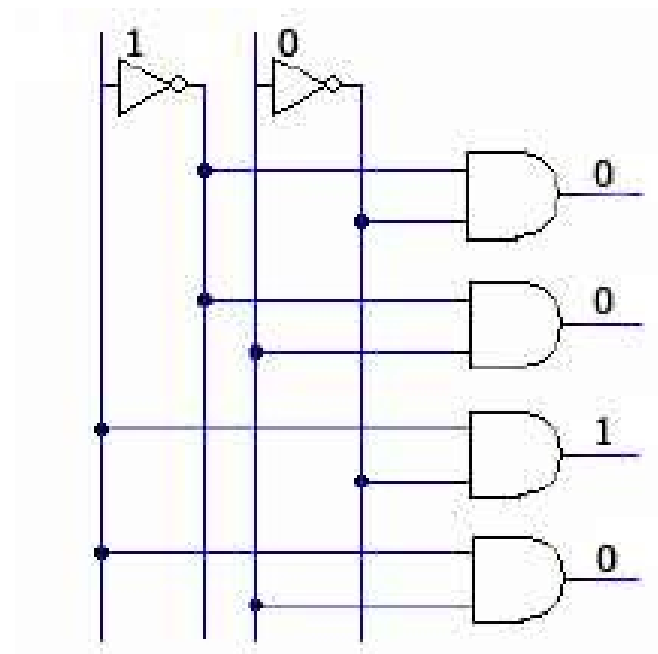
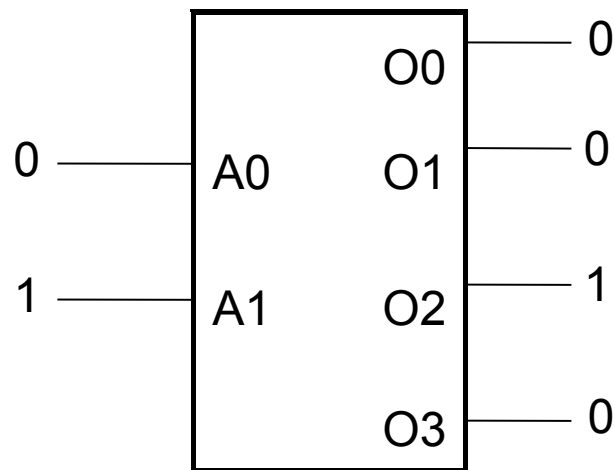
- El trabajo de un decodificador, es recibir como entradas códigos en binario (N bits) y activar una de las M salidas, donde $M=2^N$
- Ejemplo de tabla lógica de un decodificador de 2 entradas (2^2 salidas)

A1	A0	O0	O1	O2	O3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Decodificadores

Ejemplo de decodificador de 2 entradas:

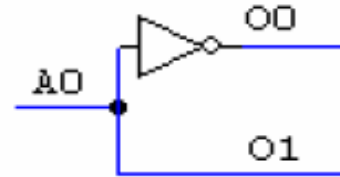
$A = 10 ; A_0 = 0 ; A_1 = 0$
 $O_0 = 0 ; O_1 = 0 ; O_2 = 1 ; O_3 = 0$



Decodificadores

- Un decodificador 1 a 2 puede realizarse únicamente con un solo inversor:

A0	O0	O1
0	1	0
1	0	1

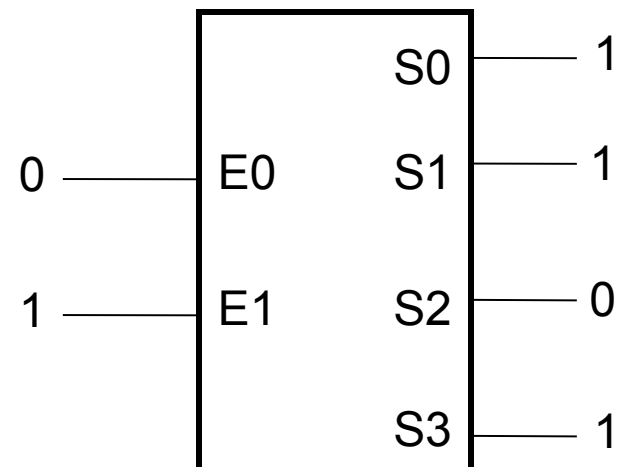


- Con una única entrada podemos obtener 2 salidas colocando un inversor en cada una de ellas
 - Para una entrada 0, tenemos la salida O0
 - Para una entrada 1, tenemos la salida O1

Decodificadores

El ejemplo de decodificador anterior es un decodificador activado a alto, sin embargo en la práctica son más utilizados los decodificadores activados a bajo, esto quiere decir que la salida indicada por el código es un '0' en vez de un '1' y viceversa. Eso se logra mediante puertas 'nand' e inversores en vez de puerta 'and'.

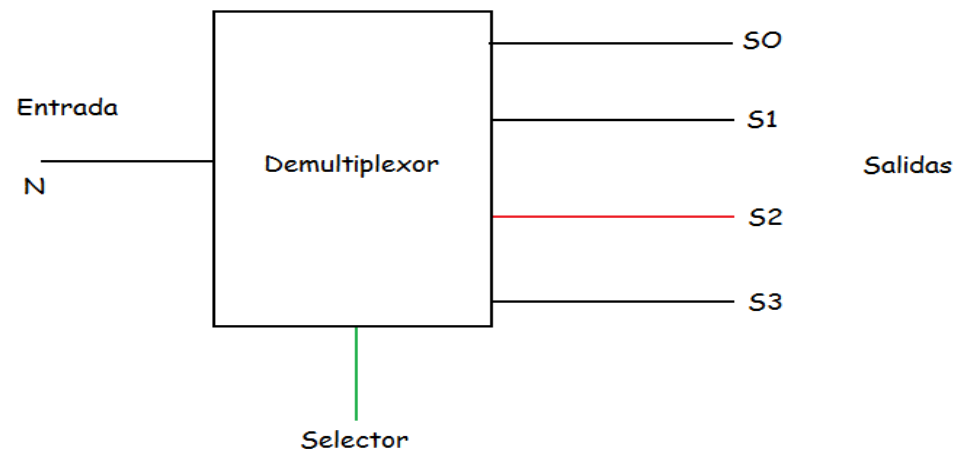
A1	A0	O0	O1	O2	O3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



[illegible]

Demultiplexores

- Un demultiplexor es un circuito que consta de una entrada de datos, N entradas de selección (o dirección) y 2^n salidas.
- Su función es transmitir la información de la entrada a una de las salidas. La selección de la salida por la cual queremos que se transmita la información, se realiza mediante el valor binario de las entradas de selección.
- En la imagen, para que la entrada salga por la salida S2, introduciríamos “1 0” en las entradas de selección. (“10” = 2 en binario)



Demultiplexores

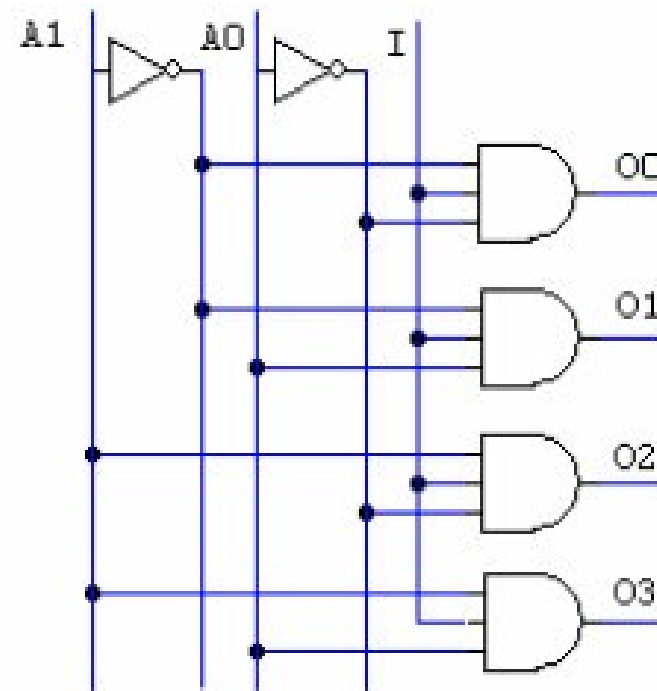
En el ejemplo anterior, hemos visto un demultiplexor 1 a 4 (1 entrada, 4 salidas) cuya tabla de verdad y esquema circuital sería el siguiente:

1 de 4 DEMUX

A1	A0	O0	O1	O2	O3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

$$O0 = \overline{A1} \overline{A0} I \quad O1 = \overline{A1} A0 I$$

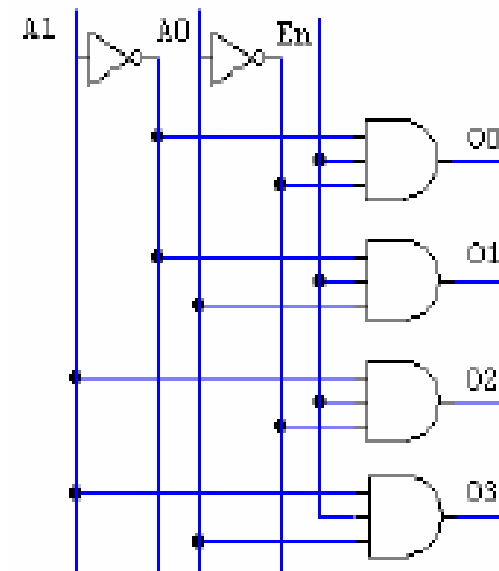
$$O2 = A1 \overline{A0} I \quad O3 = A1 A0 I$$



Decodificadores/Demultiplexores

Una de las particularidades de los demultiplexores, es que pueden formarse mediante un decodificador con enable. Por lo tanto, ambos comparten el mismo circuito, solo cambiando la entrada del demultiplexor (I), por la señal enable (En) del decodificador.

E	A1	A0	O0	O1	O2	O3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1



Decodificadores/Demultiplexores

- Similitudes entre el código VHDL de un decodificador y de un demultiplexor

```
library ieee;
use ieee.std_logic_1164.all;

entity dec2to4 is
port (A: in std_logic_vector(1 downto 0);    -- Entradas de dirección
      E: in std_logic;                       -- Entrada de habilitación
      O: out std_logic_vector(3 downto 0)); -- Salidas
end dec2to4;
```

```
architecture DEC of dec2to4 is
begin
process (A, E)
begin
if E = '0' then
O <= "0000";
else
case A is
when "00" => O <= "0001";
when "01" => O <= "0010";
when "10" => O <= "0100";
when "11" => O <= "1000";
when others => O <= "0000";
end case;
end if;
end process;
end DEC;
```

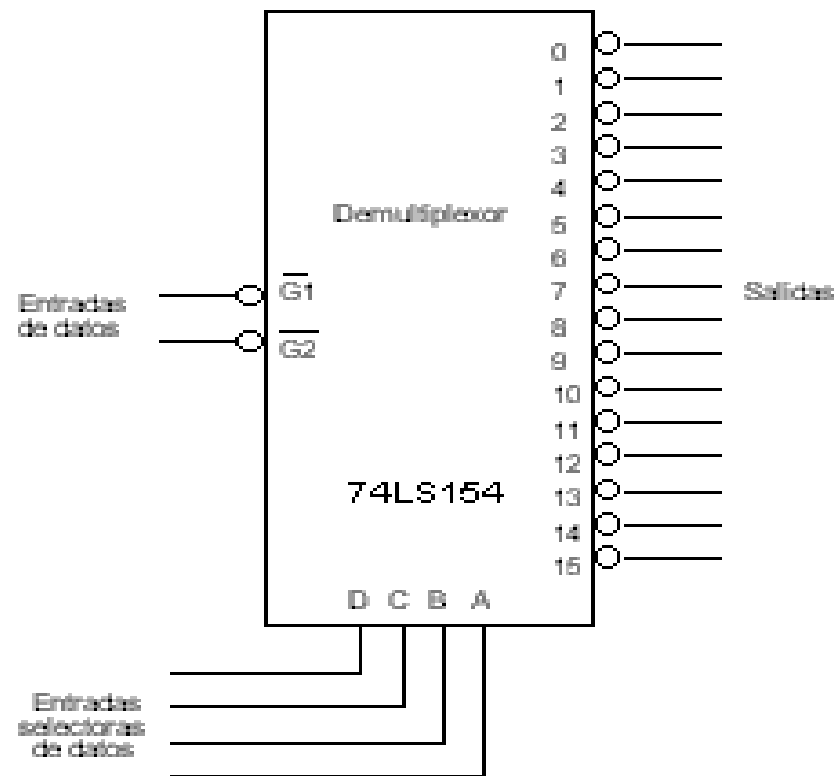
```
architecture DEMUX of dec2to4 is
begin
process (A, E)
begin
case A is
when "00" => O(0) <= E; O(1) <= '0';
              O(2) <= '0'; O(3) <= '0';
when "01" => O(0) <= '0'; O(1) <= E;
              O(2) <= '0'; O(3) <= '0';
when "10" => O(0) <= '0'; O(1) <= '0';
              O(2) <= E; O(3) <= '0';
when "11" => O(0) <= '0'; O(1) <= '0';
              O(2) <= '0'; O(3) <= E;
when others => O(0) <= '0'; O(1) <= '0';
              O(2) <= '0'; O(3) <= '0';
end case;
end process;
end DEMUX;
```

Decodificadores/Demultiplexores

- Un ejemplo de decodificador/demultiplexor es el 74LS154
- Se trata de un decod/demux que consta de 4 entradas y 16 salidas, sus salidas son activas a valores bajos, por lo que normalmente están en valores altos y cuando se activan están en bajo. Además, tiene dos entradas de datos G1 y G2 que están negadas, y por lo tanto realizan una operación NAND para generar la única entrada de datos, lo que quiere decir que para poder activar la entrada, las dos tienen que estar a nivel bajo.

Decodificadores/Demultiplexores

- El esquema del 74LS154 es el siguiente:



Decodificadores/Demultiplexores

- Además en el datasheet, podemos encontrar más información acerca de este dispositivo.



June 1989

54154/DM54154/DM74154 4-Line to 16-Line Decoders/Demultiplexers

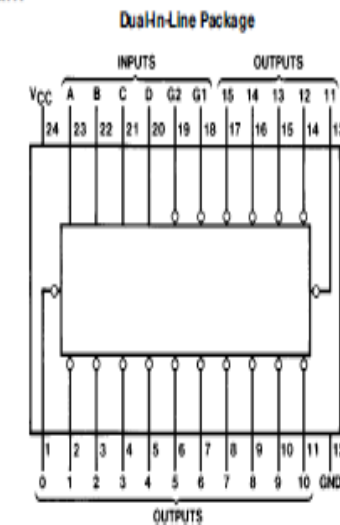
General Description

Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are low. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input low. When either strobe input is high, all outputs are high. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

Features

- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay
3 levels of logic 18 ns
Strobe 18 ns
- Typical power dissipation 170 mW
- Alternate Military/Aerospace device (54154) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



TL74154-1

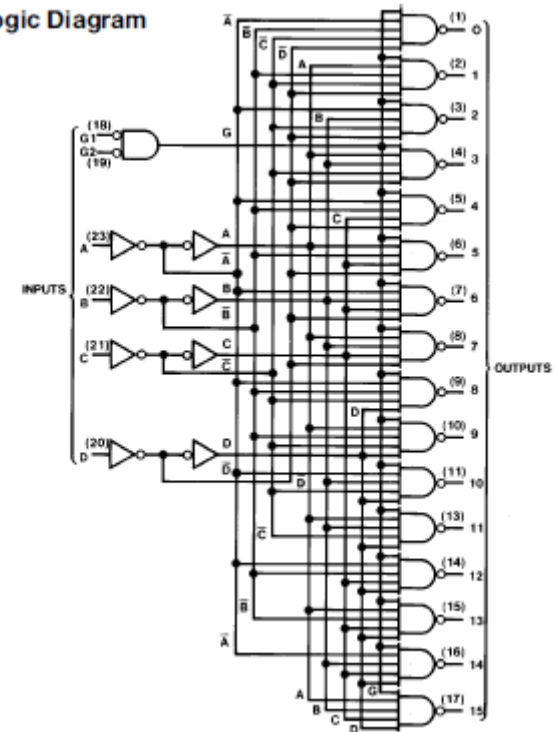
Order Number 54154DMQB, 54154FMOB, DM54154J or DM74154N
See NS Package Number J24A, N24A or W24C

Decodificadores/Demultiplexores

Function Table

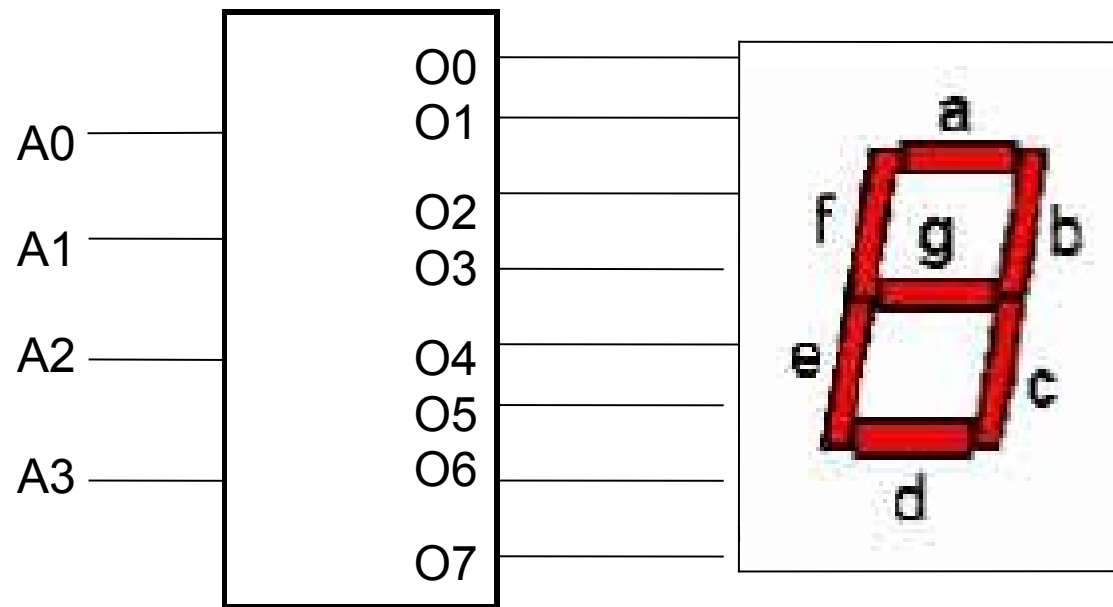
Inputs					Outputs																
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

Logic Diagram



Decodificador de 7 segmentos

Existen ciertos decodificadores que pueden enviar '1' lógicos a más de una salida. Este es el caso del decodificador usado para el display de 7 segmentos, cada salida va conectada a un LED que simboliza una parte del número a representar.

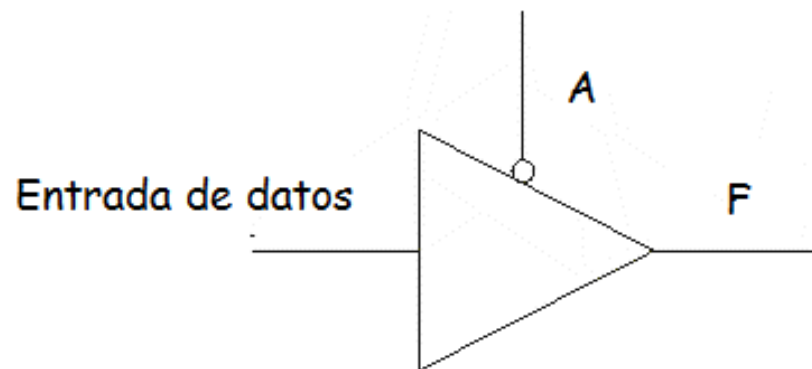


Decodificador de 7 segmentos

D	E3	E2	E1	E0	A	B	C	D	E	F	G
0	L	L	L	L	H	H	H	H	H	H	L
1	L	L	L	H	L	H	H	L	L	L	L
2	L	L	H	L	H	H	L	H	H	L	H
3	L	L	H	H	H	H	H	H	L	L	H
4	L	H	L	L	L	H	H	L	L	H	H
5	L	H	L	H	H	L	H	H	L	H	H
6	L	H	H	L	L	L	H	H	H	H	H
7	L	H	H	H	H	H	H	L	L	L	L
8	H	L	L	L	H	H	H	H	H	H	H
9	H	L	L	H	H	H	H	L	L	H	H

Demultiplexores

- Dispositivo: Buffer Triestado
- Puede funcionar como amplificador o realimentador
- Si por A llega un 0 el buffer funciona y realimenta el circuito, si llega un 1 no funciona debido a que trabaja a alta impedancia.



I	A	F
0	0	0
0	1	Z
1	0	1
1	1	Z

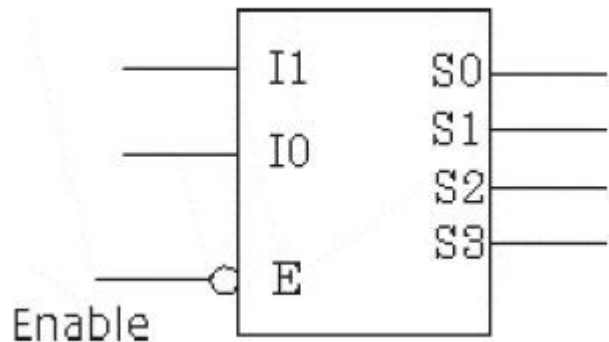
Ejercicios Propuestos

- Diseñar un demultiplexor de 2 a 4 utilizando buffers triestado y un decodificador 2 a 4.

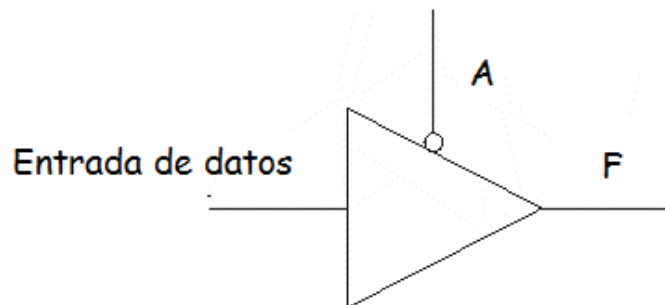
Decodificador

2 a 4 DEC

A1	A0	O0	O1	O2	O3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1



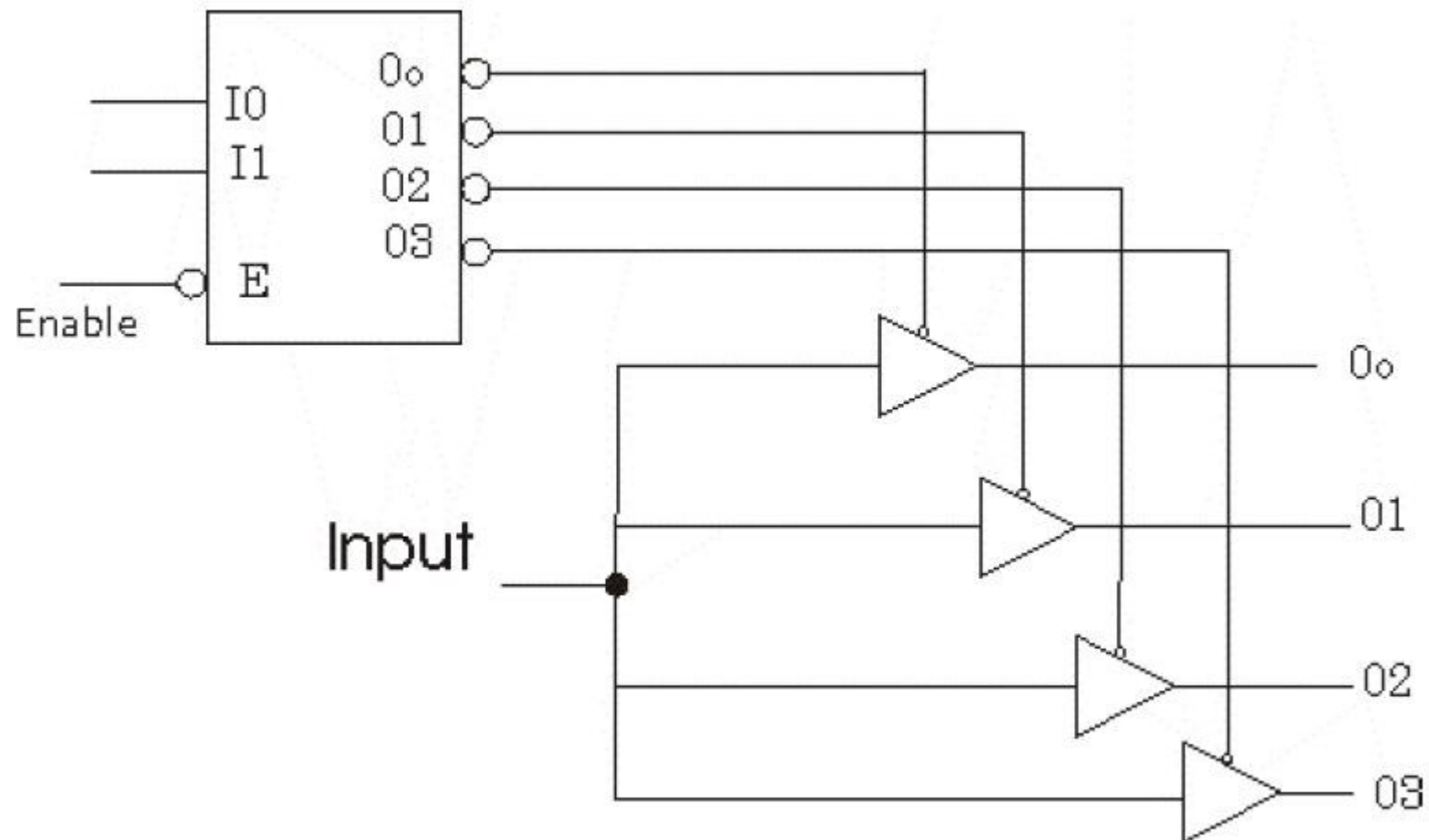
Buffer Triestado



I	A	F
0	0	0
0	1	Z
1	0	1
1	1	Z

Ejercicios Propuestos

- Solución:



Ejercicios Propuestos

- Se quiere diseñar un decodificador de 40 direcciones de 0 a 39 utilizando decodificadores binarios (2 a 4, 3 a 8, 4 a 16, etc). Indicar cuál es el número mínimo de decodificadores binarios que hay que utilizar y realizar el diseño del decodificador utilizando decodificadores binarios y las puertas lógicas que sean necesarias (un inversor)