

Codificadores con Prioridad

Iván Pérez Gallardo

Oscar López Ruiz

David González Cagigas

Codificadores con Prioridad

- Un codificador es un sistema combinacional de 2^n entradas y n salidas el cual, cuando una sola de las entradas adopta un estado lógico determinado, en la salida aparece la combinación binaria correspondiente al número decimal asignado a dicha entrada.

Codificadores con Prioridad

- Un circuito codificador es sin prioridad cuando más de una entrada toma el estado activo “1” ó “0”. En este caso, sólomente debe ser activa una entrada en cada instante.
- Un circuito codificador con prioridad, permite que varias entradas puedan tomar valor lógico 1 se debe establecer una prioridad para saber que índice toma la salida. Normalmente se establece alta prioridad (HPRI) o baja prioridad (LPRI).

Codificadores con Prioridad

- La tabla de verdad de un circuito codificador con prioridad de 4 entradas y 2 salidas es la siguiente:

I0	I1	I2	I3	A1	A0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

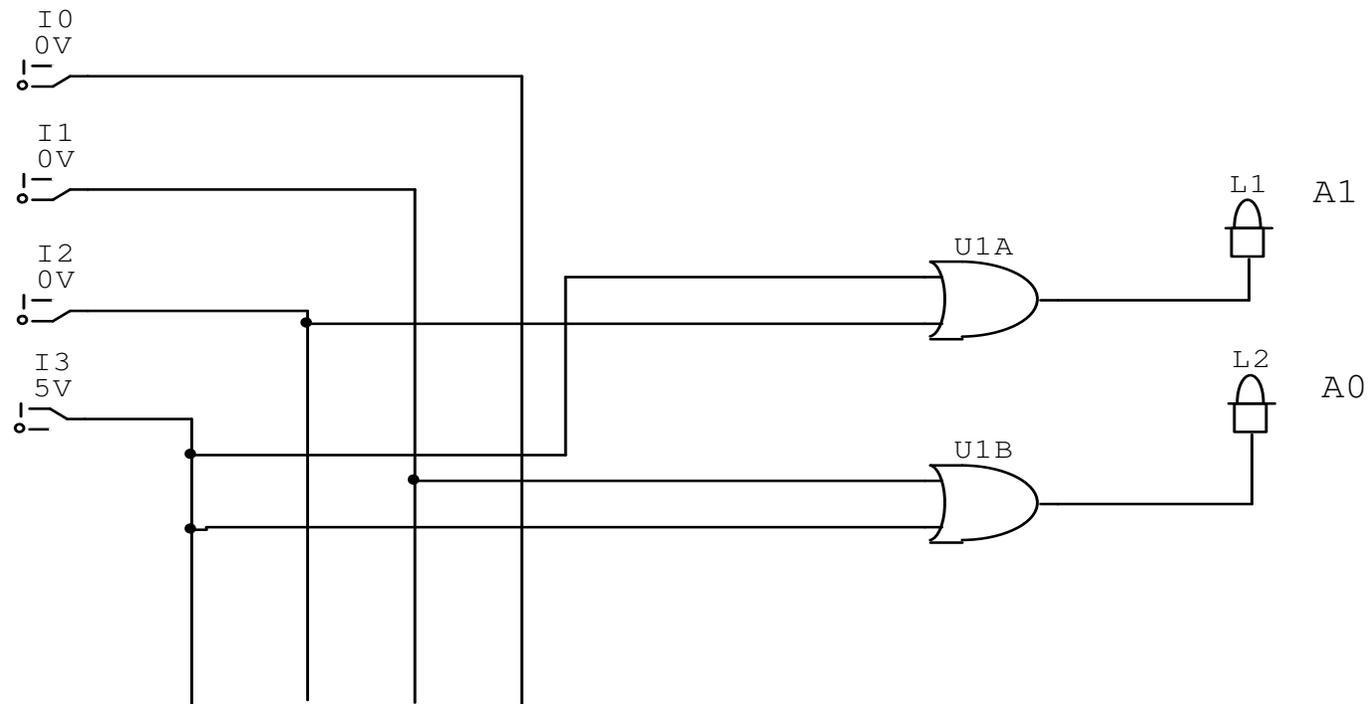
- La función lógica de cada salida se obtiene mediante el OR lógico de las entradas a 1 en las filas que producen 1 en dicha salida.

$$A1 = I2 + I3$$

$$A0 = I1 + I3$$

Codificadores con Prioridad

- El circuito resultante utilizando puertas lógicas es el siguiente:



Codificadores con Prioridad

- Un codificador 4 a 2 con prioridad alta genera en la salida el índice más alto puesto a 1, si fuese de baja prioridad, el índice más bajo. Su tabla de la verdad es la siguiente, donde Z indica si existe una entrada a 1:

I0	I1	I2	I3	A1	A2	Z
X	X	X	1	1	1	1
X	X	1	0	1	0	1
X	1	0	0	0	1	1
1	0	0	0	0	0	1
0	0	0	0	0	0	0

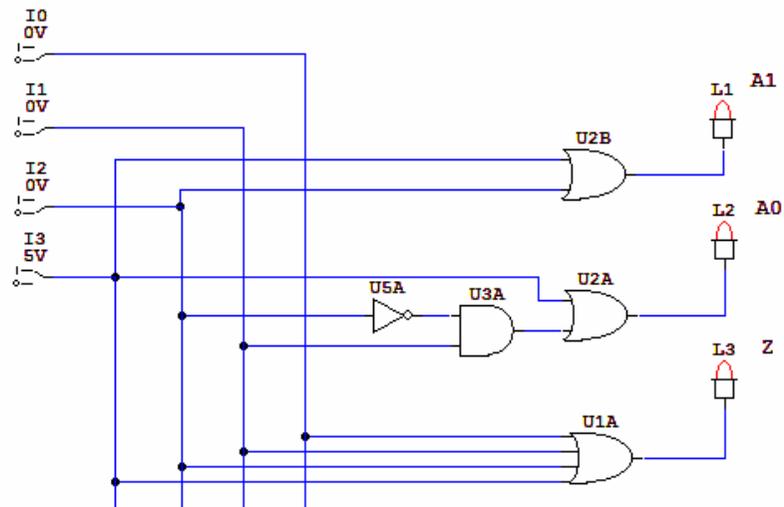
Codificadores con Prioridad

- De donde se obtiene, según la técnica vista en la diapositiva 4, y cuyo circuito resultante es el siguiente:

$$A1 = I3 + \overline{I2} = I3 + I2$$

$$A0 = I3 + \overline{I3I2I1} = I3 + \overline{I2I1}$$

$$Z = I3 + I2 + I1 + I0$$



Codificadores con Prioridad

- Entre otras familias de codificadores comerciales la 74'147 nos ofrece una codificación de 10 a 4, cuyas entradas y salidas tienen polaridad negativa como podremos ver en su esquema.
- Además una de sus características es que no usa entradas a 1, sino que se considerará 1 cuando todas las demás entradas se encuentren a 0.
- <http://pdf1.alldatasheet.com/datasheet-pdf/view/27380/TI/SN74147N.html>, en este enlace externo a una página web, podemos encontrar las hojas de características de esta familia.

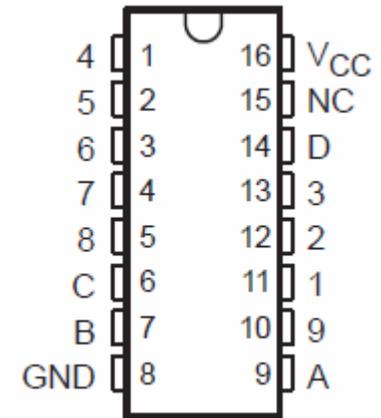
Codificadores con Prioridad

- Este sería el patillaje de este circuito impreso:
- Su tabla funcional:

FUNCTION TABLE - '147, 'LS147

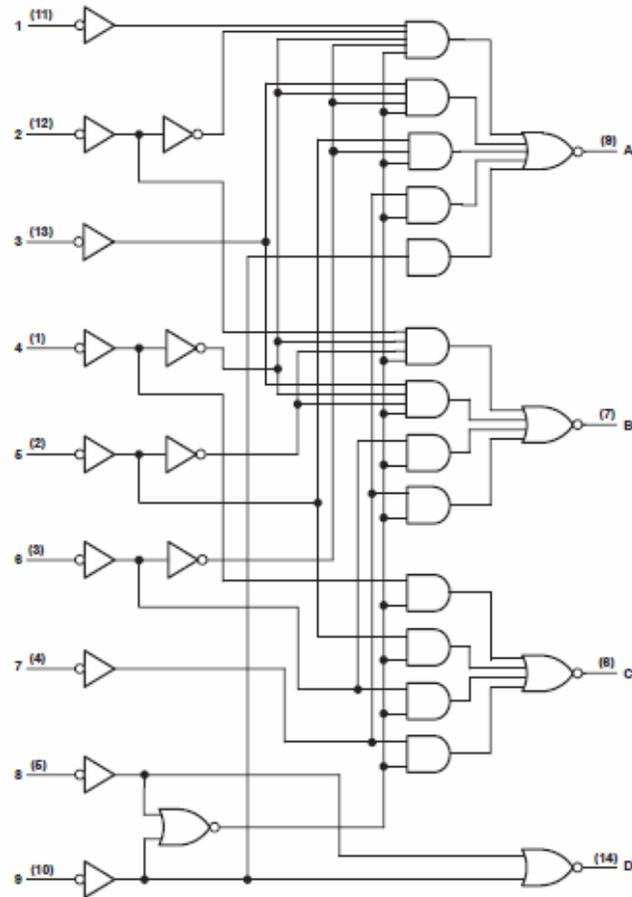
INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = high logic level, L = low logic level, X = irrelevant



Codificadores con Prioridad

- Y por ultimo su circuito equivalente sería:



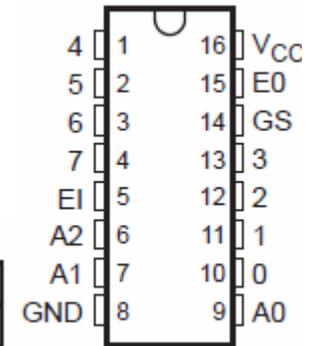
Codificadores con Prioridad

Codificadores con Prioridad

- Otra familia, la 74'148, se caracteriza por ser un codificador con prioridad alta de 8 a 3. Cuyas salidas y entradas también están en polaridad negativa.
- Dispone de un habilitador de entrada EI, y dos salidas de control GS (a 1 si hay alguna entrada a 1) y E0 (a 1 si ninguna entrada está a 1) que permiten construir codificadores de más bits.
- Sus hojas de características se pueden ver en:
<http://pdf1.alldatasheet.com/datasheet-pdf/view/27380/TI/SN74147N.html>

Codificadores con Prioridad

- Este sería el patillaje de este circuito impreso:
- Su tabla funcional:



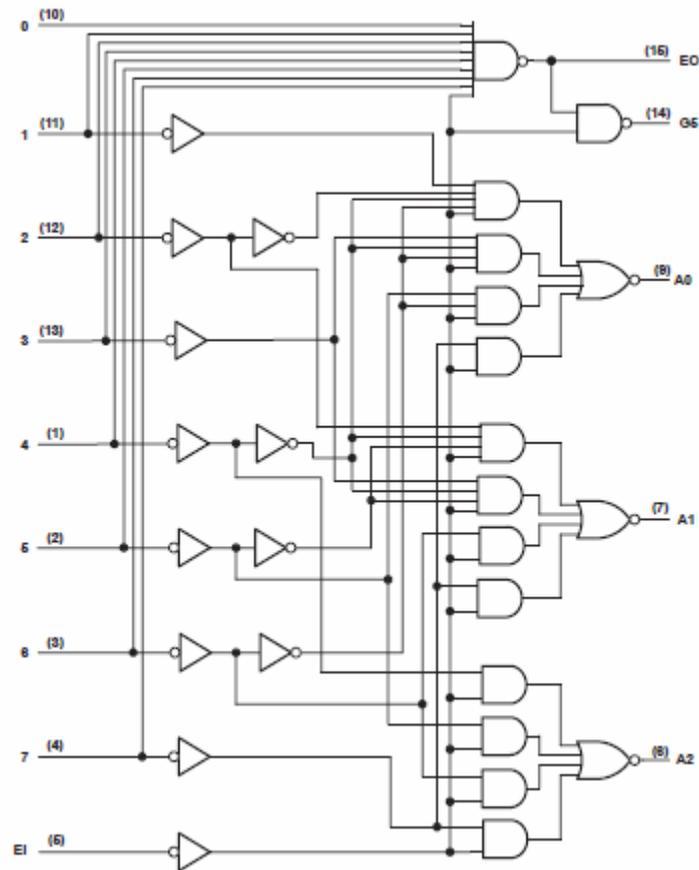
FUNCTION TABLE - '148, 'LS148

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	L	L	H
L	X	X	X	X	L	H	H	H	L	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

H = high logic level, L = low logic level, X = irrelevant

Codificadores con Prioridad

- Y por ultimo su circuito equivalente sería:



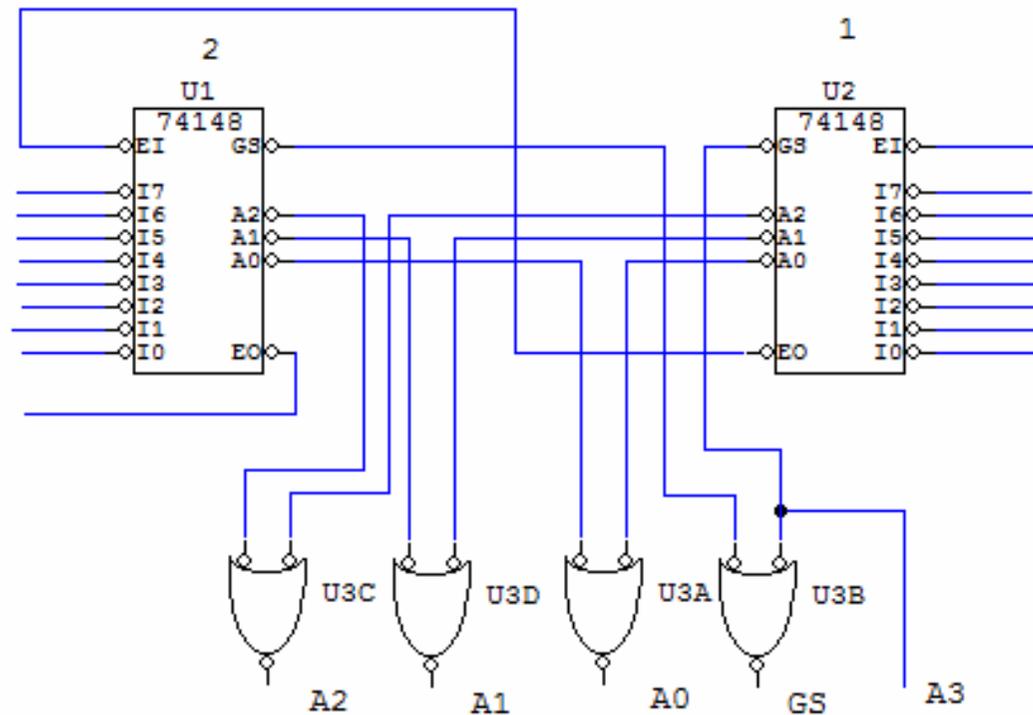
Codificadores con Prioridad

Codificadores con Prioridad

- Para realizar codificadores de N a 2^N bits se pueden emplear codificadores de M a 2^M bits siempre y cuando N sea mayor que M .
- Existen 2 tipos de desarrollos:
 - Cascada.
 - Paralelo.

Codificadores con Prioridad

- En cascada: se utilizan entradas de habilitación como en el 74'148. Por ejemplo: 16 a 4 en base a dos 8 a 3:

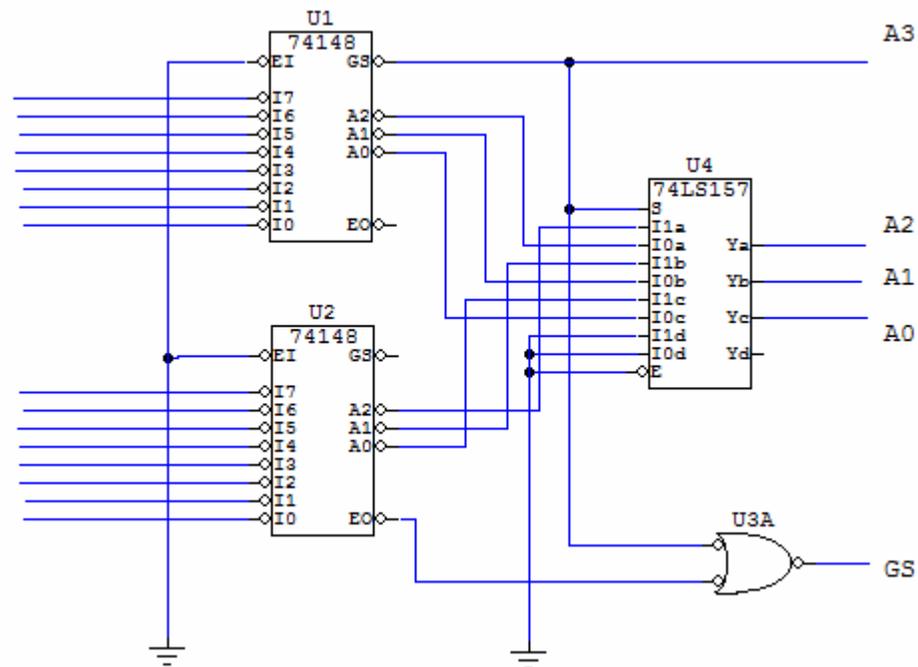


Codificadores con Prioridad

- Si hay al menos un 1 en el codificador 1, GS1 es 1 (A3 es 1), y EO1 es 0, con lo que EI2 es 0 y por tanto el codificador 2 queda deshabilitado, siendo sus salidas A y GS2 0. Entonces las salidas A2, A1, A0 son las del codificador 1.
- Si hay ceros en el codificador 1 y al menos un 1 en el 2, el codificador 1 tendrá las salidas A y GS1 a 0 (A3 es 0), y EO1 es 1, con lo que el codificador 2 queda habilitado y las salidas A2, A1, A0 serán las de este, el codificador 2.
- Si no hay ningún 1, en el 1 ni en el 2, GS y las salidas A son 0 y EO2 será 1.

Codificadores con Prioridad

- Desarrollo en paralelo.
- Ejemplo: 16 a 4 en base a dos 8 a 3.



Codificadores con Prioridad

- Si hay al menos un 1 las entradas del codificador 1, GS1 es 1 (A3 es 1). La entrada de selección del multiplexor está a 1 luego las salidas A2, A1 y A0 se corresponden a las del codificador 1.
- Si hay ceros en las entradas del codificador 1 y al menos en las del codificador 2, GS1 es 0 (A3 es 0). La entrada de selección del multiplexor está a 0 luego las salidas A2, A1 y A0 se corresponden a las del codificador 2.
- Si no hay ningún 1, GS y las salidas A son 0.

Codificadores con Prioridad

- Modelo VHDL de un codificador con prioridad alta (HPRI) 4 a 2:

```
library ieee;
use ieee.std_logic_1164.all;
entity hpri4to2 is
port (I: in std_logic_vector(3 downto 0); -- Entradas de datos
A: out std_logic_vector(1 downto 0); -- Salidas
Z: in std_logic); -- Control de que alguna entrada está a 1
end hpri4to2;
architecture comportamiento of hpri4to2 is
Begin
A <= "11" when I(3) = '1' else
"10" when I(2) = '1' else
"01" when I(1) = '1' else
"00";
Z <= '0' when I = "0000" else '1';
end comportamiento;
```

Codificadores con Prioridad

Problemas propuestos

- Obtener las expresiones lógicas minimizadas que permiten encontrar cuál de 7 líneas de entrada A1, A4, A6, A8, A9, A13, A14 está puesta a valor lógico 1, dando como resultado su correspondiente codificación binaria: por ejemplo, A8 daría como resultado 8 en la salida (codificado en binario). a) Sólo puede estar una línea a valor lógico 1. b) Varias líneas de entrada estén simultáneamente a 1, pero la salida tomará el valor binario de la línea de índice más bajo.

Codificadores con Prioridad

- Encontrar las ecuaciones lógicas que permiten definir un circuito codificador con prioridad baja de 8 bits de entrada (I7-I0) y salidas en código Gray (de más a menos significativas: A B C).
- Construir un circuito codificador binario de 8 a 3 con prioridad baja tomando como base el circuito codificador 74LS148, y el menor número posible de puertas lógicas que sean necesarias. Se permite definir como mejor convenga la polaridad de las entradas y de las salidas.