

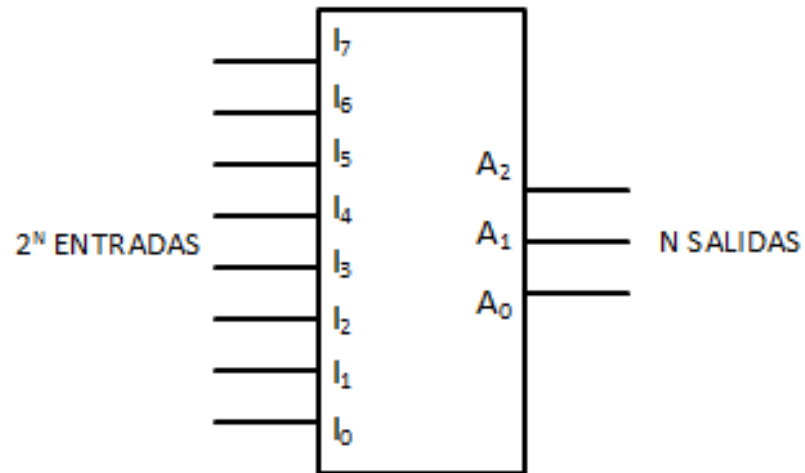
CODIFICADORES CON PRIORIDAD

Grupo 2

Descripción

Los codificadores son circuitos combinatoriales generalmente de 2^N entradas y N salidas, donde las salidas son el código binario correspondiente al valor de una de las entradas activas según un criterio de selección.

Puede darse el caso de que la entrada sea menor que 2^N , por ejemplo un codificador BCD de 10 a 4.



En la figura vemos un codificador de 8 a 3.

Codificadores sin prioridad

Cuando el codificador solamente permite que una de las entradas tome el estado lógico 1 estamos ante codificadores sin prioridad. Su funcionamiento se basa en puertas lógicas OR y por lo tanto no necesitan de ningún circuito especial.

Al usar este tipo de codificadores pueden darse casos en los que se genere confusión. Por ejemplo, cuando un valor de salida puede corresponder a varias entradas.

Codificadores sin prioridad

A continuación se muestra de la tabla de verdad de un codificador sin prioridad de 8 a 3.

I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	A_2	A_1	A_0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

Codificadores sin prioridad

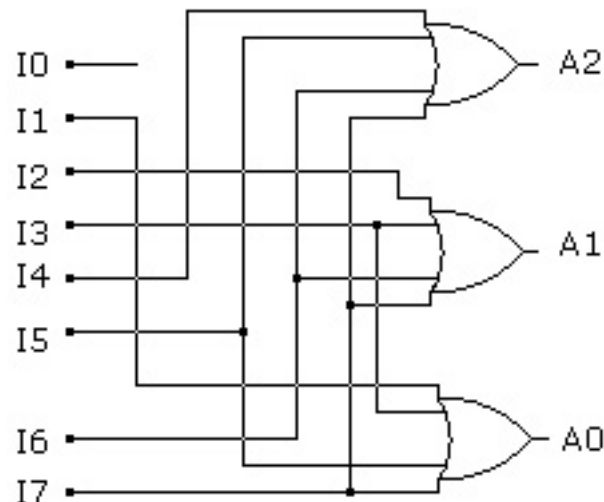
Las funciones lógicas para cada salida las podemos obtener de la tabla de verdad, realizando el OR lógico de las entradas a 1 en las filas que producen 1 en dicha salida.

$$A_2 = I_4 + I_5 + I_6 + I_7$$

$$A_1 = I_2 + I_3 + I_6 + I_7$$

$$A_0 = I_1 + I_3 + I_5 + I_7$$

Por lo tanto, el circuito lógico implementado con puertas OR sería el siguiente.



Codificadores con prioridad

Para evitar los errores en las salidas cuando tenemos más de una entrada que puede tomar el estado lógico 1 debemos utilizar los codificadores con prioridad.

Estos codificadores seleccionan la entrada de mayor prioridad cuando hay más de una entrada que toma el estado lógico 1 simultáneamente.

En los codificadores con prioridad alta la salida generada será la del mayor índice de entrada puesto a 1. En los codificadores con prioridad baja, la salida corresponderá al menor índice de entrada puesto a 1.

Codificadores con prioridad

A continuación se muestra la tabla de verdad para un codificador con prioridad alta de 8 a 3.

La salida Z indica si alguna de las entrada está a 1.

I ₇	I ₆	I ₅	I ₄	I ₃	I ₂	I ₁	I ₀	A ₂	A ₁	A ₀	Z
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	1	X	0	0	1	1
0	0	0	0	0	1	X	X	0	1	0	1
0	0	0	0	1	X	X	X	0	1	1	1
0	0	0	1	X	X	X	X	1	0	0	1
0	0	1	X	X	X	X	X	1	0	1	1
0	1	X	X	X	X	X	X	1	1	0	1
1	X	X	X	X	X	X	X	1	1	1	1

Codificadores con prioridad

Para hallar la función lógica de cada salida realizamos la operación lógica OR en cada fila que de 1 en dicha salida. Las expresiones se simplifican mediante álgebra de conmutación.

$$\begin{aligned} A_2 &= \overline{I_7} \overline{I_6} \overline{I_5} I_4 + \overline{I_7} \overline{I_6} I_5 + \overline{I_7} I_6 + I_7 \\ &= I_4 + I_5 + I_6 + I_7 \end{aligned}$$

$$\begin{aligned} A_1 &= \overline{I_7} \overline{I_6} \overline{I_5} \overline{I_4} \overline{I_3} I_2 + \overline{I_7} \overline{I_6} \overline{I_5} \overline{I_4} I_3 + \overline{I_7} I_6 + I_7 \\ &= \overline{I_5} \overline{I_4} I_2 + \overline{I_5} \overline{I_4} I_3 + I_6 + I_7 \end{aligned}$$

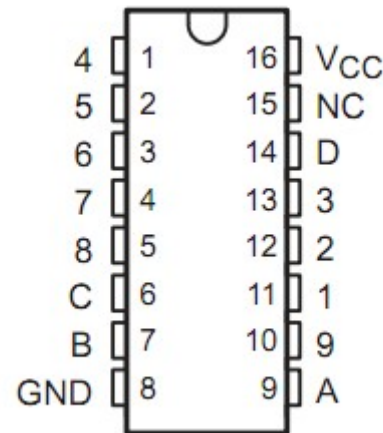
$$\begin{aligned} A_0 &= \overline{I_7} \overline{I_6} \overline{I_5} \overline{I_4} \overline{I_3} \overline{I_2} I_1 + \overline{I_7} \overline{I_6} \overline{I_5} \overline{I_4} I_3 + \overline{I_7} \overline{I_6} I_5 + I_7 \\ &= \overline{I_6} \overline{I_4} \overline{I_2} I_1 + \overline{I_6} \overline{I_4} I_3 + \overline{I_6} I_5 + I_7 \end{aligned}$$

$$Z = I_7 + I_6 + I_5 + I_4 + I_3 + I_2 + I_1 + I_0$$

Codificador comercial 74'147

El circuito comercial 74'147 es un codificador 10 a 4 de prioridad alta que tiene la polaridad de sus entradas y salidas negativa.

Tiene como peculiaridad que la entrada 0 no la usa. Se considera que está a 1 cuando el resto de entradas están a 0.



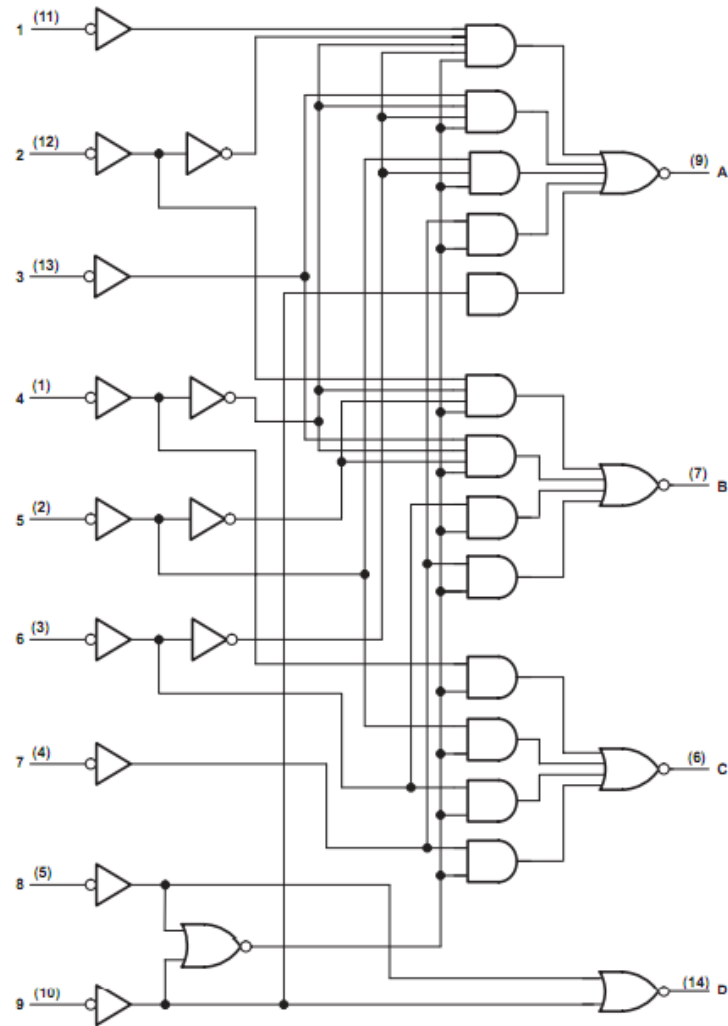
Codificador comercial 74'147

FUNCTION TABLE - '147, 'LS147

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	L	H	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	L
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = high logic level, L = low logic level, X = irrelevant

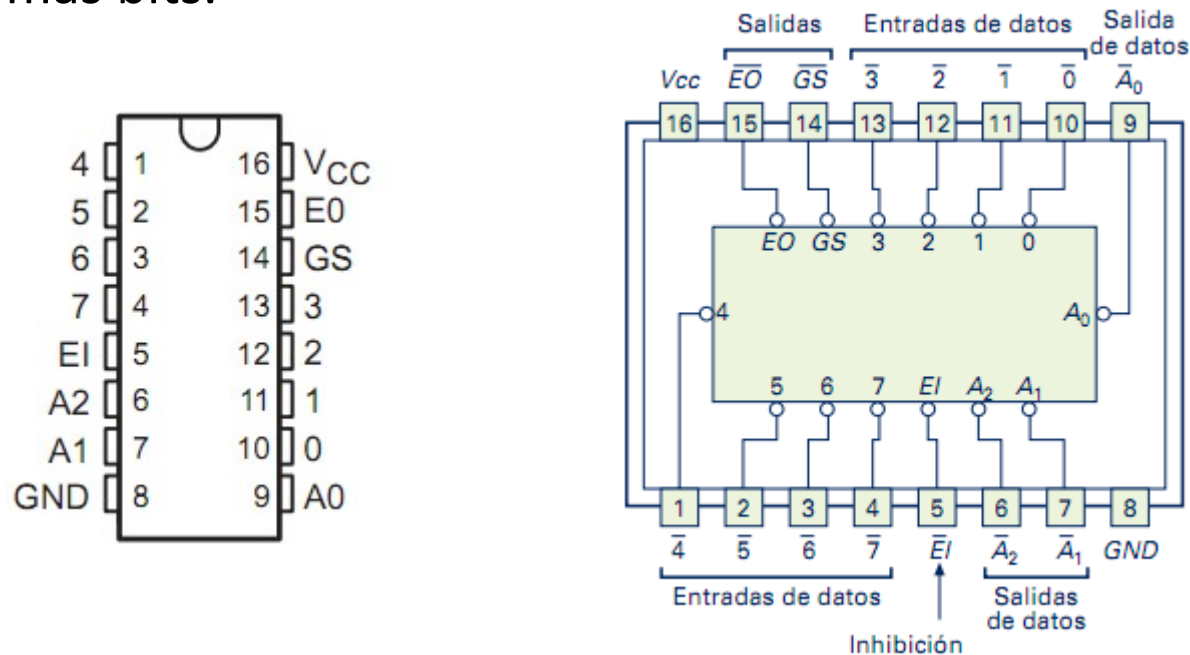
Codificador comercial 74'147



Codificador comercial 74'148

El circuito comercial 74'148 es un codificador 8 a 3 de prioridad alta que al igual que el anterior también tienen la polaridad de sus entradas y salidas negativa.

Tiene un habilitador de entrada EI, y dos salidas de control GS (a 1 si hay alguna entrada a 1) y E0 (a 1 si ninguna entrada está a 1) que permiten construir codificadores de más bits.



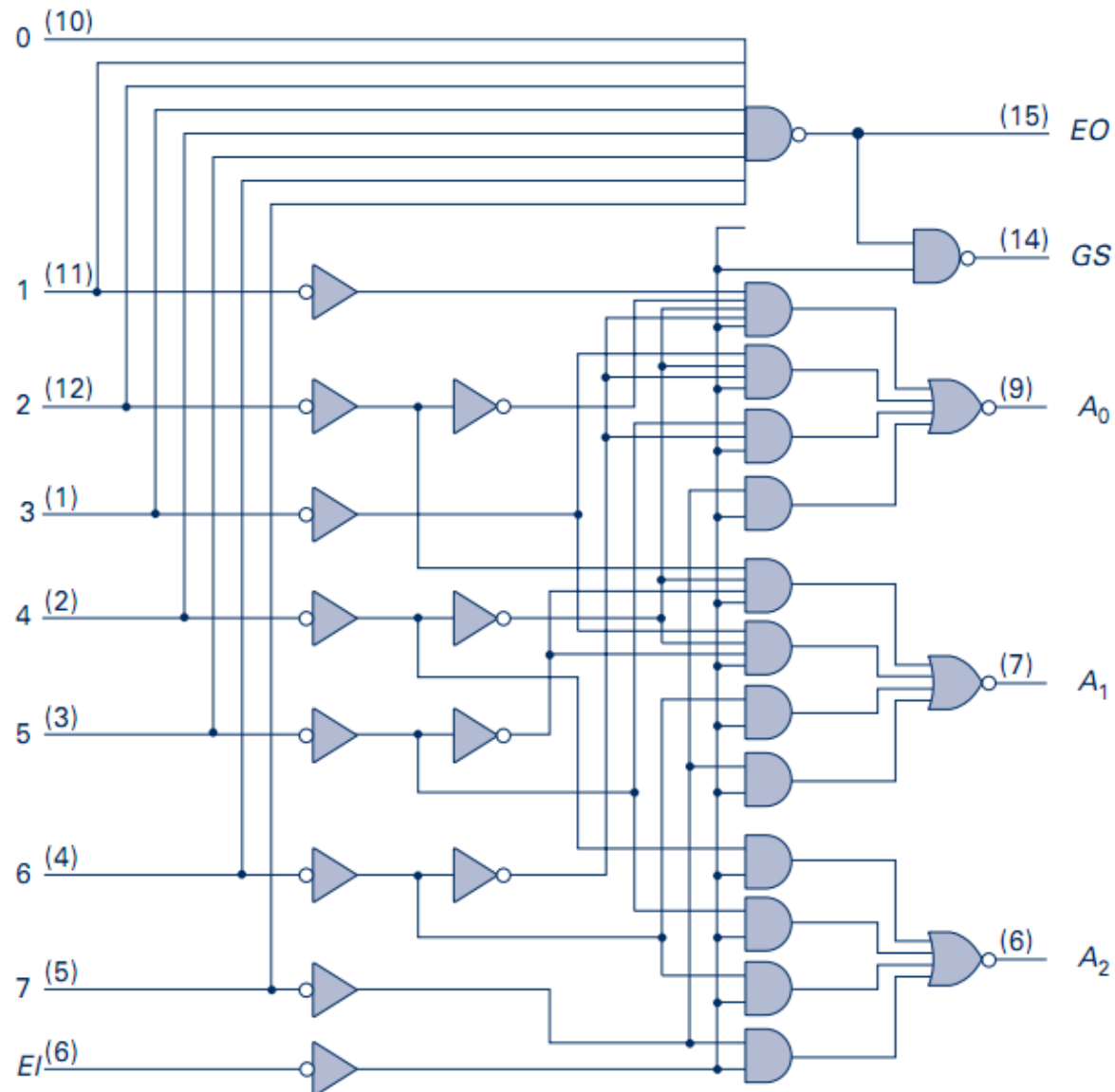
Codificador comercial 74'148

FUNCTION TABLE - '148, 'LS148

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

H = high logic level, L = low logic level, X = irrelevant

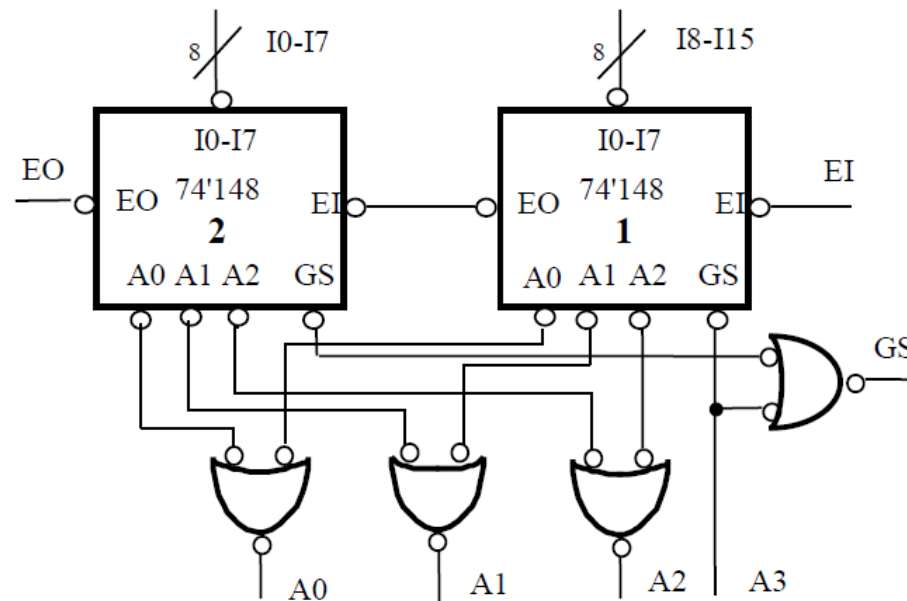
Codificador comercial 74'148



Circuitos de N bits en base a circuitos de 4 bits

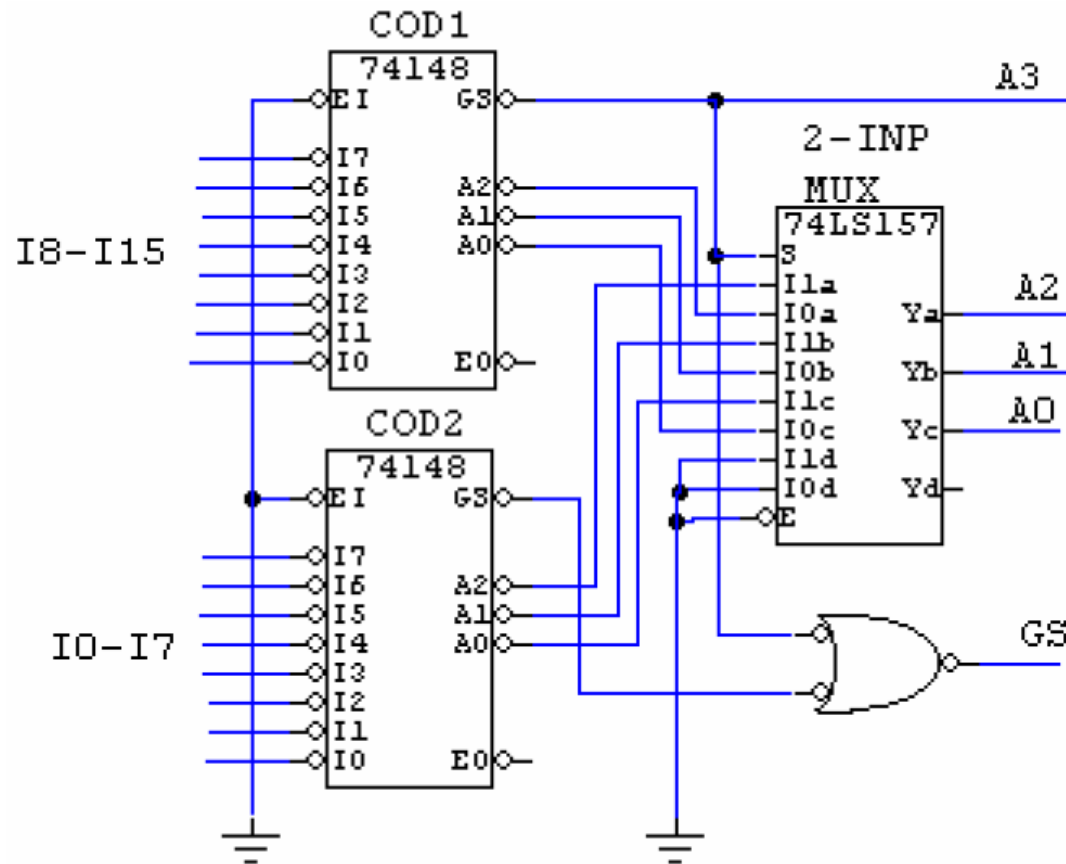
Hay dos métodos para conseguir un codificador de N a 2^N bits en base a codificadores de M a 2^M bits, siendo $N > M$. El primero de los métodos es en cascada y el segundo en paralelo.

Desarrollo en cascada de un codificador 16 a 4 en base a codificadores 8 a 3.



Circuitos de N bits en base a circuitos de 4 bits

Desarrollo en paralelo de un codificador 16 a 4 en base a codificadores 8 a 3.



Descripción VHDL

Descripción VHDL de un codificador con prioridad de 8 a 3:

```
library ieee;
use ieee.std_logic_1164.all;

entity codificador_8a3_prioridad is
port (I : in std_logic_vector(7 downto 0); -- Entradas
      Y : out std_logic_vector(2 downto 0); -- Salidas
      Z : out std_logic); -- Salida de control
end codificador_8a3_prioridad;

architecture comportamiento of codificador_8a3_prioridad is
begin
Y <= "111" when I(7) = '1' else -- código de mayor prioridad
     "110" when I(6) = '1' else
     "101" when I(5) = '1' else
     "100" when I(4) = '1' else
     "011" when I(3) = '1' else
     "010" when I(2) = '1' else
     "001" when I(1) = '1' else
     "000";
Z <= '0' when I = "00000000" else '1';
end comportamiento;
```

Problemas propuestos

- Encontrar las ecuaciones lógicas que permiten definir un circuito codificador con prioridad baja de 8 bits de entrada (I7-I0) y salidas en código Gray (de más a menos significativas: A B C).
- Construir un circuito codificador binario de 8 a 3 con prioridad baja tomando como base el circuito codificador 74LS148, y el menor número posible de puertas lógicas que sean necesarias. Se permite definir como mejor convenga la polaridad de las entradas y de las salidas.
- Obtener las expresiones lógicas minimizadas que permiten encontrar cuál de 7 líneas de entrada A1, A4, A6, A8, A9, A13, A14 está puesta a valor lógico 1, dando como resultado su correspondiente codificación binaria: por ejemplo, A8 daría como resultado 8 en la salida (codificado en binario).
 - Sólo puede estar una línea a valor lógico 1.
 - Varias líneas de entrada estén simultáneamente a 1, pero la salida tomará el valor binario de la línea de índice más bajo.

Problemas propuestos

- Diseñar, empleando puertas lógicas, un codificador de 8 a 3 líneas con salida en binario y prioridad a la entrada de mayor peso.
- Utilizando codificadores comerciales de 8 a 3 líneas con salida en binario y prioridad a la entrada de mayor peso, tipo 74148, y las puertas lógicas necesarias, implementar un codificador de 16 a 4 con prioridad a la entrada de mayor peso y con salidas activas a nivel alto.