

**Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.  
Grado en Ingeniería de Tecnologías de Telecomunicación. Curso 2021/22.  
Electrónica Digital I.**

Se valorará la corrección del trabajo, así como la presentación del mismo. La presentación puede hacerse a mano o por ordenador. Deben entregarse también (via e-mail, por ejemplo) los ficheros de Circuito Maker o Espresso generados al realizar la práctica (por ejemplo, comprimidos en un .zip o en un .rar).

Incluir una referencia al tiempo utilizado para hacer todo el trabajo (resolución y presentación), y el trabajo realizado por cada miembro del grupo indicando el tanto por ciento del trabajo total y las tareas realizadas. Última fecha de entrega: 26-Noviembre-2021.

**Trabajo nº 4:**

1º. Se quiere realizar un circuito de 5 entradas (K, A3, A2, A1, A0) y 4 salidas (Z3, Z2, Z1, Z0) que opere como un conversor entre códigos BCD con peso de forma que, según el valor de una variable de entrada K, se realice la conversión de un dígito del código de entrada A (A3A2A1A0) al mismo dígito del código B (con K a 0, Z es B) o del código C (con K a 1, Z es C), apareciendo el dígito convertido en la salida Z (Z3Z2Z1Z0). Los códigos A, B y C son: (VER HOJA POR GRUPO)

- Generar los códigos BCD A, B y C. Si en algún código un dígito puede generarse de varias formas utilizar solo una de ellas, indicando la escogida.
- Generar las funciones lógicas en dos niveles mínimas por separado que definen las cuatro salidas mediante Mapas de Karnaugh.
- Generar las funciones lógicas en dos niveles mínimas por separado que definen las cuatro salidas mediante Espresso (usar la opción –Dso). Comprobar sobre los mapas de Karnaugh que las expresiones son válidas y comparar el tamaño del resultado con el tamaño obtenido mediante los mapas de Karnaugh.
- Realizar una minimización conjunta en dos niveles de las funciones lógicas que definen las cuatro salidas mediante Espresso (sin opciones o con la opción –Dexact).
- Realizar una minimización conjunta en dos niveles de las funciones lógicas que definen las cuatro salidas mediante Espresso pudiendo escoger la polaridad de las señales de salida (opción –Dopo, la polaridad de las salidas aparece en .phase 1 positiva, 0 negativa). Comparar con la minimización del apartado anterior.
- Diseñar con Circuit Maker el circuito digital correspondiente a la minimización conjunta más pequeña de las anteriores (opciones –Dexact o –Dopo), utilizando únicamente puertas de tipo NOR en el diseño. Hay que tener cuidado en Circuit Maker de no escoger puertas OC (open-collector); asegurarse comprobando los modelos de las puertas, o al simular ya que las líneas de salida de la puerta se fijan a color verde (desconexión) en vez de color rojo (1). Se recuerda que en alguna instalación de Circuit Maker las puertas del menú *Digital Basics* pueden ser por defecto OC (no así en *Original Symbols->Gates, Digital by Function* o *Digital by Number*).
- Comprobar mediante simulación que opera correctamente. Para generar los estímulos de entrada hay que utilizar un generador de secuencia con 20 palabras que introduzcan del 0 al 9 BCD primero con K a 0 (conversión del código A al código B), y luego con K a 1 (conversión del código A al código C). Las salidas deben observarse usando un display hexadecimal, o cuatro displays lógicos.

2º. Dada la siguiente función lógica  $F(A, B, C, D)$ :

(VER HOJA POR GRUPO)

- Encontrar una función lógica mínima en dos niveles utilizando el Mapa de Karnaugh.
- Encontrar una función lógica mínima en dos niveles usando el método de Quine-McCluskey. Usar como criterio de coste el mismo criterio que para el Mapa de Karnaugh (menor número de implicantes primos y menor número de literales, lo que implica que el coste de un implicante primo es su número de literales).
- Encontrar una función lógica mínima en dos niveles usando Espresso.

Comparar las soluciones obtenidas (deberían ser iguales o al menos del mismo tamaño) e implementar una de ellas mediante Circuit Maker utilizando únicamente puertas NAND, con la siguiente polaridad de entradas y salida (VER HOJA POR GRUPO), comprobando su funcionamiento. La simulación puede hacerse en modo digital o en modo analógico.

Hay que tener cuidado en Circuit Maker de no escoger puertas NAND OC (open-collector); asegurarse comprobando los modelos de las puertas, o al simular ya que a veces las líneas de salida de la puerta a veces se fijan a color verde (desconexión), en vez de rojo (1) o azul (0). Se recuerda que en alguna instalación de Circuit Maker las puertas del menú *Digital Basics* pueden ser por defecto OC (no así en *Original Symbols*->*Gates*, *Digital by Function* o en *Digital by Number*).