

**Grado en Ingeniería de Tecnologías de Telecomunicación.  
Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.  
Electrónica Digital I.**

**Práctica nº 10. Análisis de flip-flops.**

En esta práctica se realizará el estudio de diversos tipos de flip-flops. En el primer apartado se analizará un circuito “clocked S-R”, se simulará, se montará y verificará con el analizador lógico. En el segundo apartado se repetirá el proceso con un flip-flop comercial J-K disparado por flanco. En los apartados tercero y cuatro se utilizarán dos flip-flops para diseñar un sencillo circuito secuencial de tipo contador.

Todo el trabajo de la práctica debe realizarse en el directorio (o carpeta) Pr10 (o similar), que debe crearse en el directorio de trabajo de cada alumno, donde deben guardarse los ficheros utilizados o generados durante la práctica, usando subdirectorios para cada apartado.

**10.1. Análisis de un circuito “clocked S-R”.**

En este apartado se va a realizar el análisis de un circuito “clocked S-R” utilizando puertas NAND. El análisis se realizará mediante simulación con Circuit Maker, montaje y verificación con el analizador lógico LA5240. Para realizar este apartado hay que:

- Editar la descripción en puertas lógicas NAND del circuito en un fichero de Circuit Maker, usando *switches (hotkey s)* para la entrada de reloj CLK y para las entradas S y R, y conectando leds (*hotkey 9*) en las salidas  $Q$  y  $\bar{Q}$ . Conectar SCOPES (*hotkey T*) a todas las entradas y salidas.
- Simular el circuito comprobando en la ventana de formas de ondas el funcionamiento del circuito. Se puede hacer la comprobación simulando de forma continua y cambiando una entrada cada vez, o parando la simulación, cambiando varias entradas y continuando la simulación. En la simulación del circuito hay que:
  - Comprobar que, con el reloj activo, se verifica la tabla característica del flip-flop: con el reloj activo introducir valores en las entradas S y R, cambiando sucesivamente una u otra, que vayan generando todas las combinaciones de valores en S, R y Q, midiendo el valor de  $Q+$  para cada una de ellas.
  - Comprobar que con el reloj inactivo se mantiene tanto el 0 como el 1 en la salida aunque cambien el resto de entradas.
  - Comprobar qué sucede cuando, con el reloj activo, se activan las entradas S y R y luego se desactivan simultáneamente (hay que detener la simulación, desactivar las dos entradas y continuar la simulación).
- Montar el circuito sobre una regleta usando las puertas NAND del dispositivo 74LS37.

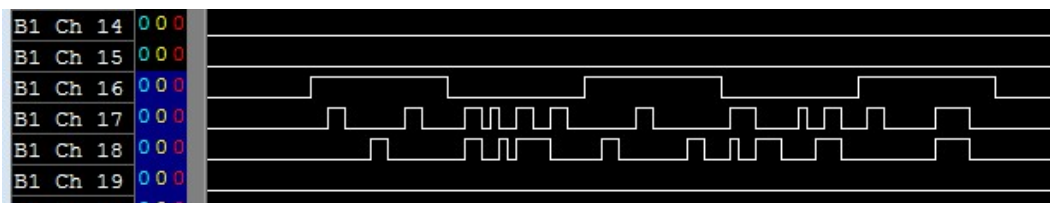
• Verificar el funcionamiento del circuito con el analizador lógico LA5240 siguiendo estas directrices:

- Conectar en el generador de patrones *pod 3* el canal 16, 17 y 18 a la señal de reloj CLK, S y R, respectivamente. Leer en el *pod 1* CLK, S y R en los canales 0, 1 y 2, respectivamente, del analizador lógico y las salidas  $Q$  y  $\bar{Q}$  en los canales 3 y 4.

- Encender el analizador, arrancar el programa de control y cargar la programación por defecto, como en las prácticas anteriores: cargar el fichero de configuración *Edigital.ini* mediante el comando *Load Setting* del menú **File** y el fichero de datos *Edigital.Dso* usando el comando *Load Data* del menú **File**.

- Generar las señales de prueba para CLK, S y R en los canales 16, 17 y 18 del generador de patrones. Ejecutar el comando *Pod* del menú en línea, con lo que se abre la ventana Mode, en esa ventana pulsar en *Edit*. Seleccionar el *Channel*: 16, y mover la dirección hasta que aparezca 90 en la primera fila. Programar los canales 16, 17 y 18 como se indica a continuación.

Una forma de programar las señales en el generador de patrones del LA5240 es situar filas consecutivas completas de 1s y 0s (filas de 1s – 0s – 1s – 0s – 1s) para representar tres ciclos en el reloj en el canal 16 (CLK), a partir de la dirección 90 del generador de patrones. En la primera fila de 1s se cambian las señales S (canal 17) y R (canal 18) de forma que se prueben las operaciones de Set, de Reset y de mantenimiento de 0 y de 1, pero cargando al final un 1 en la salida (por ejemplo: un pulso en la entrada S al principio, seguido de un pulso en R en el medio, finalizando con otro pulso en S). En la primera fila de 0s se varían S y R aleatoriamente y se comprueba que se mantiene el 1 en la salida. En la segunda fila de 1s se cambian las señales S y R para que prueben las operaciones de Set, de Reset y de mantenimiento de 0 y de 1, pero cargando al final un 0 en la salida (por ejemplo: un pulso en la entrada R al principio, seguido de un pulso en S en el medio, finalizando con otro pulso en R). En la segunda fila de 0s se varían S y R aleatoriamente y se comprueba que se mantiene el 0 en la salida. En la tercera fila de 1s se comprueba que es lo que pasa cuando las señales S y R se ponen a 1 y se cambian simultáneamente a 0 (recordar que al simular en Circuit Maker se producía una oscilación en las salidas). Salvo en este último caso hay que intentar no cambiar a la vez las señales CLK, R y S.




- Programar el disparo en función de la lectura en el analizador de uno de los valores aplicados en las entradas CLK, S y R: situar la marca roja T de disparo en la dirección 100 y fijar los valores escogidos en los canales 0, 1 y 2 de   .

- Alimentar el circuito, pulsar en **GO**, y observar los resultados en modo forma de ondas comprobando que el circuito opera correctamente. Indicar cómo opera el circuito cuando, con el reloj activo, las entradas S y R pasan de valor activo a valor inactivo simultáneamente.


- Guardar la configuración mediante el comando *Save Setting As...* del menú **File** con nombre SRCL.ini y los datos mediante el subcomando *Save Data As...* del submenú *Save Data* del menú **File** con nombre SRCD.Dso, y pasar al siguiente apartado.

## 10.2. Análisis de un flip-flop J-K disparado por flanco.

En este apartado se va a realizar el estudio del comportamiento del dispositivo 74LS107 que corresponde a un flip-flop J-K comercial disparado por flanco negativo, y con señal de reset asíncrona con polaridad negativa. El estudio de este circuito se hará mediante estos pasos:

- Simular el circuito con Circuit Maker usando un flip-flop 74'107 (clase *Digital by Number*, subclase *741xx*), un generador de pulsos (*hotkey p*) programado a 10 *ticks* a valor alto y 10 a valor bajo como señal de reloj y un *switch* (*hotkey s*) para las entradas de reset, J y K. Comprobar su funcionamiento usando leds (*hotkey 9*) en las salidas  $Q$  y  $\bar{Q}$ , y *SCOPES* (*hotkey T*) en la señales de reloj CLK, en Reset, en J, K,  $Q$  y  $\bar{Q}$  para su operación en la ventana de formas de ondas. Para hacer la simulación se puede hacer una simulación paso a paso () con 10 *ticks* de *Step Size*, cambiando los *switches* de Reset, J y K siempre en el flanco positivo (no activo) del reloj. La simulación debería hacerse mediante estos pasos:

- Activar la señal de Reset (*switch* a 0).

- Desactivar la señal de Reset (en el flanco positivo de reloj). Para probar la tabla característica, hay que fijar en cada ciclo los valores en los *switches* de las entradas J y K, y pulsar dos veces en el icono  de la simulación por pasos.

Comprobar que se verifica la tabla característica del flip-flop introduciendo valores en las entradas J y K (se pueden cambiar una entrada o las dos a la vez, siempre con el flanco positivo de reloj) de forma que se generen todas las combinaciones de valores en J, K y Q, midiendo el valor de  $Q^+$  para cada una de ellas.

Se puede hacer con una secuencia de solo 8 entradas J-K distintas, pero siguiendo un orden determinado. Por ejemplo, al haber hecho un Reset ( $Q = 0$ ) se podría introducir  $J = K = 0$  y probar la fila ( $J K Q = 0 0 0$ ) de la tabla característica, lo que produce  $Q^+ = 0$ . Ahora se puede probar otra fila que tenga  $Q = 0$ , por ejemplo,  $J=0$  y  $K=1$  ( $J K Q = 0 1 0$ ), lo que produce otra vez  $Q^+ = 0$ . Se puede seguir con  $J=1$  y  $K=0$  ( $J K Q = 1 0 0$ ), lo que produce esta vez  $Q^+ = 1$ . Ahora con  $Q = 1$ , se puede probar con  $J=1$  y  $K=0$  ( $J K Q = 1 0 1$ ), que produce  $Q^+ = 1$ . Se siguen introduciendo secuencias hasta asegurar que se prueba toda la tabla característica.

- Montar el dispositivo 74LS107 circuito en una regleta usando uno de sus dos flip-flops.
- Verificar el funcionamiento del circuito con el analizador lógico LA5240 siguiendo estas directrices:

- Conectar en el generador de patrones los canales 16, 17, 18, 19 (*pod 3*) a las señales CLK, Reset, J y K, respectivamente. Leer las señales de CLK, Reset, J y K en los canales 0, 1, 2 y 3 respectivamente, del analizador lógico y las salidas  $Q$  y  $\bar{Q}$  en los canales 4 y 5 (*pod 1*).

- Cargar la programación por defecto, como en las prácticas anteriores: cargar el fichero de configuración *Edigital.ini* mediante el comando *Load Setting* del menú **File** y el fichero de datos *Edigital.Dso* usando el comando *Load Data* del menú **File**.

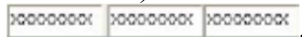
- Generar mediante el generador de patrones las señales de entrada. Ejecutar el comando *Pod* del menú en línea, con lo que se abre la ventana *Mode*, en esa ventana pulsar en *Edit*. Programar los canales 16, 17, 18 y 19 como se indica a continuación.

Programar en el canal 16 la señal de reloj CLK mediante las opciones de copiar valores dentro de un mismo canal: seleccionar en formato binario (*1 Channel*) el canal (*Channel*) 16, fijar a 0 el valor en la dirección 0 y a 1 en la dirección 1. Situar ahora el campo *Start* de *Copy* al valor 0, el campo *Last* al valor 1, el campo *Start* de *Copy to* a valor 0 y el valor *Loop To* al valor máximo (dejar el valor por defecto), pulsar en el botón *Copy* y todo el canal quedará cargado como un reloj.

Programar la señal de Reset en el canal 17. Fijar todo el canal a 1: seleccionar el canal (*Channel*) 17, fijar a 1 el valor en la dirección 0, situar ahora los campos *Start* y *Last* de *Copy* al valor 0, el campo *Start* de *Copy to* a valor 0 y el valor *Loop To* al valor máximo (dejar el valor por defecto), pulsar en el botón *Copy* y todo el canal quedará cargado a 1. Situar ahora dos 0s a partir de la dirección 101. Comprobar que la señal de Reset no cambia al mismo tiempo que un flanco negativo del reloj (podría dar problemas de operación, ya que no se sabría si se atiende al cambio del reset o al flanco activo de reloj).

Programar las señales J y K en los canales 18 y 19 a partir de la dirección 103 utilizando la misma secuencia de valores que la utilizada en *Circuit Maker*. Tener en cuenta que un ciclo de reloj son dos direcciones por lo que un único valor de J y K tiene que situarse en dos direcciones consecutivas (para mantener los valores durante un ciclo). Comprobar que J y K varían en los flancos positivos (no activos) del reloj.

- Programar el disparo en función de la lectura de un 0 en la señal de Reset (canal 1 del analizador): situar la marca roja de disparo en la dirección 100 y escribir 0 en el canal 1 de

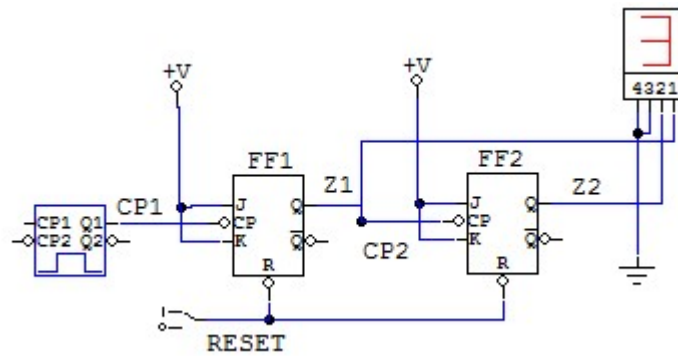


- Alimentar el circuito, pulsar en **GO** y observar los resultados en modo forma de ondas comprobando que opera correctamente.

- Guardar la programación mediante el comando *Save Setting As...* del menú **File** con nombres *JKI.ini* y los datos mediante el subcomando *Save Data As...* del submenú *Save Data* del menú **File** con nombre *JKD.Dso*, y pasar al siguiente apartado.

### 10.3. Montaje de un contador de dos bits asíncrono en base a flip-flops J-Ks.

En este apartado se realizará el análisis, montaje y verificación de un sencillo circuito secuencial como es un contador de dos bits en configuración asíncrona. El circuito es asíncrono ya que las señales de reloj de los flip-flops son distintas.



A modo de explicación del funcionamiento del circuito de la figura, el flip-flop 1, opera cada vez que el generador de pulsos genera un flanco negativo; como sus entradas J-K están a 1, por la operación de este flip-flop Z1 cambiará de valor en cada flanco. La señal de reloj del flip-flop 2 está conectada a la salida del flip-flop 1, por lo que solo se activa cuando Z1 hace un cambio de 1 (Z1) a 0 (Z1<sup>+</sup>, produce un flanco negativo) y, en ese caso como J-K están a 1, Z2 complementa su valor; si la transición de Z1 no fuese de 1 a 0 (de 0 a 1, o mantenimiento de valor), no habría señal de reloj y Z2 mantendría su valor. La estructura del circuito puede llevarse a más bits conectando siempre la salida de un flip-flop a la entrada de reloj del siguiente flip-flop.

Z2 Z1	J2 K2 CP2	J1 K1	Z2+ Z1+
0 0	X X No	1 1	0 1
0 1	1 1 Si	1 1	1 0
1 0	X X No	1 1	1 1
1 1	1 1 Si	1 1	0 0

Ji Ki	Zi+
0 0	Zi
0 1	0
1 0	1
1 1	$\overline{Zi}$

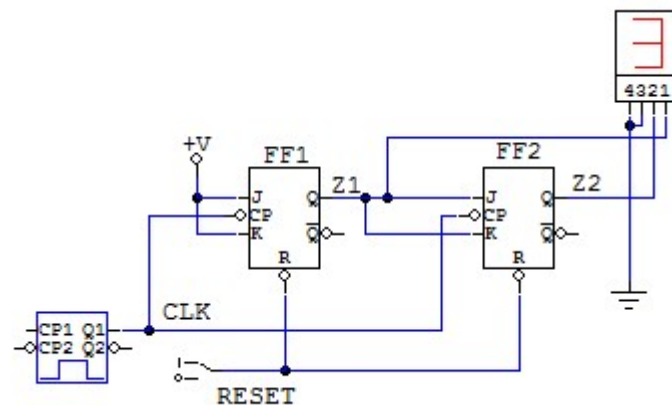
Sobre este circuito realizar las siguientes tareas:

- Simular el circuito con Circuit Maker usando dos flip-flop 74'107 (clase *Digital by Number*, subclase *741xx*), un generador de pulsos (*hotkey p*) programado a 10 *ticks* a valor alto y 10 a valor bajo como señal de reloj y un *switch* (*hotkey s*) para la entrada de reset, y terminales de alimentación (*hotkey 1*) y tierra (*hotkey 0*). Comprobar su funcionamiento usando un *display* hexadecimal (*hotkey h*) y simulación paso a paso, y/o usando *SCOPES* (*hotkey T*) en CP1, Reset, Z1 y Z2, y haciendo una simulación continua, comprobando el funcionamiento sobre la ventana de formas de onda.
- Montar el circuito sobre una regleta usando el dispositivo 74LS107. El circuito debe tener una entrada de Reset global, una entrada CLK de reloj y dos salidas Z2 y Z1.
- Verificar el funcionamiento del circuito con el analizador lógico LA5240 siguiendo estas directrices:
  - Conectar en el generador de patrones el canal 16 a la señal de reloj CLK y el canal 17 a la señal de Reset. Leer las señales de CLK y Reset en los canales 0 y 1, respectivamente, del analizador lógico y las salidas Z1 y Z2 en los canales 2 y 3.
  - Se puede utilizar la programación del apartado anterior, o volver a cargar la programación por defecto, como en los apartados anteriores.

- Generar mediante el generador de patrones las señales RESET y CLK como en el apartado anterior (o directamente mantener la programación del apartado anterior).
- Crear etiquetas para CLK, Reset y Z (de dos bits Z2Z1). Para ello, ejecutar el comando *Group Edit* del menú **View**. Sobre la ventana que aparece situar en *Group 0* el nombre CLK, en *Base BIN*, de 1 bit y canal 0, en *Group 1* el nombre Reset, en *Base BIN*, de 1 bit y canal 0, y en *Group 2* el nombre Z, en *Base DEC*, de 2 bits y canales 3 (Bit 1) y 2 (Bit 0).
- Programar el disparo en función de la lectura de un 0 en la señal de Reset (canal 1 del analizador), como en el apartado anterior.
- Alimentar el circuito, pulsar en **GO** y observar los resultados en modo forma de ondas y en modo lista de estados a partir del disparo, comprobando que el circuito opera correctamente. Para situar el modo de lista de estados en el menú en línea **Timing** desactivar el campo *Timing 1* <- *data1* y activar el campo *Timing 2* <- *data1*. En el menú **View** activar el campo *State of logic analyzer*. En el modo lista de estados hay que tener en cuenta que las salidas cambian cada ciclo de reloj por lo que deben cambiar cada dos direcciones.
- Guardar la programación mediante el comando *Save Setting As...* del menú **File** con nombres ContAI.ini y los datos mediante el subcomando *Save Data As...* del submenú *Save Data* del menú **File** con nombre ContAD.Dso, y pasar al siguiente apartado.

#### 10.4. Montaje de un contador de dos bits síncrono en base a flip-flops J-Ks.

En este apartado se realizará el análisis, montaje y verificación de un sencillo circuito secuencial como es un contador de dos bits en configuración síncrona. El circuito es síncrono ya que los flip-flops tienen la misma señal de reloj.



La operación de este circuito está basada en que el reloj activa los dos flip-flops a la vez. Para analizar la evolución para cada valor posible de las salidas (Z2Z1, no hay entradas) se obtiene a que valor estarán las entradas J-K de los flip-flops. Cuando se produzca el flanco negativo de reloj cada flip-flop evolucionará ( $Z_i^+$ ) en función del valor en sus entradas J-K y el valor actual de su salida ( $Z_i$ ) según la tabla de operación del flip-flop J-K.

Z2	Z1	J2	K2	J1	K1	Z2+	Z1+
0	0	0	0	1	1	0	1
0	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0

$$J1 = K1 = 1$$

$$J2 = K2 = Z1$$

Ji	Ki	Zi+
0	0	Zi
0	1	0
1	0	1
1	1	$\overline{Zi}$

Sobre este circuito hay que realizar las mismas tareas de simulación, montaje y verificación que en el apartado anterior. La edición de la descripción en Circuit Maker puede hacerse copiando la descripción del apartado anterior y cambiando unas pocas conexiones (las entradas CLK, J y K del flip-flop 2); el montaje necesita alterar solo unos pocos cables (las entradas CLK, J y K del flip-flop 2), y la verificación del circuito no requiere ninguna modificación. Verificar el funcionamiento del circuito y guardar los resultados (subcomando *Save Data As...* del submenú *Save Data* del menú **File**) con el nombre ContSD.Dso.

Para finalizar:

- Abandonar el programa con la orden *Exit* del menú **File**. Apagar el analizador lógico.
- Soltar la alimentación, desconectar los cables conectados al circuito y a los *pods* con cuidado para no romperlos, y desmontar los dispositivos de la regleta.