

**Grado en Ingeniería de Tecnologías de Telecomunicación.
Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.
Electrónica Digital I.**

**Informe y resultados de la práctica 5.
Herramientas CAD para el diseño de circuitos digitales combinacionales.**

Alumna/o:

Grupo:

Puesto:

Fecha:

1. Minimización en dos niveles de una función lógica mediante espresso.

1a. Indicar (si se ha hecho) la función lógica en dos niveles generada mediante Mapa de Karnaugh, y la forma factorizada generada. Si es posible, adjuntar imagen del mapa de Karnaugh.

1b. Mostrar una imagen del fichero de entrada para espresso:

1c. Mostrar los resultados de espresso en formato pla y como ecuación.

1d. Mostrar la ecuación en forma factorizada generada por la herramienta SIS.

1e. Mostrar una imagen de los circuitos diseñados en Circuit Maker.

1f. Mostrar la tabla de verdad de los dos circuitos: dos niveles (2N) y factorizados (F) e indicar si cumplen las especificaciones del enunciado. Los valores lógicos en las entradas In se indican en notación decimal.

In	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
2N																
F																

In	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
2N																
F																

2. Minimización de un problema lógico de múltiples salidas.

2a. Indicar (si se ha hecho) las funciones lógicas en dos niveles generadas mediante mapas de Karnaugh. Si es posible, adjuntar imagen de los mapas de Karnaugh.

2b. Mostrar una imagen del fichero de entrada para espresso.

2c. Mostrar los resultados de espresso con minimización por separado de las salidas (opción –Dso), y compararlos con los resultados del apartado 2a.

2d. Mostrar uno de los resultados de espresso con minimización conjunta de las salidas (sin opción o con opción –Dexact).

2e. Mostrar una imagen del circuito diseñado en Circuit Maker.

2f. Mostrar la tabla de verdad del circuito para las tres salidas (F1, F2, F3) e indicar si cumplen las especificaciones del enunciado. Los valores lógicos en las entradas In se indican en notación decimal.

In	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
F1																
F2																
F3																

3. Obtención de una forma multinivel.

3a. Mostrar una imagen del fichero de entrada para SIS.

3b. Mostrar una imagen de los resultados parciales y el resultado final de las operaciones hechas en SIS.

3c. Mostrar una imagen del circuito diseñado en Circuit Maker.

3d. Mostrar la tabla de verdad del circuito para las dos salidas (Co, S) en función de las tres entradas A, B y Ci. Indicar si cumplen las especificaciones del enunciado.

A	B	Ci	Co	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		