

**Grado en Ingeniería de Tecnologías de Telecomunicación.  
Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.  
Electrónica Digital I.**



**Práctica nº 4. Herramienta de diseño digital Quartus II.**

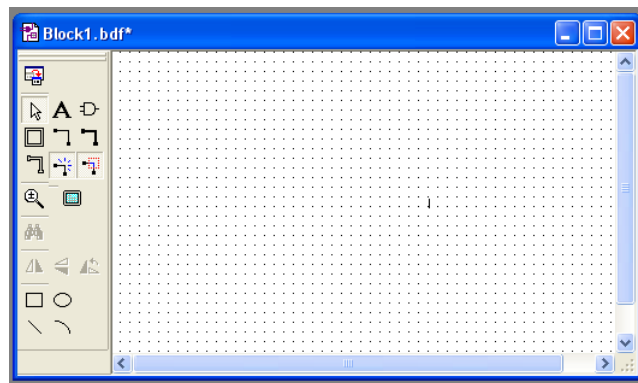
**4.2. Diseño de un circuito mediante descripción de esquemáticos.**



El primer diseño sobre Quartus II se hará utilizando una descripción esquemática del tipo usada en Circuit Maker. Para este apartado todos los ficheros deben guardarse en la carpeta Mux2graf dentro de la carpeta Pr4 de la carpeta de trabajo de cada alumno. El circuito a diseñar será un multiplexor de dos entradas, un circuito de dos entradas de datos I0 e I1, una entrada de selección S y una salida Z. La salida Z toma el valor de la entrada I0 si S es 0 y el valor de la entrada I1 si S es 1. Planteando este problema y resolviéndolo en una función lógica nos queda que:

$$Z = I0 \cdot \bar{S} + I1 \cdot S$$


que se puede implementar con un circuito con 1 puerta NOT, 2 puertas AND de dos entradas y 1 puerta OR de 2 entradas. Para describir y simular este circuito digital en Quartus II hay que seguir estos pasos.

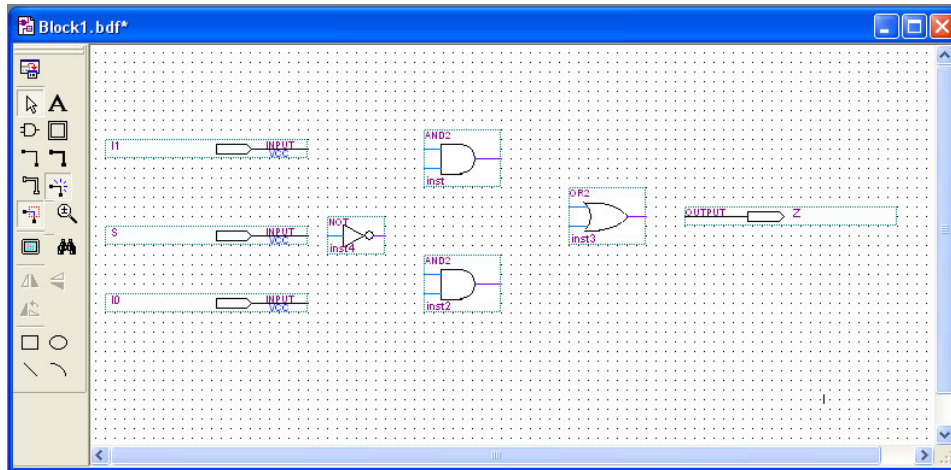
- Arrancar Quartus II haciendo un doble-click sobre el icono  de la herramienta Quartus II 9.1 Web Edition.
- Crear un nuevo fichero desde el comando *New* del menú **File** (o pulsar en el icono ). Este comando abre una ventana de selección del tipo de fichero que se desea crear, elegir el tipo *Block Diagram/Schematic File* y pulsar en OK. Aparece una ventana para la edición de esquemáticos, con iconos para introducir dispositivos, rotarles, conectarles, hacer Zoom o editar figuras (rectángulos, círculos, líneas), etc.




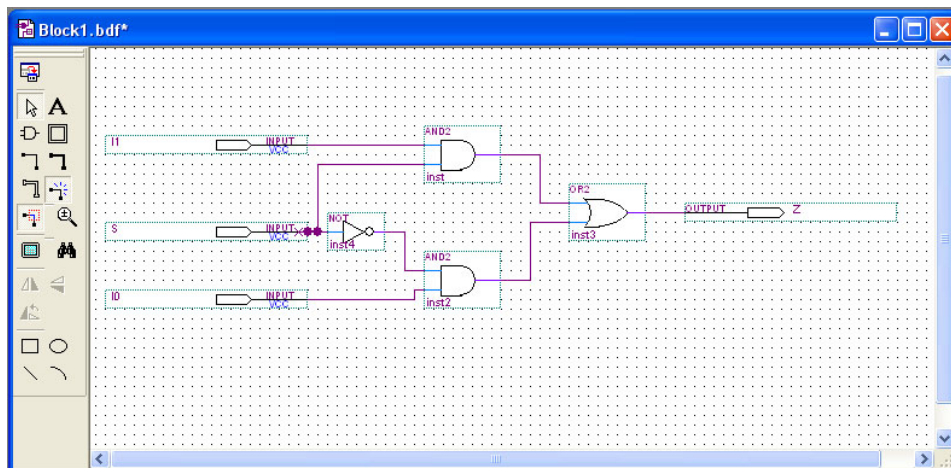
- Pulsar en el icono  de la ventana de esquemáticos. Sobre el menú desplegable pulsar en  sobre el catálogo principal, y desplegar igualmente los submenús *primitives* y *logic*. Sobre el


catálogo desplegado sucesivamente localizar los elementos not, and2 y or2, pulsar en OK y situar los elementos en la pantalla de esquemáticos (pulsar ESC al finalizar con cada elemento cuando el modo *Repeat-insert mode* está activado).

Volver a pulsar en los  para desplegar ahora los submenús *primitives* y *pin*. Seleccionar sucesivamente los elementos input y output, y situar 3 inputs (para las entradas I0, I1, S) y 1 output (para la salida Z). Mover los elementos en la ventana para que queden ordenados y se puedan conectar bien. Haced doble-click sobre cada input y output, y en la ventana que se abra introducir el nombre de la entrada o salida en el campo *pin\_name(s)*.




- Pulsar en el icono  de la ventana de esquemáticos, con lo que se entra en modo conexión. En este modo al pulsar con el ratón en un punto de la ventana y, sin soltar, desplazar el ratón, al soltarlo en otro punto de la ventana se genera una conexión entre esos dos puntos formada por una línea horizontal y/o una línea vertical.

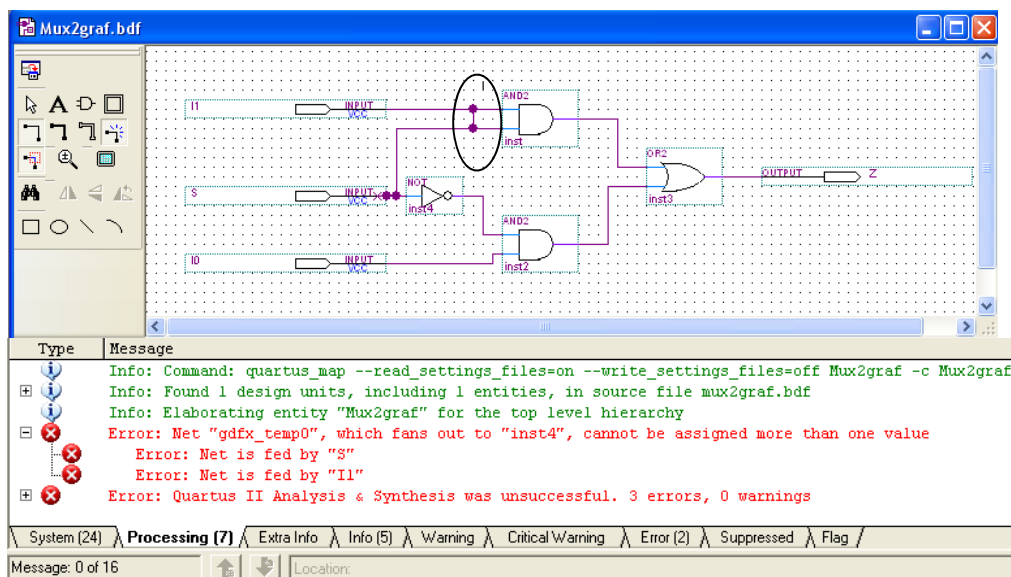


- Una vez editado hay que guardar el diseño con el comando *Save As* del menú **File** (o el icono ). Guardar el fichero de nombre Mux2graf.bdf en la carpeta de nombre Mux2graf de la capeta Pr4 del directorio de trabajo de cada alumno.
- Al guardar el fichero, Quartus II pregunta si se quiere realizar un proyecto asociado a este fichero. Pulsar en *Si*. La creación del proyecto en realiza en diferentes pasos:

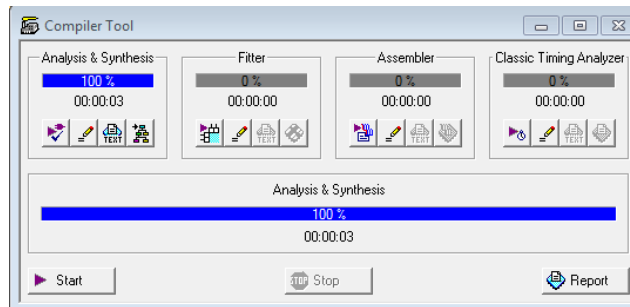
- La primera ventana que aparece es únicamente de información. Pulsar en *Next*.
- La segunda ventana indica el directorio de trabajo del proyecto que debe coincidir con el directorio de trabajo del alumno, el nombre asociado al proyecto, y la entidad de más alto nivel en la jerarquía del proyecto. Por defecto, todo se fija a Mux2graf. Pulsar en *Next*.
- La tercera ventana permite añadir ficheros al proyecto. Por defecto ya se ha añadido el fichero del esquemático. Pulsar en *Next*.
- La cuarta ventana corresponde a la selección del dispositivo ALTERA donde se va a implementar el diseño. Esta ventana corresponde al comando *Device* del menú **Assignments**. Seleccionar en la pestaña *Family*, la familia Cyclone II y en la ventana *Available Devices*: el dispositivo EP2C35F672C6. Pulsar en *Next*.
- La quinta ventana permite seleccionar otras herramientas distintas de las de Quartus II para realizar la síntesis lógica del circuito, la simulación o el análisis temporal. Pulsar en *Next*.
- La sexta ventana es el sumario del proyecto. Pulsar en *Finish*.

• Una vez creado el proyecto el siguiente paso es compilar o sintetizar el diseño. En un primer análisis del diseño nos puede interesar solo conocer si la descripción del circuito es correcta. Para ello se debe hacer una compilación basada en dos pasos:

- Activar el comando *Compiler Tool* del menú **Processing**. Pulsar en  para realizar el Analysis & Synthesis. En la ventana *Message* aparecen una serie de mensajes sobre las tareas que está realizando la herramienta. Si existe algún error en el diagrama (líneas mal conectadas o cortocircuitos) aparece un mensaje de error en color rojo. Pulsando en el mensaje de error se marca en la ventana del diagrama el punto erróneo.

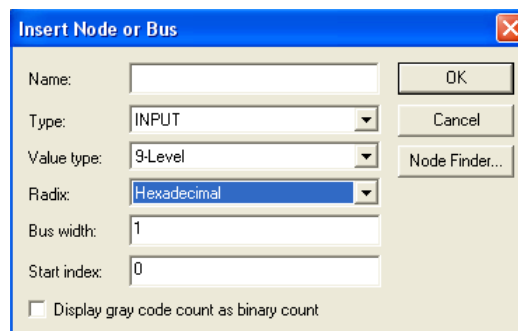



- Si la compilación acaba sin error, realizar el comando *Generate Funcional Simulation Netlist* del menú **Processing**. Esto permite realizar únicamente una simulación funcional de la descripción lógica del circuito.

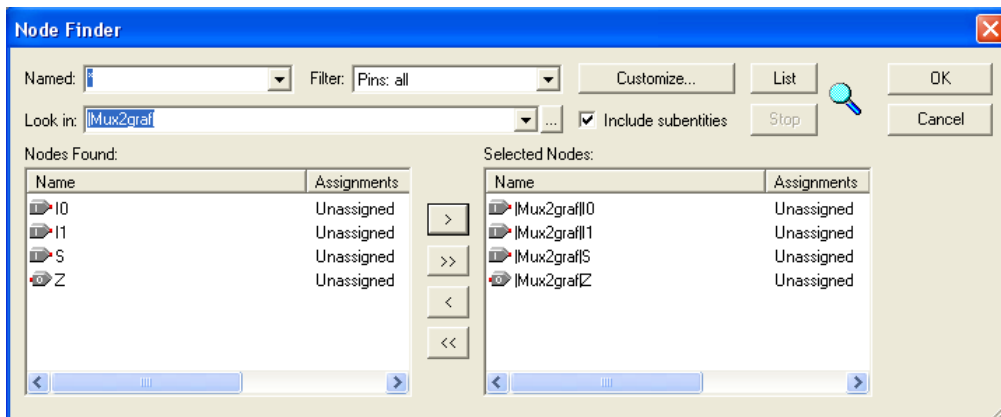




• Una vez compilado el diseño se debe comprobar si funciona bien mediante simulación. Para ello primero hay que editar los estímulos que aplicar al circuito desde una ventana de formas de onda. Los pasos a seguir serán:


- Aplicar el comando *New* del menú **File**. Pulsar sobre *Vector/Waveform File* para seleccionar el tipo. Pulsar en OK. Se abre la ventana de formas de onda de nombre *Waveform1.vwf*.
- Utilizar el comando *End Time* del menú **Edit**. Este comando indica el tiempo final de la simulación. Si se van a introducir todas las combinaciones distintas en 3 entradas (8 combinaciones) en un tiempo de 50 ns (para evitar problemas temporales posteriores), entonces se necesitan 400 ns. Situar ese valor en el campo *Time*. El campo *Extension Pattern* se utiliza para indicar los valores a los que se fijan las señales al incrementar el *End Time*.
- Utilizar el comando *Insert Node or Bus* de la pestaña *Insert* del menú **Edit**. Este comando permite fijar en la ventana de ondas nudos a los que fijar valor (entradas) o en los que observar valor (salidas o nudos internos). Lo más adecuado es realizar una búsqueda automática pulsando en *Node Finder*.

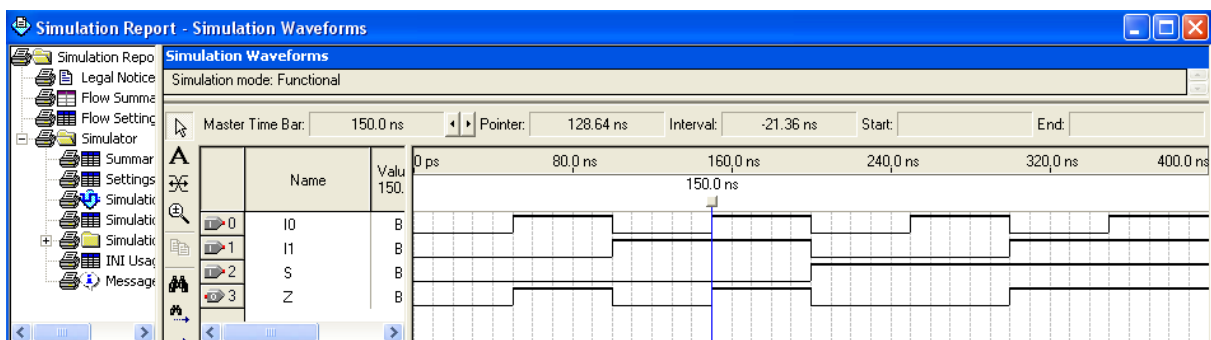



Situar en la pestaña *Filter*: el valor *Pins: all* para buscar solo nudos de entrada y salida, pulsar en *List* para que aparezcan en *Node Found* los nudos disponibles, seleccionar en con el ratón uno o varios nudos pulsando sobre ellos (con la tecla SHIFT apretada se selecciona varios) y pulsar en . Pulsar en OK en la ventana *Node Finder* y, en la ventana *Insert Node or Bus* situar el campo *Radix*: a Binary y pulsar en OK.





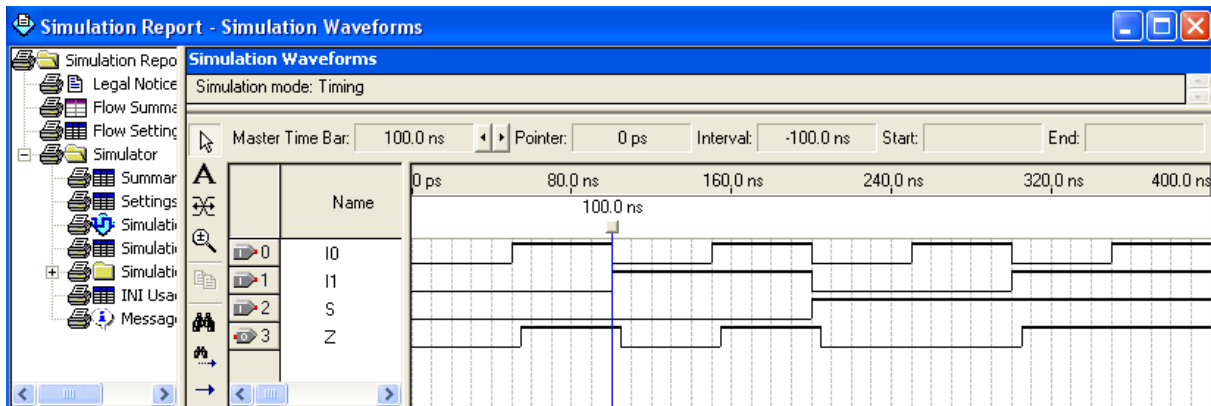
- Ahora se deben generar los estímulos para las entradas. En la ventana de formas de onda pulsar sobre I0, de forma que quede toda la línea seleccionada. Pulsar sobre el icono , y en la ventana que aparece situar el campo *Period:* a 100 ns. Realizar la misma operación sobre I1 con *Period:* a 200 ns, y con S con *Period:* a 400 ns. Aplicar el comando *Fit in Window* del menú **View** para ver los estímulos en todo el rango de tiempo. Guardar el fichero con el comando *Save as* del menú **File** (o el icono ) con el nombre Mux2graf.vwf, de esta forma el fichero queda incorporado al proyecto.


- Realizar la simulación. Abrir la herramienta de simulación mediante el comando *Simulator Tool* del menú **Processing** y fijar el campo *Simulation Mode* a valor *Functional*. Pulsar ahora en  o en *Start* y realizar la simulación. Si la simulación se realiza sin errores aparecerá una ventana *Simulation Report* con el resultado de la simulación, salvo cuando la ventana *Simulator Tool* está activa hay que pulsar en *Report* para activar la ventana de resultados. Con la ventana de resultados activa, realizar *Fit in Window* del menú **View** para visualizar todo el rango de tiempos. Comprobar sobre esa ventana que el circuito funciona correctamente: si S es 0 entonces Z es igual a I0, si S es 1 entonces Z es igual a I1, al ser simulación funcional los cambios en la salida se realizarán sin retraso con respecto a la entrada. Se pueden guardar los resultados desde el comando *Save Current Report Section as* del menú **File**.



- Una vez comprobado que el circuito funciona bien se realiza un análisis más completo no sólo de la descripción sino de su operación en el dispositivo ALTERA. Para ello, pulsar en el icono  para realizar una compilación completa. En la ventana Simulator Tool se fija el campo *Simulation Mode* a valor *Timing*, y se activa el campo *Generate Activity Signal:* con nombre de fichero Mux2graf.saf, para poder medir más adelante la potencia disipada, y se pulsa en el

icono . Pulsar en *Report* y comprobar que el circuito opera correctamente como en la simulación anterior. Ahora se observa que las señales de salida están retrasadas con respecto a los cambios en las señales de entrada. Realizar un zoom sobre un cambio de la salida con el icono  activo, logrando más resolución fijar la Master Bar en el tiempo en el que cambia la entrada y situar el ratón en el punto en el que cambia la salida, en el campo Interval: aparece la diferencia de tiempo o tiempo de propagación.



- Indicar el número de celdas del dispositivo utilizadas al sintetizar el circuito: campo *Total logic elements* en la ventana *Compilation Report*, que aparece al realizar un compilación con el botón  (o si se tiene la ventana *Compiler Tool* abierta al pulsar en su botón *Report*). Además, usar los comandos *Netlist Viewer* del menú **Tools** para observar cuál ha sido el resultado de la síntesis del circuito. El formato *RTL Viewer* muestra el circuito con símbolos de formato RTL (Register-Transfer-Level), mientras que los *Technology Map Viewer* muestra el circuito como un bloque que se puede expandir haciendo doble-click sobre él a bloques más pequeños, o se pueden ver las ecuaciones que realizan pinchando sobre él con el ratón (donde & -> AND, # -> OR, \$ -> XOR, ! -> NOT).

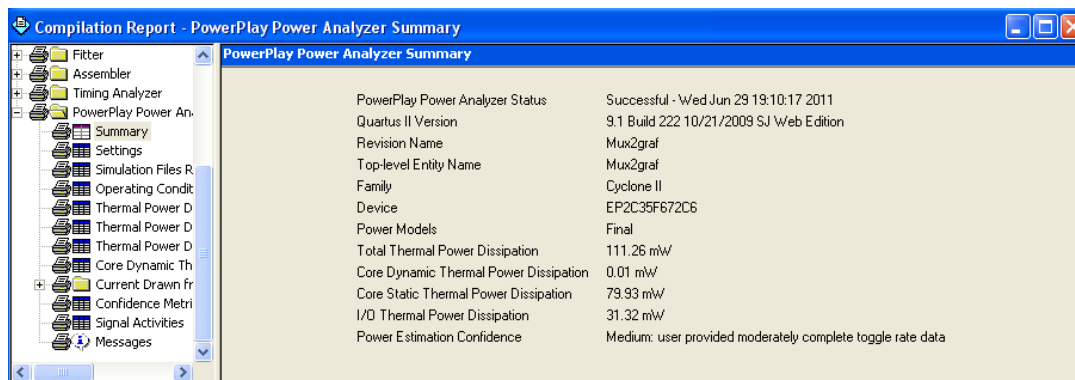
- Por último, se va a realizar un análisis físico del circuito utilizando herramientas de Quartus II.

- Hacer un análisis temporal del circuito encontrando las características temporales que limitan la velocidad de operación. Ejecutar el comando *Classic Timing Analyzer Tool* del menú **Processing**. Activar la pestaña *tpd* y en la columna *Actual P2P* aparecen los tiempos de propagación desde las entradas hasta la salida de mayor a menor. Medir el mayor tiempo de propagación.

	Slack	Required P2P Time	Actual P2P Time	From	To
1	N/A	None	9.451 ns	S	Z
2	N/A	None	5.395 ns	I1	Z
3	N/A	None	5.121 ns	I0	Z



- También se puede obtener la potencia aproximada disipada por el circuito. Ejecutar el comando *PowerPlay Power Analysis Tool* del menú **Processing**. Activar el campo *Use input file(s) to initialize toggle rates and static probabilities during power analysis* y pulsar en *Add Power Input File(s)*. En la ventana que aparece pulsar en *Add*, en la nueva ventana seleccionar el *Input Type File* como *Signal Activity File*, pulsar en *...* del campo *File Name:* y seleccionar el fichero *Mux2graf.saf*. Pulsar en *OK* en todas las ventanas abiertas hasta volver la ventana *PowerPlay* donde se pulsa en *Start*. Al acabar el análisis pulsar en *Report* y medir la potencia total en *Total Thermal Power Dissipation*.






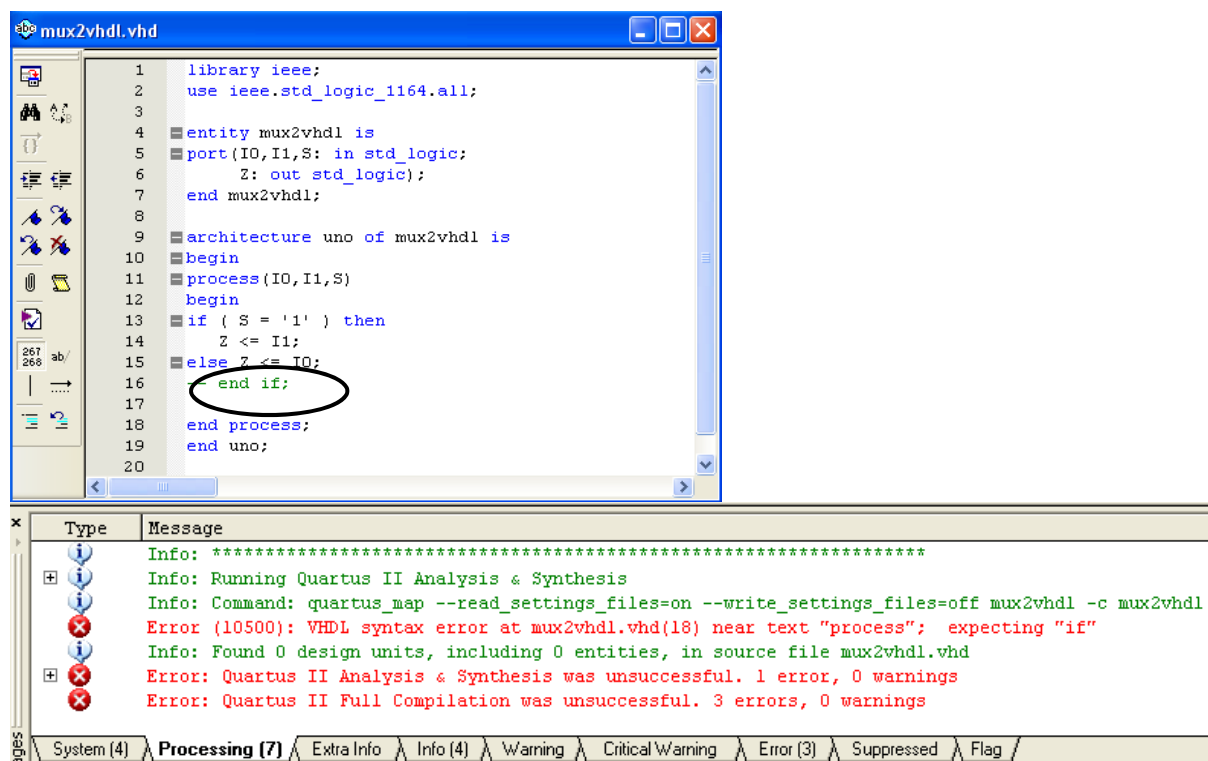
- Se pueden mejorar los parámetros físicos mediante restricciones impuestas en la compilación. Por ejemplo, se quiere mejorar el mayor tiempo de propagación del circuito. Introducir el comando *Settings* del Menú **Assignments**; pulsar en *+* de *Timing Analysis Settings* y seleccionar con el ratón *Classic Timing Analyzer Settings*. Sobre la ventana introducir en el campo *tpd* el valor 5 ns. Pulsar en *OK* y compilar mediante *▶*. Si no se pudiesen conseguir los requerimientos temporales la compilación debería dar un aviso. Al ejecutar *Classic Timing Analyzer Tool* del menú **Processing**, en la pestaña *tpd* los valores aparecen en rojo indicando que no se ha obtenido el requerimiento (*slack* negativo). Repetir el procedimiento con 5.5 ns, 6 ns, 6.5 ns, 7 ns, etc, hasta conseguir un circuito que cumpla los requerimientos y medir el mayor tiempo de propagación del circuito.


- Guardar y cerrar el proyecto mediante los comandos *Save Project* y *Close Project* del menú **File**.

### 4.3. Diseño de un circuito multiplexor de dos entradas mediante descripción VHDL.

En este apartado se va a repetir la descripción del circuito del apartado anterior, pero realizando la descripción del circuito desde un fichero de texto en lenguaje VHDL. En este apartado la descripción debe hacerse mediante una sencilla sentencia del tipo IF-ELSE, que cargue en la salida Z el valor de I0 si S es 0, o el valor de I1 si S es 1 (la descripción VHDL está disponible en las diapositivas de las clases teóricas). Para este trabajo los ficheros deben guardarse en la carpeta *Mux2vhdl* dentro de la carpeta *Pr4* de la carpeta de trabajo de cada alumno.

- Con Quartus II activado, crear un nuevo fichero desde el comando *New* del menú **File** (o pulsar en el icono ). Este comando abre una ventana de selección del tipo de fichero que se desea crear, elegir el tipo *VHDL File* y pulsar en OK. Se abre una ventana con un editor de texto que tiene la particularidad de colorear en azul palabras clave del código, en verde los comentarios, en morado los *strings*, etc. Editar la entidad con nombre *mux2vhd1* y la arquitectura de la descripción en el fichero de texto.
- Guardar el diseño con el comando *Save As* del menú **File** (o el icono ). Guardar el fichero de nombre *Mux2vhd1.vhd* en la carpeta de nombre *Mux2vhd1* de la capeta *Pr4* del directorio de trabajo de cada alumno. Al igual que en el apartado anterior al guardar el fichero Quartus II pregunta si se quiere realizar un proyecto asociado a este fichero. Responder que sí y generar un proyecto para el dispositivo *EP2C35F672C6* de la familia *Cyclone II* (hay que pulsar siempre en *Next* y salvo en la última ventana que se pulsa en *Finish*).
- Compilar la descripción en un único paso pulsando en el icono . En caso de errores en la descripción aparecen líneas rojas de error en la ventana *Message* con información sobre el tipo de error. También pueden aparecer líneas azules de aviso. Pulsando sobre la línea en rojo se muestra en el fichero de texto la línea relacionada con el error. Una vez que la compilación no da error, indicar el número de celdas del dispositivo utilizadas al sintetizar el circuito (campo *Total logic elements* en la ventana *Compilation Report*) y el tiempo máximo de propagación (ejecutar el comando *Classic Timing Analyzer Tool* del menú **Processing**, pestaña *tpd*).



- Editar un fichero de formas de onda para simulación del circuito. Se puede utilizar el comando *New* del menú **File** para crear y editar el fichero *mux2vhd1.vwf* de estímulos, igual que se hizo en el apartado anterior, o bien copiar directamente desde sistema operativo el fichero del apartado anterior en la carpeta de trabajo de este apartado con el nombre *mux2vhd1.vwf*. Una vez editado o copiado el fichero pulsar en el icono , y comprobar los resultados de la




simulación en la ventana *Simulation Report*. Guardar los resultados de la simulación mediante el comando *Save Current Report Section As* del menú **File**.


- Guardar y cerrar el proyecto mediante los comandos *Save Project* y *Close Project* del menú **File**.



#### 4.4. Diseño de un circuito que genere la distancia de Hamming mediante descripción VHDL.



Siguiendo los pasos de los apartados anteriores realizar la descripción VHDL de un circuito que obtenga la distancia de Hamming de dos palabras de 8 bits (la descripción VHDL está disponible en las diapositivas de las clases teóricas). Para este trabajo los ficheros deben guardarse en la carpeta DHgen dentro de la carpeta Pr4 de la carpeta de trabajo de cada alumno. Los pasos a seguir son: edición de la descripción VHDL en el fichero DHgen.vhd con nombre de la entidad DHgen, creación del proyecto DHgen, creación un fichero de formas de onda DHgen.vwf y edición de los estímulos en él, simulación y comprobación de que el circuito opera correctamente. Una vez compilada sin error la descripción, indicar el número de celdas del dispositivo utilizadas al sintetizar el circuito (campo *Total logic elements* en la ventana *Compilation Report*) y el tiempo máximo de propagación (ejecutar el comando *Classic Timing Analyzer Tool* del menú **Processing**, pestaña tpd).


La principal diferencia con el proyecto anterior radica en la edición de los estímulos, ya que en el multiplexor de dos entradas las entradas y la salida eran de 1 bit. En este apartado las entradas son de 8 bits y la salida de 4. Probar exhaustivamente el circuito requeriría introducir  $2^{16}$  valores distintos (65536 valores), así que se va a probar el circuito con 20 valores aleatorios, aplicados cada 50ns.

Después de editar la descripción y compilarla mediante el icono  editar el fichero de formas de onda siguiendo estos pasos:

- Crear un fichero de formas de ondas desde el comando *New* del menú **File** (o pulsar en el icono ).
- Comprobar (o fijar) que el tiempo de simulación está a 1 us (20 \* 50 ns) con el comando *End Time* del menú **Edit**.

Situar los buses de entrada y salida en la ventana con el comando *Insert Node or Bus* de la pestaña *Insert* del menú **Edit**. Situar en la pestaña *Filter*: el valor *Pins: all* para buscar sólo nudos de entrada y salida, pulsar en *List* para que aparezcan en *Node Found* los nudos disponibles, seleccionar con el ratón de uno en uno los nudos de entrada y salida en modo bus (con todos sus bits, icono ) y pasarlos pulsando en  a la ventana *Selected Nodes*:. Pulsar en OK en la ventana *Node Finder* y, en la ventana *Insert Node or Bus* situar el campo *Radix*: a *Binary* y pulsar en OK.

- Pulsar con el botón derecho del ratón sobre el nombre DH y seleccionar *Properties* en el menú desplegable que aparece cambiar formato (*Radix:*) del bus de salida a valor *Unsigned Decimal*.
- Seleccionar una entrada y pulsar en el icono  para aplicar valores aleatorios; elegir *At fixed intervals* fijando el campo *Interval period* a 50 ns desde teclado. Aparece un valor distinto cada 50ns. Usar el zoom o el comando *Fit in Window* del menú **View** para ver bien los valores en pantalla. Realizar lo mismo con la otra entrada.
- Guardar el fichero con el comando *Save as* del menú **File** (o el icono ) con el nombre DHgen.vwf.

Una vez editado las formas de onda, simular el circuito pulsando en el icono  y comprobar que opera correctamente. Usar los comandos del submenú *Netlist Viewer* del menú **Tools** (*RTL Viewer* y *Technology Map Viewer*, en este último haciendo doble-click en las cajas de las celdas aparece su contenido, y situando el ratón sobre su salida aparece la función lógica que realiza) para observar cuál ha sido el resultado de la síntesis del circuito en formato esquemático. Guardar y cerrar el proyecto mediante los comandos *Save Project* y *Close Project* del menú **File**.

#### 4.5. Diseño de un circuito multiplicador a partir de circuitos sumadores.

En la práctica 2 se ha realizado el diseño de un circuito multiplicador 4\*4 a partir de puertas AND y de sumadores de 4 bits. En este apartado se va a realizar el diseño desde una descripción VHDL usando las sentencias de descripción del sumador sin signo (*unsigned*) del tipo de las que aparecen en las diapositivas de las clases teóricas y sentencias para representar las puertas AND (explícitamente o, por ejemplo, un *process* con sentencias de tipo *for ...loop*). Para este trabajo los ficheros deben guardarse en la carpeta Mult4\_4 dentro de la carpeta Pr4 de la carpeta de trabajo de cada alumno, utilizar como nombre del fichero VHDL Mult4\_4.vhd, como nombre de la entidad Mult4\_4 y como nombre del fichero de estímulos de formas de onda Mult4\_4.vwf.

La descripción VHDL debe hacerse mediante 16 operaciones AND y 3 sumas, y sin utilizar explícitamente el operador de multiplicación (\*). Se recomienda definir las entradas como vectores de 4 bits y la salida como un vector de 8 bits. Las operaciones AND se pueden hacer mediante un lazo *for ... loop*, que recorra cada bit de A y haga el AND con cada bit explícito de B, generando las variables (o señales, como se prefiera) P0, P1, P2 y P3 de 4 bits de cada fila de la figura. Se recuerda que para un vector X, en VHDL se puede acceder a uno de sus bits usando una notación del tipo X(1), bit de índice 1 de X por ejemplo, y a un rango de sus bits utilizando una notación del tipo X(3 *downto* 1) (3 bits de X: bits 3, 2, y 1). Obtenidas las señales P, estas se deben sumar ordenadamente como en la figura obteniendo 3 variables (o señales, como se prefiera) S0, S1 y S2 de 5 bits, usando los operadores + (suma) y & (concatenación); se recuerda que los operandos de entrada de la suma se deben expandir a 5 bits. Por último, hay que asignar al puerto de salida los bits ordenados mediante el operador de concatenación.

Realizar los pasos de edición del fichero de texto Mult4\_4.vhd, creación del proyecto Mult4\_4, compilación sin error de la descripción VHDL, y creación un fichero de formas de onda Mult4\_4.vwf y edición de los estímulos en él, simulación y comprobación de que el circuito opera correctamente.

Una vez compilada sin error la descripción, indicar el número de celdas del dispositivo utilizadas al sintetizar el circuito (campo *Total logic elements* en la ventana *Compilation Report*) y el tiempo máximo de propagación (ejecutar el comando *Classic Timing Analyzer Tool* del menú **Processing**, pestaña tpd).

Para probar el circuito insertar las entradas y la salida en modo bus y fijar su valor en *Radix: a Unsigned Decimal*, y generar 20 números aleatorios como se hizo en el apartado anterior. Usar los comandos del submenú *Netlist Viewer* del menú **Tools** (*RTL Viewer* y *Technology Map Viewer*) para observar cuál ha sido el resultado de la síntesis del circuito en formato esquemático. Guardar y cerrar el proyecto mediante los comandos *Save Project* y *Close Project* del menú **File**. Salir de Quartus II mediante el comando *Exit* del menú **File**.

