

1.1. Un flip-flop "S-R Set-dominante" difiere del flip-flop S-R normal en que cuando S y R están a valor lógico 1 simultáneamente se realiza la operación de Set. Obtener la tabla de operación, la tabla característica y la ecuación característica del flip-flop, y realizar una implementación como latch asíncrono mediante puertas lógicas.

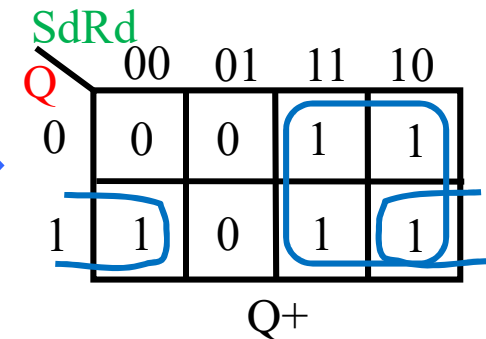
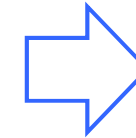
Sd	Rd	Q+
0	0	Q
0	1	0
1	0	1
1	1	1

Tabla de operación



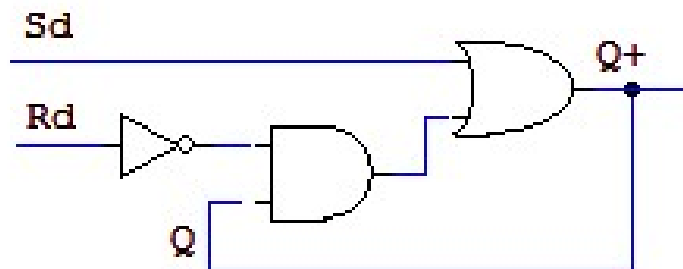
Sd	Rd	Q	Q+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Tabla característica



$$Q+ = Sd + \overline{Rd} Q$$

Ec. característica



1.1. Un flip-flop "S-R Set-dominante" difiere del flip-flop S-R normal en que cuando S y R están a valor lógico 1 simultáneamente se realiza la operación de Set. Realizar una implementación del circuito como "clocked-latch".

Clocked-latch: si $C = 0 \Rightarrow Q^+ = Q$

C	Sd	Rd	Q+
0	X	X	Q
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	1

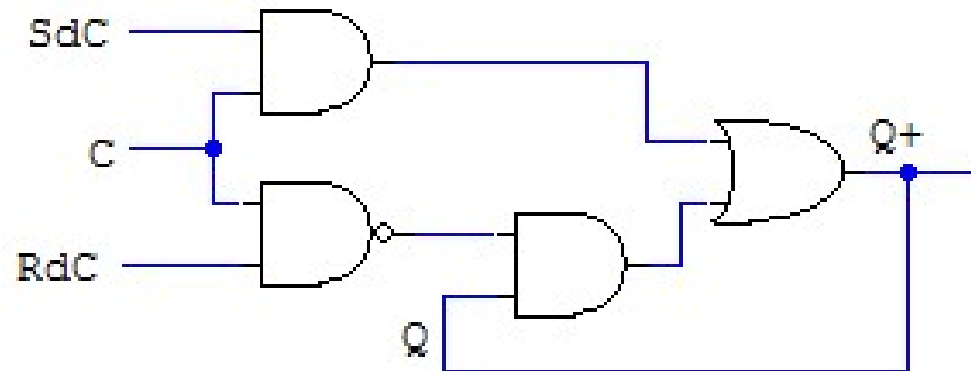
Método intuitivo. Si $C = 0$, Sd y Rd deben ser 0, lo que provocará $Q^+ = Q$

$$Sd = SdC C$$

$$Rd = RdC C$$

$$Q^+ = Sd + \overline{Rd} Q$$

$$Q^+ = SdC C + \overline{RdC C} Q$$



1.1. Un flip-flop "S-R Set-dominante" difiere del flip-flop S-R normal en que cuando S y R están a valor lógico 1 simultáneamente se realiza la operación de Set. Realizar una implementación del circuito como "clocked-latch".

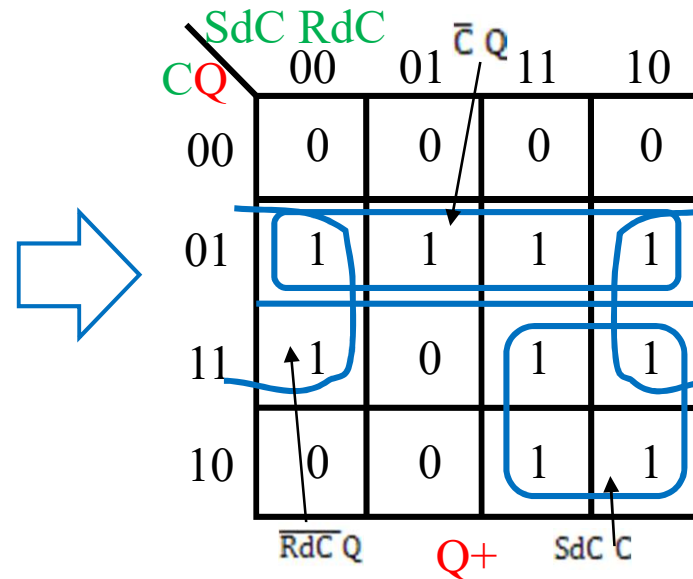
Clocked-latch: si $C = 0 \Rightarrow Q^+ = Q$

Método formal.

C	SdC	RdC	Q	Q+
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Tabla característica

C	SdC	RdC	Q+
0	X	X	Q
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	1

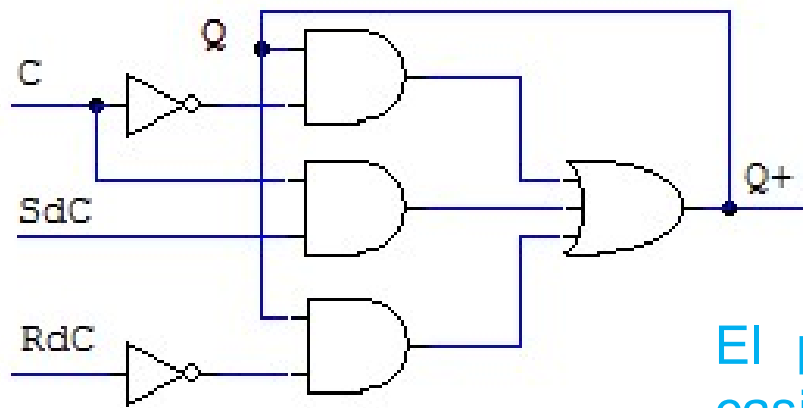


$$Q^+ = SdC C + \overline{RdC} Q + \overline{C} Q$$

- 1.1. Un flip-flop "S-R Set-dominante" difiere del flip-flop S-R normal en que cuando S y R están a valor lógico 1 simultáneamente se realiza la operación de Set. Realizar una implementación del circuito como "clocked-latch".

Clocked-latch: si $C = 0 \Rightarrow Q+ = Q$

$$Q+ = SdC C + \overline{RdC} Q + \bar{C} Q$$

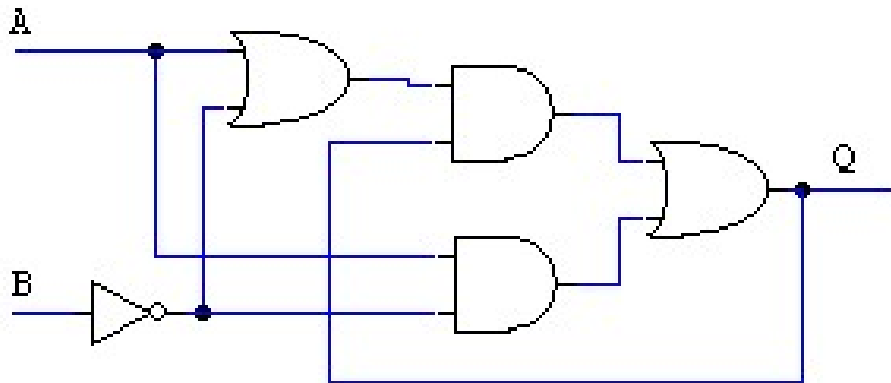


C	Sd	Rd	Q+
0	X	X	Q
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	1

El peligro en la mapa entre las casillas 7 y 15 hace que el circuito oscile. Para eliminar la oscilación hay que eliminar el peligro añadiendo a $Q+$ el término $SdC Q$

$$Q+ = SdC C + \overline{RdC} Q + \bar{C} Q + SdC Q$$

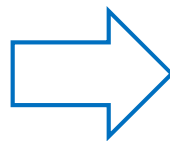
1.2. Dado el siguiente circuito digital, encontrar la tabla característica y la tabla de operación del flip-flop correspondiente.



$$Q^+ = (A + \bar{B}) Q + A \bar{B}$$

A	B	Q	Q+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Tabla característica



A	B	Q+
0	0	Q
0	1	0
1	0	1
1	1	Q

Tabla de operación

1.3. Diseñar un flip-flop tal que se cargue en su salida Q el valor de una entrada SR o el valor de una entrada SL en función del valor de una entrada de control K (0 carga SR, 1 carga SL). Indicar la tabla de operación, la tabla característica y realizar una implementación “clocked-latch” en base a un latch S-R.

K	SR	SL	Q+
0	0	X	0
0	1	X	1
1	X	0	0
1	X	1	1

Tabla de operación

Q	=>	Q+	S	R
0	=>	0	0	ϕ
0	=>	1	1	0
1	=>	0	0	1
1	=>	1	ϕ	0

Tabla excitación del S-R

K	SR	SL	Q	Q+	S	R
0	0	X	0	0	0	ϕ
0	0	X	1	0	0	1
0	1	X	0	1	1	0
0	1	X	1	1	ϕ	0
1	X	0	0	0	0	ϕ
1	X	0	1	0	0	1
1	X	1	0	1	1	0
1	X	1	1	1	ϕ	0

Tabla característica

Tabla característica

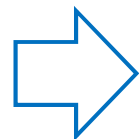
K	SR	SL	Q	Q+	S	R
0	0	X	0	0	0	ϕ
0	0	X	1	0	0	1
0	1	X	0	1	1	0
0	1	X	1	1	ϕ	0
1	X	0	0	0	0	ϕ
1	X	0	1	0	0	1
1	X	1	0	1	1	0
1	X	1	1	1	ϕ	0

KSR	SLQ			
	00	01	11	10
00	0	0	0	0
01	1	ϕ	ϕ	1
11	0	0	ϕ	1
10	0	0	ϕ	1
		S	K SL	

KSR	SLQ			
	00	01	11	10
00	ϕ	1	1	ϕ
01	0	0	0	0
11	ϕ	1	0	0
10	ϕ	1	0	0
		K SR	K SL	R

$$S = \bar{K} SR + K SL$$

$$R = \bar{K} \bar{S} R + K \bar{S} L$$



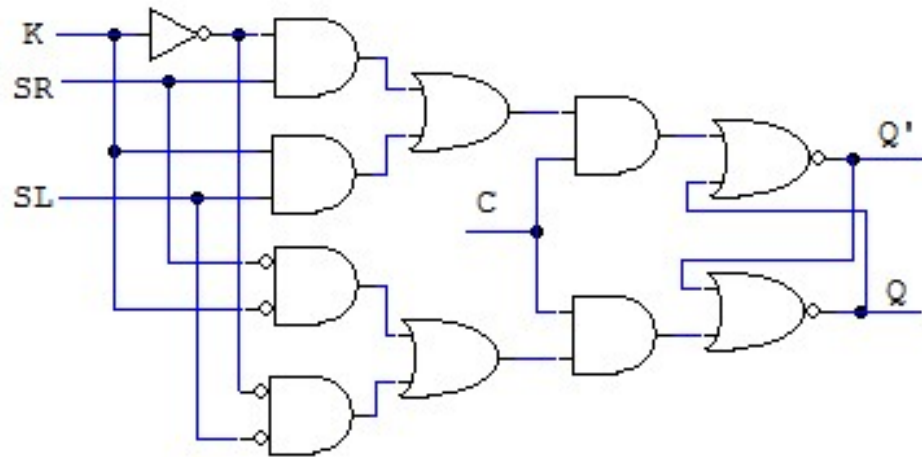
$$S = (\bar{K} SR + K SL) C$$

$$R = (\bar{K} \bar{S} R + K \bar{S} L) C$$

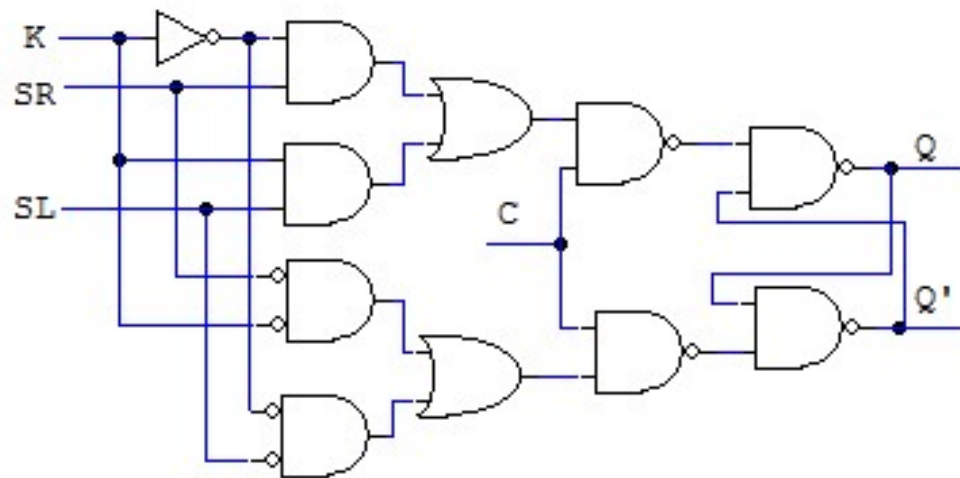
para "clocked-latch"

$$S = (\bar{K} SR + K SL) C$$

$$R = (\bar{K} \bar{S} R + K \bar{S} L) C$$

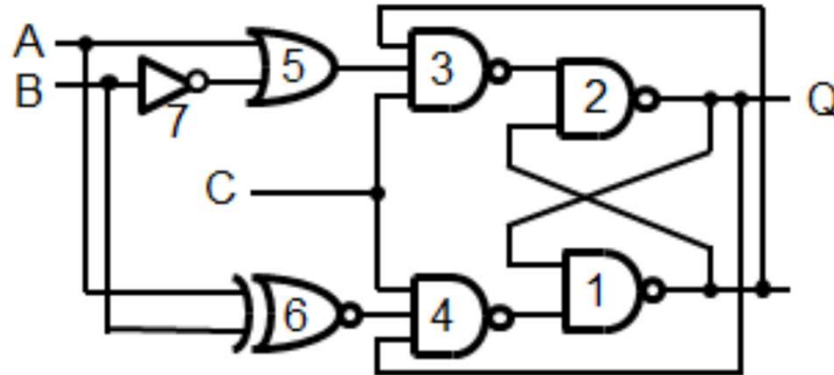


Latch S-R NOR

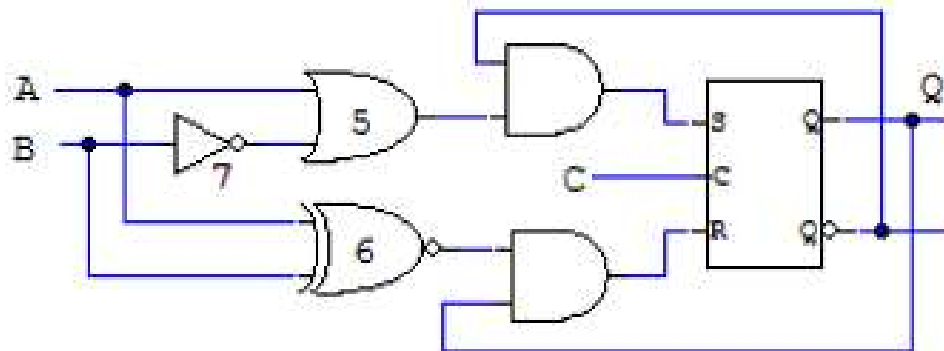


Latch S-R NAND

2.1. Explicar a qué tipo de circuito corresponde el siguiente circuito digital. Indicar su tabla característica y su tabla de operación.



El circuito es equivalente a este otro basado en un clocked-latch S-R (puertas 1. 2. 3. 4)



S	R	Q+
0	0	Q
0	1	0
1	0	1
1	1	No

$$S = (A + \bar{B}) \bar{Q}$$

$$R = \overline{A \oplus B} Q$$

$$S = (A + \bar{B}) \bar{Q}$$

$$R = \overline{A \oplus B} Q$$

S	R	Q+
0	0	Q
0	1	0
1	0	1
1	1	No

A	B	Q	S	R	(Q+)	Q+
0	0	0	1	0	(1)	1
0	0	1	0	1	(0)	0
0	1	0	0	0	(Q)	0
0	1	1	0	0	(Q)	1
1	0	0	1	0	(1)	1
1	0	1	0	0	(Q)	1
1	1	0	1	0	(1)	1
1	1	1	0	1	(0)	0

Tabla característica



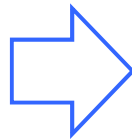
A	B	Q+
0	0	\bar{Q}
0	1	Q
1	0	1
1	1	\bar{Q}

Tabla de operación

2.2. Diseñar un flip-flop A-B tal que cuando los valores lógicos en las entradas son distintos su valor se complementa y cuando son iguales la salida se carga con el valor de las entradas. Encontrar la tabla de operación, la tabla característica, y la ecuación característica del flip-flop, y realizar una implementación “clocked-latch” a partir de un “latch” S-R NAND.

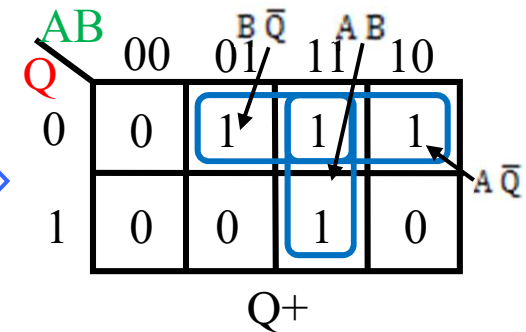
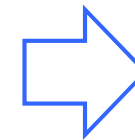
A	B	Q+
0	0	0
0	1	\overline{Q}
1	0	\overline{Q}
1	1	1

Tabla de operación



A	B	Q	Q+
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Tabla característica



$$Q+ = A \overline{Q} + B \overline{Q} + A B$$

Ec. característica

A	B	Q	Q+
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Q	Q+	S	R
0	0	0	φ
0	1	1	0
1	0	0	1
1	1	φ	0

A	B	Q	Q+	S	R
0	0	0	0	0	φ
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	1	0	1	1	0
1	1	1	1	φ	0

Tabla de excitación del latch S-R

AB	00	01	11	10
Q	0	1	1	1
1	0	0	φ	0

S

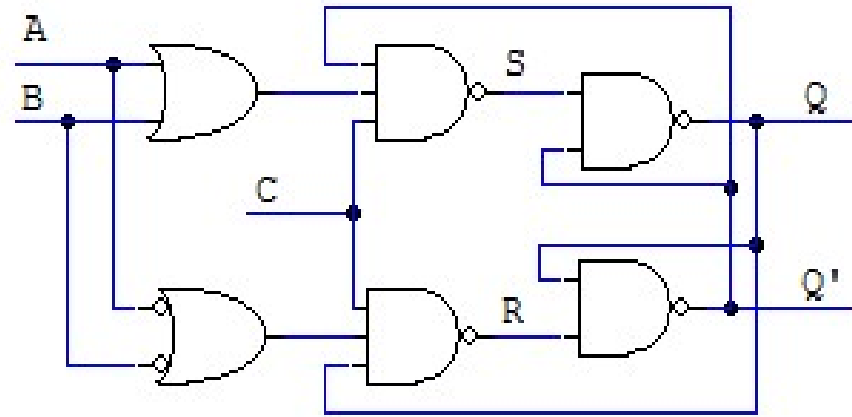
AB	00	01	11	10
Q	0	φ	0	0
1	1	1	0	1

R

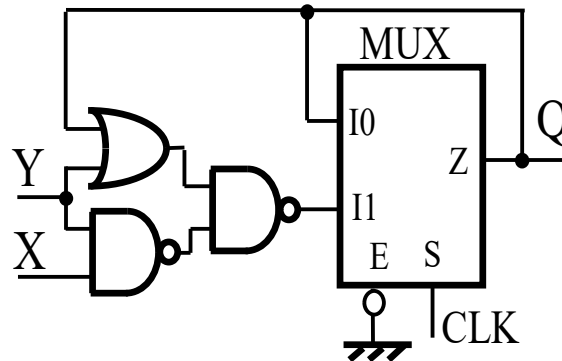
$$S = \bar{Q} (A + B)$$

$$R = Q (\bar{A} + \bar{B})$$

para "clocked-latch" → $S = \bar{Q} (A + B) C$
 → $R = Q (\bar{A} + \bar{B}) C$



3.1. Indicar que tipo de circuito es el de la figura, su tabla de operación y su tabla característica, y construir un circuito equivalente en base a un “latch” S-R NOR.



$CLK = 0 \Rightarrow S = 0 \Rightarrow Z = I0 \Rightarrow Q^+ = Q$ (el flip-flop mantiene el dato)

$CLK = 1 \Rightarrow S = 1 \Rightarrow Z = I1 \Rightarrow Q^+ = \overline{(Y + Q) \overline{X} \overline{Y}} = \overline{Y} \overline{Q} + X Y$

El circuito es un “clocked-latch” X-Y con reloj activo alto y esta tabla característica:

X	Y	Q	Q ⁺
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Tabla característica



X	Y	Q ⁺
0	0	\overline{Q}
0	1	0
1	0	\overline{Q}
1	1	1

Tabla de operación

X	Y	Q	Q+
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



Q	=>	Q+	S	R
0	=>	0	0	φ
0	=>	1	1	0
1	=>	0	0	1
1	=>	1	φ	0



X	Y	Q	Q+	S	R
0	0	0	1	1	0
0	0	1	0	0	1
0	1	0	0	0	φ
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	1	0	1	1	0
1	1	1	1	φ	0

Tabla de excitación del latch S-R

XY	00	01	11	10
Q	1	0	1	1
Q'	0	0	φ	0

S

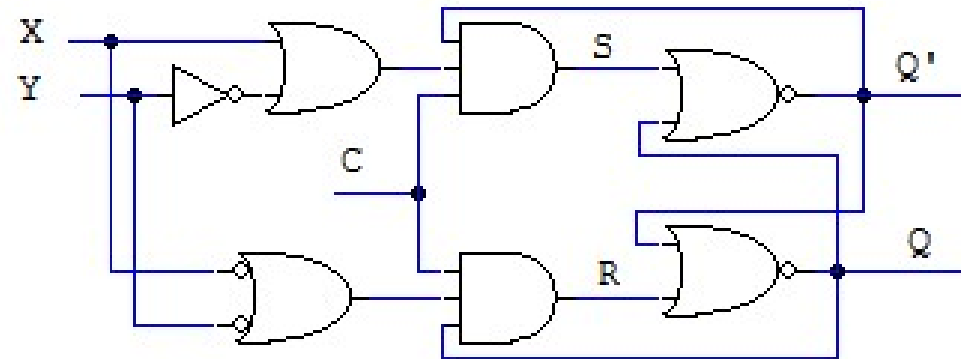
$$S = (\bar{Q}X + \bar{Q}\bar{Y})C = \bar{Q}(X + \bar{Y})C$$

Añado C para el reloj

XY	00	01	11	10
Q	0	φ	0	0
Q'	1	1	0	1

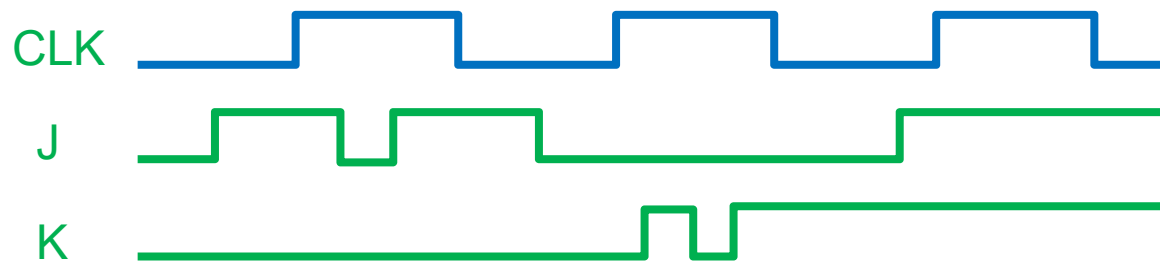
R

$$R = (Q\bar{X} + Q\bar{Y})C = Q(\bar{X} + \bar{Y})C$$



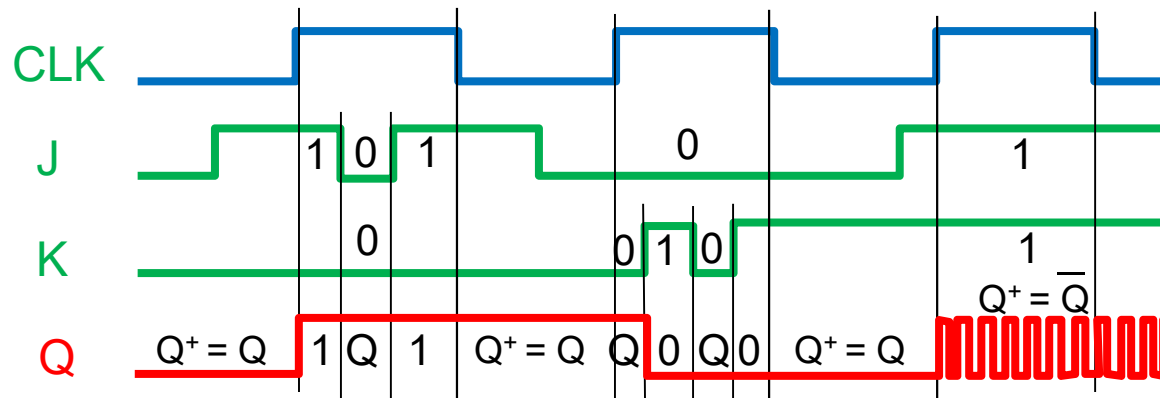
3.2. Representar el funcionamiento de un circuito J-K bajo las siguientes señales de entrada, suponiendo inicialmente la salida Q a valor lógico 0 para:

- a). "clocked flip-flop" con reloj activo en H.
- b). flip-flop "master-slave" master (slave) activado por el reloj en H (L).
- c). flip-flop disparado por flanco positivo.

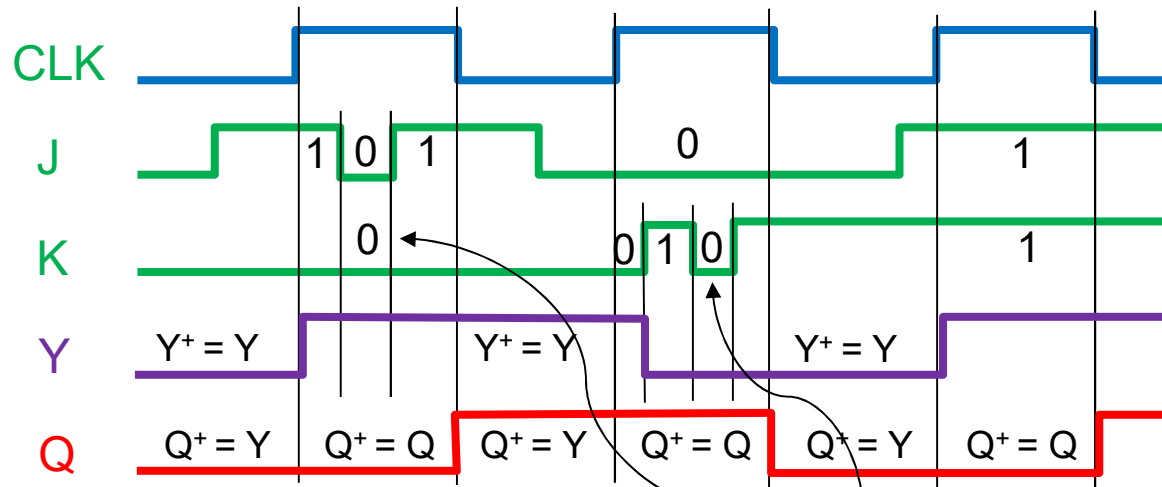


J	K	Q+
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}

a). "clocked flip-flop" con reloj activo en H.



b). flip-flop "master-slave" master (slave) activado por el reloj en H (L).



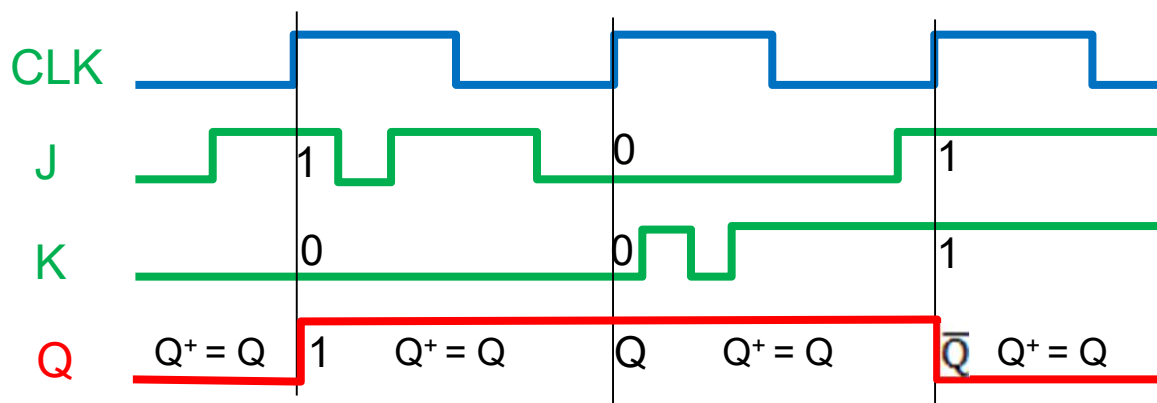
J	K	Q+
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}

JK = 00: ¿Mantiene Y o mantiene Q?.

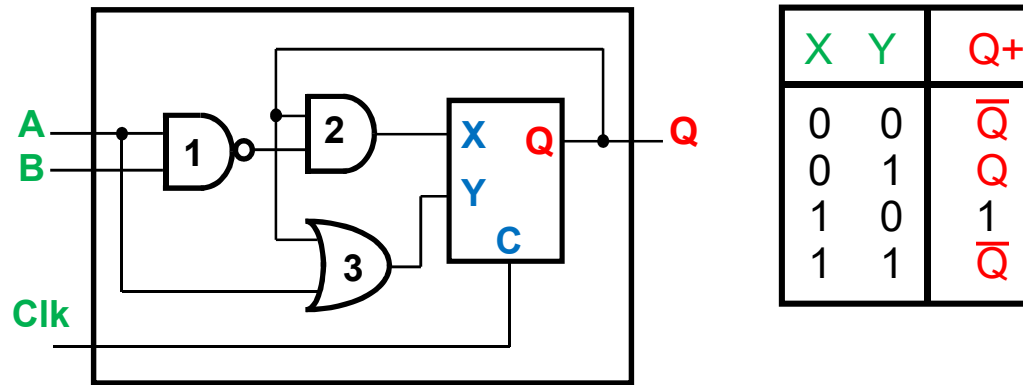
Depende de la configuración del flip-flop

Aquí se mantiene Y

c). flip-flop disparado por flanco positivo.



4.1. Dado el circuito de la siguiente figura:



a) Realizar el diseño de un flip-flop X-Y disparado por flanco positivo en base a un flip-flop J-K disparado por flanco positivo.

X	Y	Q	Q+
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Tabla característica del
FF X-Y

+

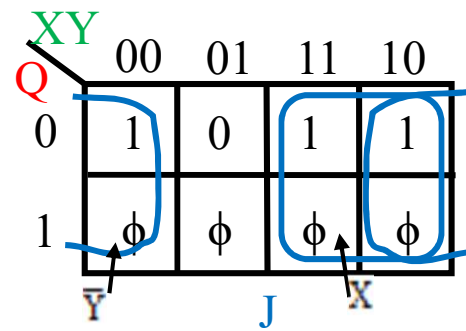
Q	=>	Q+	J	K
0	=>	0	0	ϕ
0	=>	1	1	ϕ
1	=>	0	ϕ	1
1	=>	1	ϕ	0

Tabla de excitación del
FF J-K

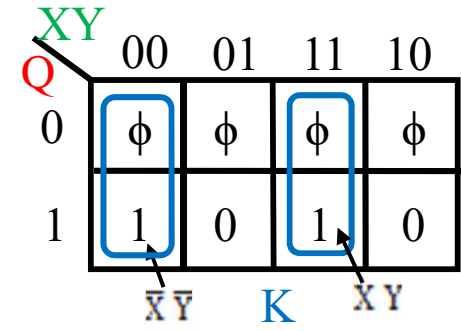


X	Y	Q	Q+	J	K
0	0	0	1	1	ϕ
0	0	1	0	ϕ	1
0	1	0	0	0	ϕ
0	1	1	1	ϕ	0
1	0	0	1	1	ϕ
1	0	1	1	ϕ	0
1	1	0	1	1	ϕ
1	1	1	0	ϕ	1

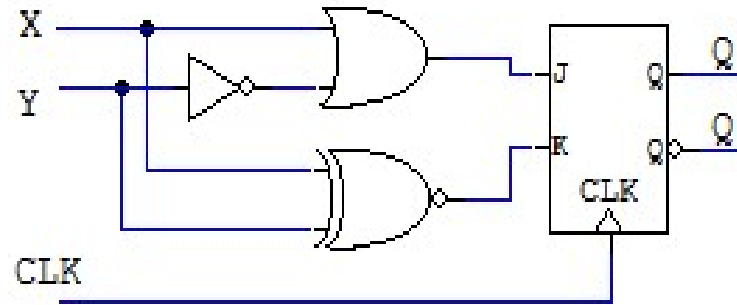
X	Y	Q	Q+	J	K
0	0	0	1	1	ϕ
0	0	1	0	ϕ	1
0	1	0	0	0	ϕ
0	1	1	1	ϕ	0
1	0	0	1	1	ϕ
1	0	1	1	ϕ	0
1	1	0	1	1	ϕ
1	1	1	0	ϕ	1



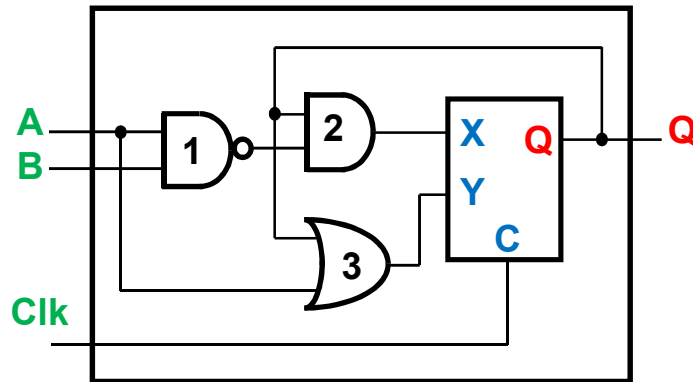
$$J = X + \bar{Y}$$



$$K = \bar{X}\bar{Y} + XY = \overline{X \oplus Y}$$



b) Encontrar la tabla de operación del flip-flop A-B.



X	Y	Q+
0	0	\overline{Q}
0	1	Q
1	0	1
1	1	\overline{Q}

$$X = F1(A, B, Q) = \overline{A} \overline{B} Q = (\overline{A} + \overline{B}) Q$$

$$Y = F2(A, B, Q) = A + Q$$

A	B	Q	X	Y	(Q+)	Q+
0	0	0	0	0	(\overline{Q})	1
0	0	1	1	1	(\overline{Q})	0
0	1	0	0	0	(\overline{Q})	1
0	1	1	1	1	(\overline{Q})	0
1	0	0	0	1	(Q)	0
1	0	1	1	1	(Q)	0
1	1	0	0	1	(Q)	0
1	1	1	0	1	(Q)	1

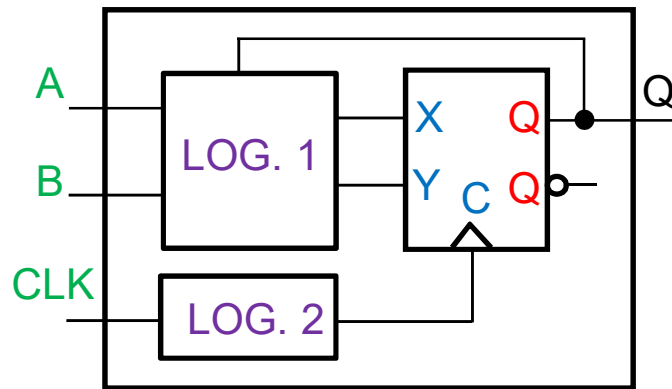
Tabla característica del
FF A-B



A	B	Q+
0	0	\overline{Q}
0	1	\overline{Q}
1	0	0
1	1	Q

Tabla de operación del
FF A-B

c) Suponiendo el flip-flop X-Y disparado por flanco positivo, calcular el tiempo de setup, el tiempo de hold y el tiempo de propagación del flip-flop A-B según los parámetros temporales del flip-flop X-Y (T_p , T_{setup} , T_{hold}) y de las puertas lógicas (t_p).



-- De CLK a Q: T_p

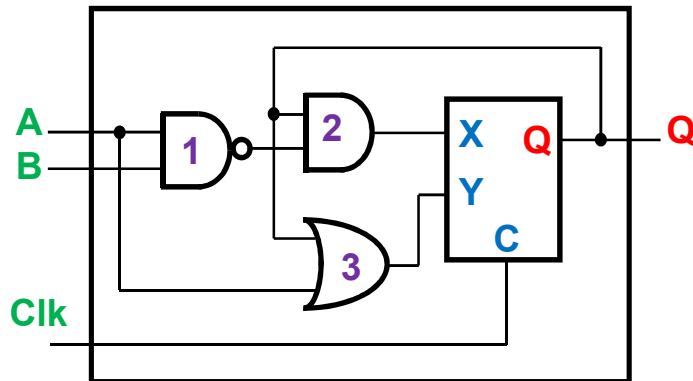
$$T_p(A-B) = T_p(\text{LOG2}) + T_p(X-Y)$$

-- De A-B a CLK: T_{setup}

$$T_{setup}(A-B) = T_p\text{MAX}(\text{LOG1}) + T_{setup}(X-Y) - T_p\text{MIN}(\text{LOG2})$$

-- De CLK a A-B: T_{hold}

$$T_{hold}(A-B) = T_p\text{MAX}(\text{LOG2}) + T_{hold}(X-Y) - T_p\text{MIN}(\text{LOG1})$$



$$T_p(A-B) = 0 + T_p(X-Y) = T_p(X-Y)$$

$$T_{setup}(A-B) = T_p(\text{NAND1}) + T_p(\text{AND2}) + T_{setup}(X-Y)$$

$$T_{hold}(A-B) = T_{hold}(X-Y) - T_p(\text{OR3})$$

d) Realizar la descripción VHDL de los flip-flops X-Y y A-B disparados por flanco positivo.

```
library ieee;
use ieee.std_logic_1164.all;

entity AB_FF is
port (A, B, Clk: in std_logic;
      Q: out std_logic);
end AB_FF;
```

A	B	Q+
0	0	\overline{Q}
0	1	\overline{Q}
1	0	0
1	1	Q

X	Y	Q+
0	0	\overline{Q}
0	1	Q
1	0	1
1	1	\overline{Q}

```
architecture uno of AB_FF is
signal Q_int : std_logic; -- Salida interna en el FF
begin
process(Clk) -- En disparos por flanco solo las
              -- entradas de reloj activan el proceso
variable AB : std_logic_vector( 2 downto 1);
begin
if ( clk'event and clk = '1' ) then
  AB := A & B;
  case AB is
    when "00" => Q_int <= not Q_int;
    when "01" => Q_int <= not Q_int;
    when "10" => Q_int <= '0';
    when others => null; -- No hace nada: mantiene Q
  end case;
end if;
end process;
Q <= Q_int;
end uno;
```

Para el FF X-Y

```
case AB is
  when "00" => Q_int <= not Q_int;
  when "01" => Q_int <= not Q_int;
  when "10" => Q_int <= '0';
  when others => null; -- No hace nada: mantiene Q
end case;
```



```
case XY is
  when "01" => null;
  when "10" => Q_int <= '1';
  when others => Q_int <= not Q_int;
end case;
```

Descripción VHDL del FF A-B

5.1. Se desea diseñar un sumador serial, de forma que los bits de los operandos entren en serie del menos significativo al más significativo y, en cada ciclo se genere el bit de salida y se almacene el acarreo generado que se utilizará como acarreo de entrada para el siguiente bit. Se pide diseñar un flip-flop que permita almacenar los acarros a lo largo de la suma serial.

a). Mostrar la tabla característica, la tabla de operación, la ecuación característica, ...

Tabla de verdad del acarreo de un sumador completo.

$$Co = F(A, B, Ci)$$

A	B	Q	Q+
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Tabla característica de sumador serial.

$$Q+ = F(A, B, Q)$$

$$Q+ \Rightarrow Co$$

$$Q \Rightarrow Ci$$



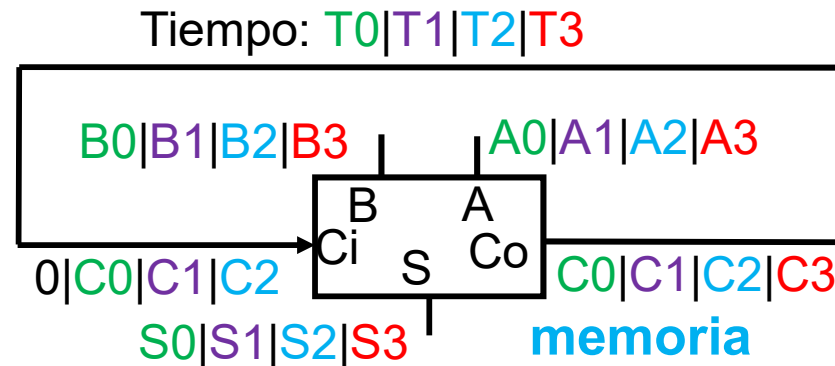
A	B	Q+
0	0	0
0	1	Q
1	0	Q
1	1	1

Tabla de operación

Ec. Característica.

$$Q+ = AB + AQ + BQ$$

Función Co de un full-adder



5.1.a). Mostrarla descripción VHDL del citado flip-flop y una implementación con puertas lógicas.

```
architecture clocked_sum of AB_FF is
begin
process(Clk,A,B)
variable AB: std_logic_vector(2 downto 1);
begin
if ( clk = '1' ) then
  AB := A & B;
  case AB is
    when "00" => Q <= '0';
    when "11" => Q <= '1';
    when others => null; -- Mantiene Q
  end case;
end if;
end process;
end clocked_sum;
```

Clocked-Latch

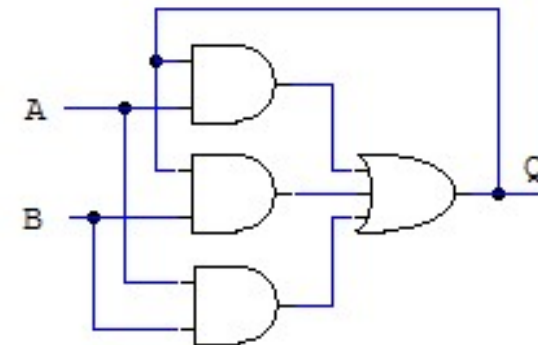
```
architecture MS_sum of AB_FF is
signal Y: std_logic := '0';
begin
process(Clk,A,B,Y)
variable AB: std_logic_vector(2 downto 1);
begin
if ( clk = '1' ) then
  AB := A & B;
  case AB is
    when "00" => Y <= '0';
    when "11" => Y <= '1';
    when others => null; -- Mantiene Y
  end case;
else Q <= Y;
end if;
end process;
end MS_sum;
```

Master-Slave

```
architecture edge_sum of AB_FF is
begin
process(Clk)
variable AB: std_logic_vector(2 downto 1);
begin
if ( clk'event and clk = '1' ) then
  AB := A & B;
  case AB is
    when "00" => Q <= '0';
    when "11" => Q <= '1';
    when others => null; -- Mantiene Q
  end case;
end if;
end process;
end edge_sum;
```

Disparado por flanco

$$Q+ = AB + AQ + BQ$$



5.1.b). Diseñar el citado flip-flop del tipo "clocked" en base a un latch interno S-R NAND.

A	B	Q	Q+
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

+

Q	=>	Q+	S	R
0	=>	0	0	φ
0	=>	1	1	0
1	=>	0	0	1
1	=>	1	φ	0



Tabla de excitación del FF S-R

A	B	Q	Q+	S	R
0	0	0	0	0	φ
0	0	1	0	0	1
0	1	0	0	0	φ
0	1	1	1	φ	0
1	0	0	0	0	φ
1	0	1	1	φ	0
1	1	0	1	1	0
1	1	1	1	φ	0

Tabla característica del FF A-B

AB	00	01	11	10
Q	0	0	1	0
1	0	φ	φ	φ

$S = AB$

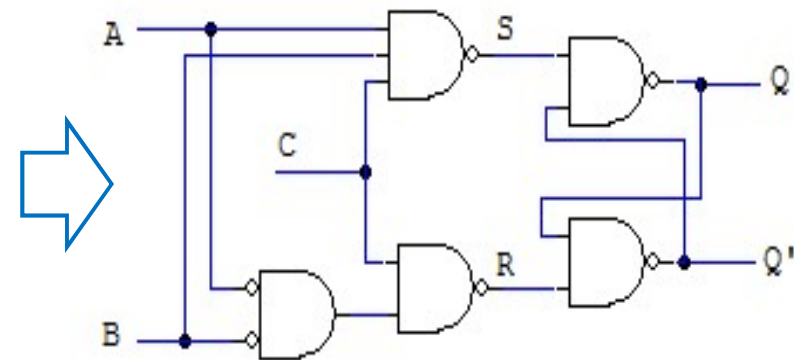
AB	00	01	11	10
Q	φ	φ	0	φ
1	1	0	0	0

$R = \bar{A}\bar{B}$

para "clocked-latch"

$S = (AB)C$

$R = (\bar{A}\bar{B})C$



5.1.c). Diseñar el citado flip-flop en base a un flip-flop cuya tabla de operación es:

X	Y	Q+
0	0	\bar{Q}
0	1	1
1	0	No valido
1	1	Q

Op	Q => Q+	X	Y	Op	X	Y
0, Q	0 => 0	1	1	Q	1	1
1, \bar{Q}	0 => 1	0	0	\bar{Q}	0	ϕ
		0	1	1		
0, \bar{Q}	1 => 0	0	0	\bar{Q}	0	0
1, Q	1 => 1	0	1	1	ϕ	1
		1	1	Q		



A	B	Q	Q+	X	Y
0	0	0	0	1	1
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	1	ϕ	1
1	0	0	0	1	1
1	0	1	1	ϕ	1
1	1	0	1	0	ϕ
1	1	1	1	ϕ	1

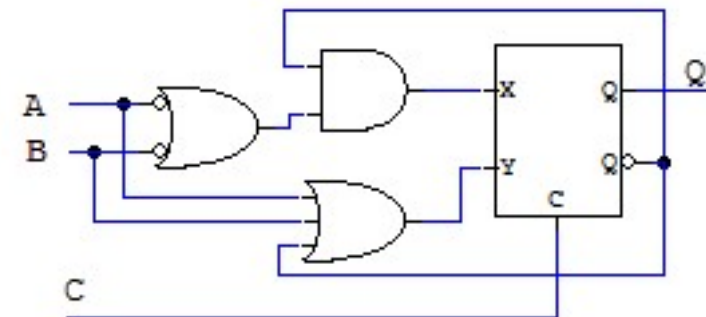
Tabla de excitación del FF X-Y + Tabla característica del FF A-B

AB	00	01	11	10
Q=0	1	1	0	1
Q=1	0	ϕ	ϕ	ϕ

$$X = \bar{Q}(\bar{A} + \bar{B})$$

AB	00	01	11	10
Q=0	1	1	ϕ	1
Q=1	0	1	1	1

$$Y = \bar{Q} + A + B$$



6.1. Se quiere diseñar un flip-flop cuya entrada Y opere como entrada de tipo D o de tipo T en función del valor lógico de la entrada de selección X (0 tipo D, 1 tipo T).

a) Indicar la tabla de operación y encontrar la ecuación característica del flip-flop. Construir un clocked-latch (reloj activo alto) tomando como base un latch S-R NAND.

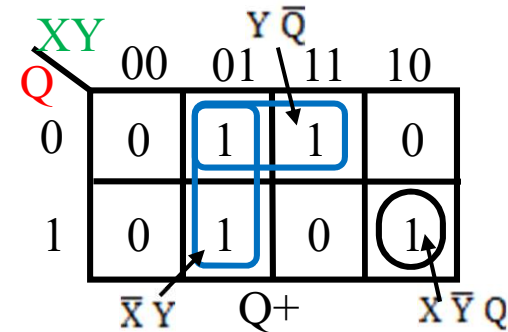
X	Y	Q+
0	0	0
0	1	1
1	0	Q
1	1	\overline{Q}

Tabla de operación



X	Y	Q	Q+
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Tabla característica



$$Q+ = \overline{X}Y + Y\overline{Q} + X\overline{Y}Q$$

Ec. característica

6.1.a) Indicar la tabla de operación y encontrar la ecuación característica del flip-flop. Construir un clocked-latch (reloj activo alto) tomando como base un latch S-R NAND.

X	Y	Q	Q+
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

+

Q => Q+	S	R
0 => 0	0	φ
0 => 1	1	0
1 => 0	0	1
1 => 1	φ	0



X	Y	Q	Q+	S	R
0	0	0	0	0	φ
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	1	φ	0
1	0	0	0	0	φ
1	0	1	1	φ	0
1	1	0	1	1	0
1	1	1	0	0	1

Tabla de excitación del FF S-R

Tabla característica del FF X-Y

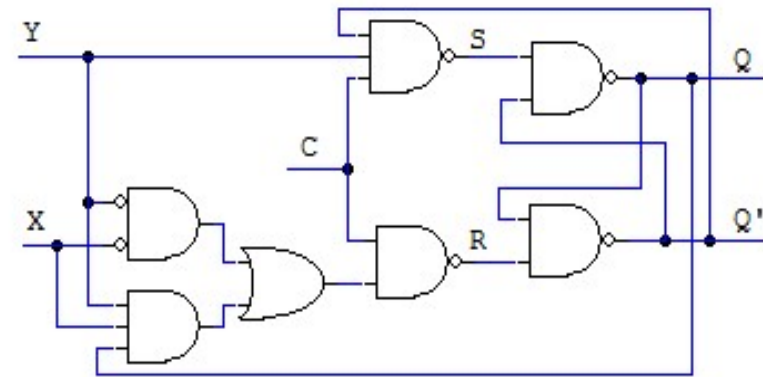
Q \ XY	00	01	11	10
0	0	1	1	0
1	0	φ	0	φ

S = (Y Q̄) C

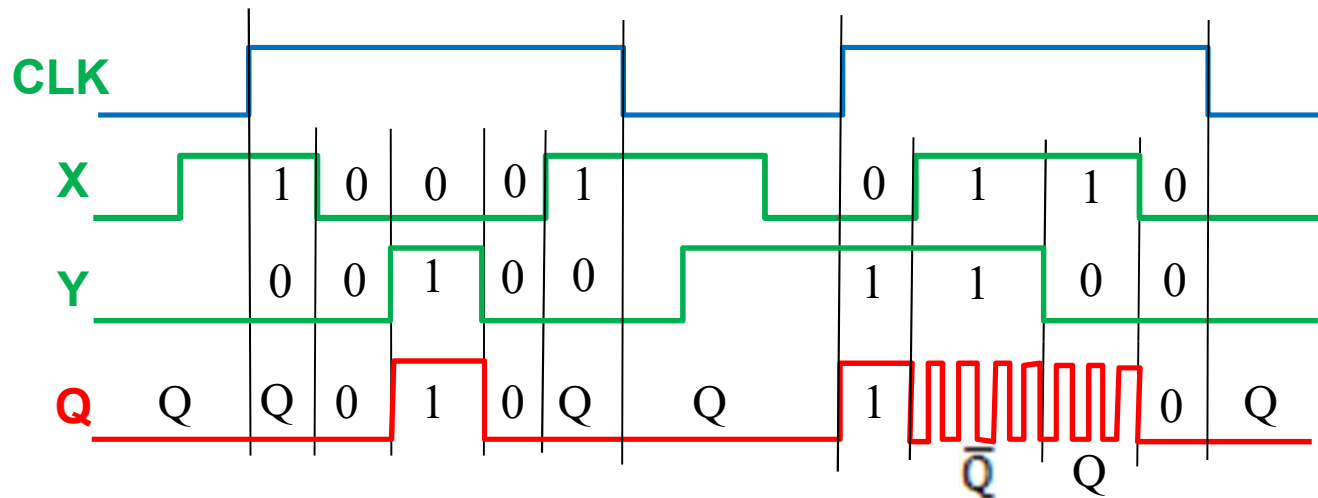
Q \ XY	00	01	11	10
0	φ	0	0	φ
1	1	0	1	0

R = (X̄ Ȳ + XY Q) C

para "clocked-latch"



6.1.b) Dadas las siguientes formas de onda indicar los valores que toman la salida del clocked-latch del apartado (a). Hay que suponer que inicialmente el flip-flop tiene cargado el valor lógico 0.



6.1.c) Realizar una descripción VHDL a nivel de comportamiento del flip-flop XY clocked-latch del apartado a).

```
library ieee;
use ieee.std_logic_1164.all;

entity Pagina6 is
port (X, Y, Clk: in std_logic;
      Q: out std_logic);
end Pagina6;
```

```
architecture clocked of Pagina6 is
signal Q_int: std_logic := '0';
begin
process (Clk,X,Y,Q_int)
begin
if ( clk = '1' ) then
if ( X = '0' ) then
Q_int <= Y;
elsif ( Y = '1' ) then
Q_int <= not Q_int;
end if;
end if;
end process;
Q <= Q_int;
end clocked;
```

7.1. Diseñar un flip-flop "D master-slave" utilizando únicamente dos multiplexores de dos entradas.

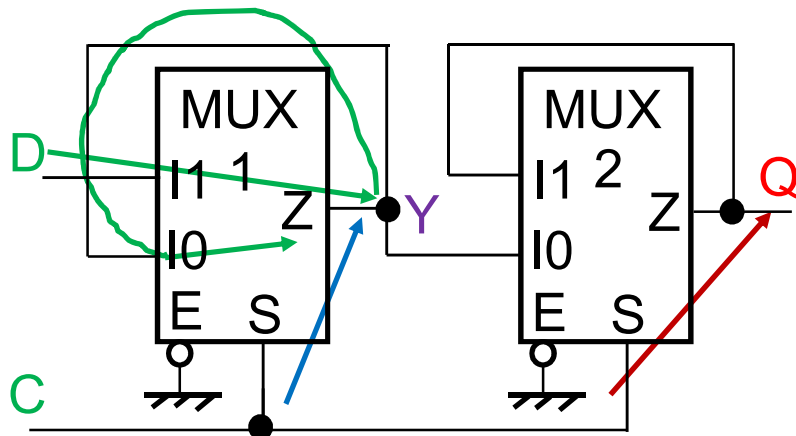
Calcular el tiempo de propagación, de setup y de hold del circuito en función de los tiempos de propagación del multiplexor: T_{pd} (tiempo de propagación desde las entradas de datos) y T_{ps} (tiempo de propagación desde la entrada de selección).

S	Z	C	Y+	Q+
0	I0	0	Y	Y
1	I1	1	D	Q

Mux. D M-S

Master con Mux: $S \Rightarrow C$, $I0 \Rightarrow Y$, $I1 \Rightarrow D$, $Z \Rightarrow Y+$

Slave con Mux: $S \Rightarrow C$, $I0 \Rightarrow Y$, $I1 \Rightarrow Q$, $Z \Rightarrow Q+$



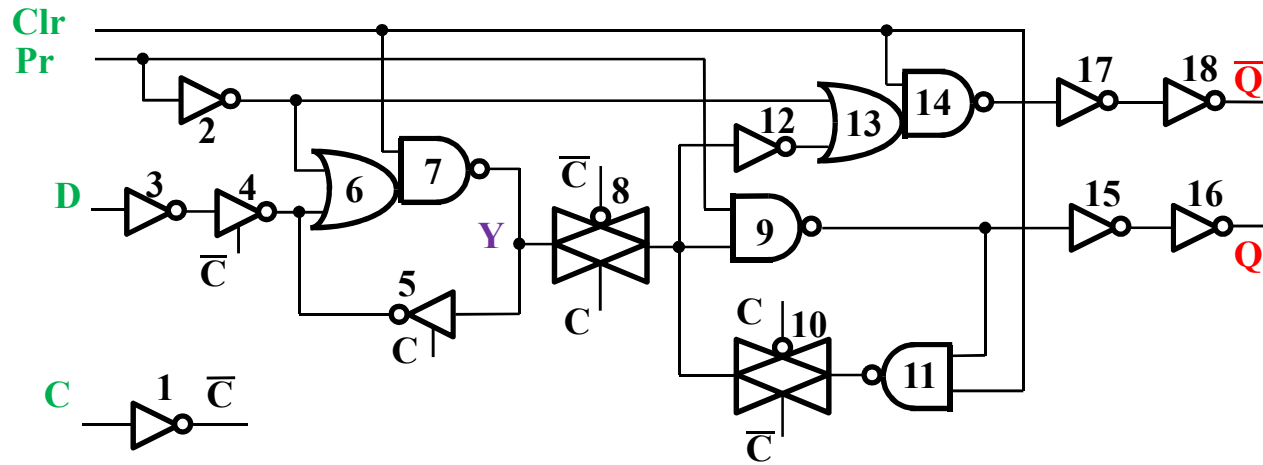
$$T_p(C \rightarrow Q) = T_{ps}(\text{MUX2}, S \rightarrow Z) = t_{ps}$$

$$T_{\text{setup}}(D \rightarrow C) = T_{pd}(\text{MUX1}, I1 \rightarrow Z) + T_{pd}(\text{MUX1}, I0 \rightarrow Z) = 2 t_{pd}$$

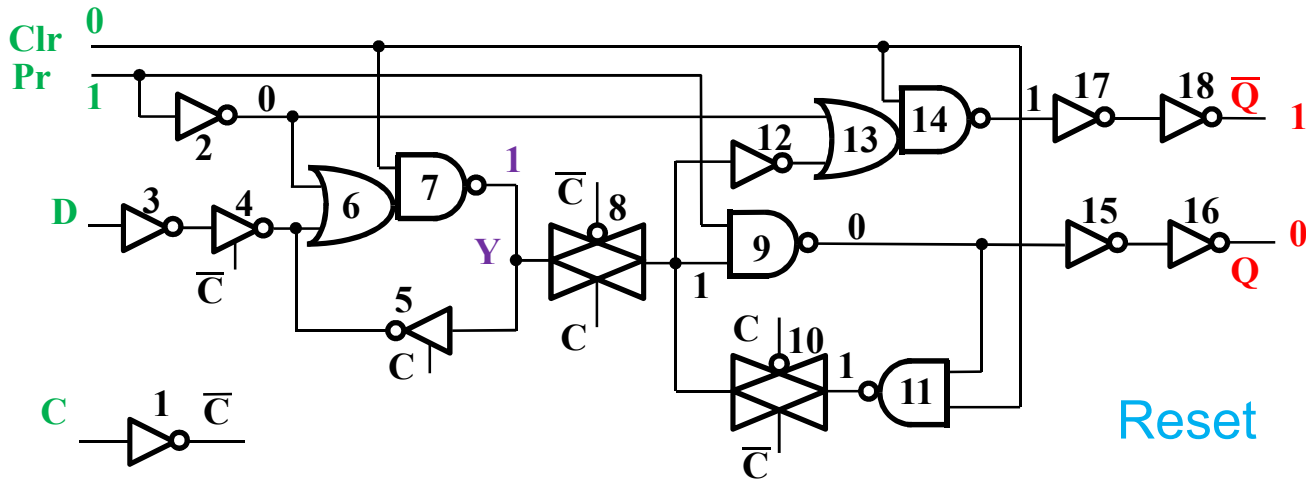
$$\text{o } T_{pd}(\text{MUX2}, I0 \rightarrow Z)$$

$$T_{\text{hold}}(C \rightarrow D) = T_{pd}(\text{MUX1}, S \rightarrow Z) = t_{ps}$$

7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.

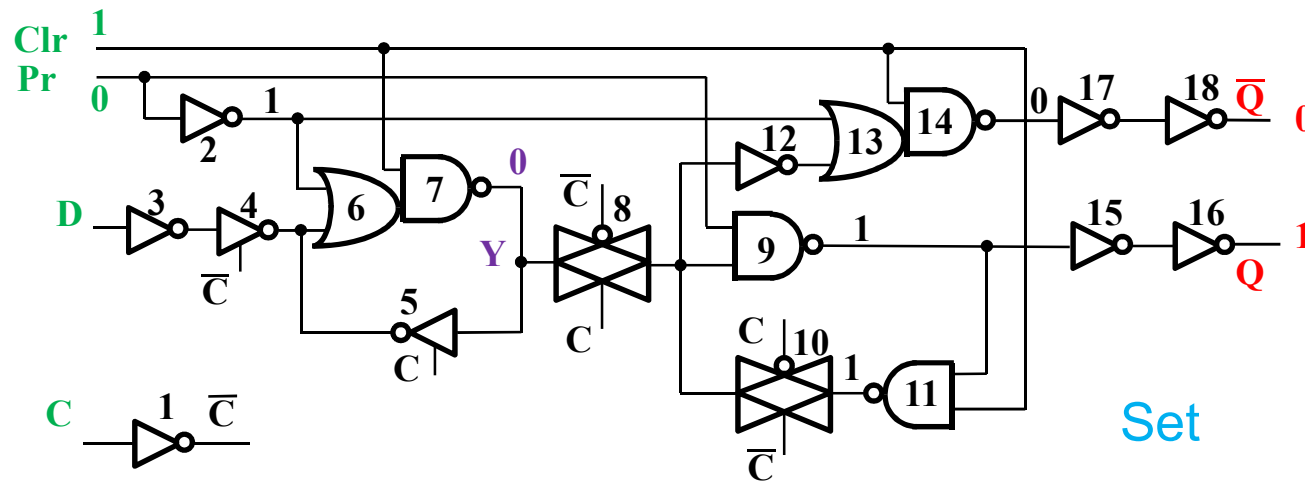


Clr = 0
Pr = 1

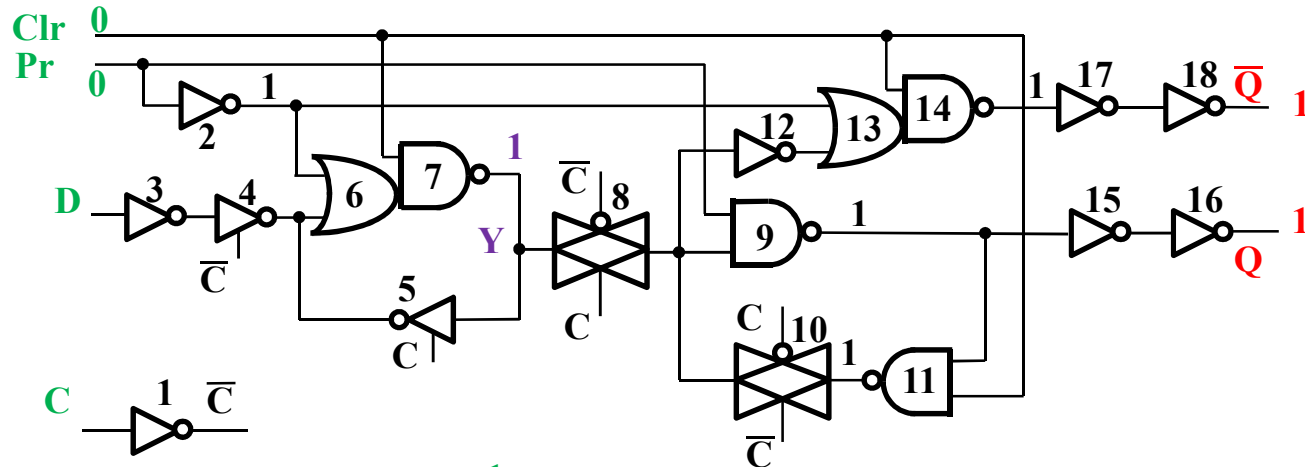


7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.

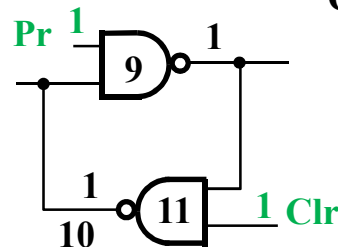
Clr = 1
Pr = 0



Clr = 0
Pr = 0



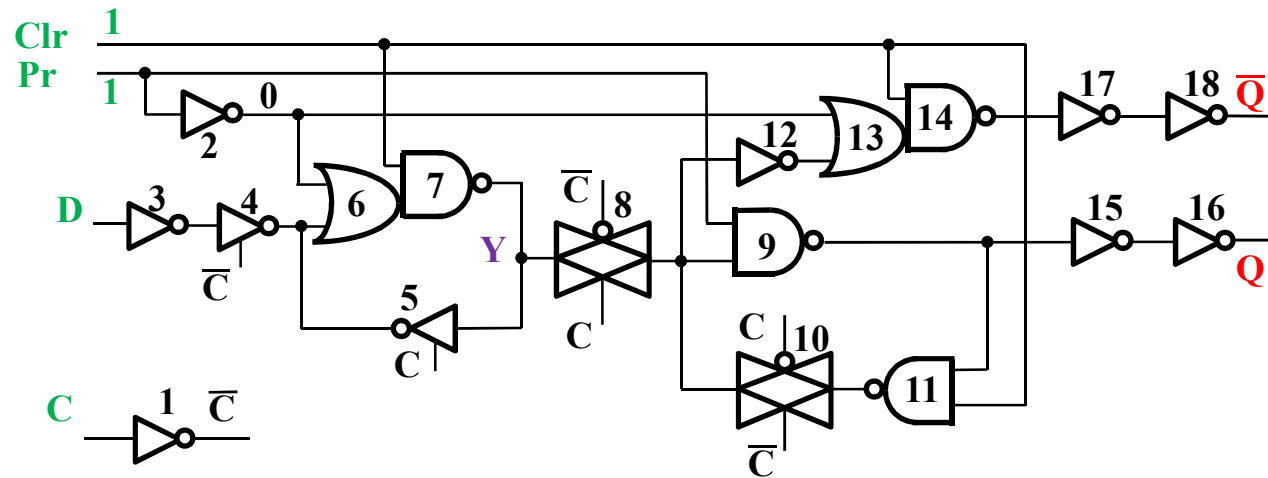
Si Clr, Pr = 0 -> 1
C = 0



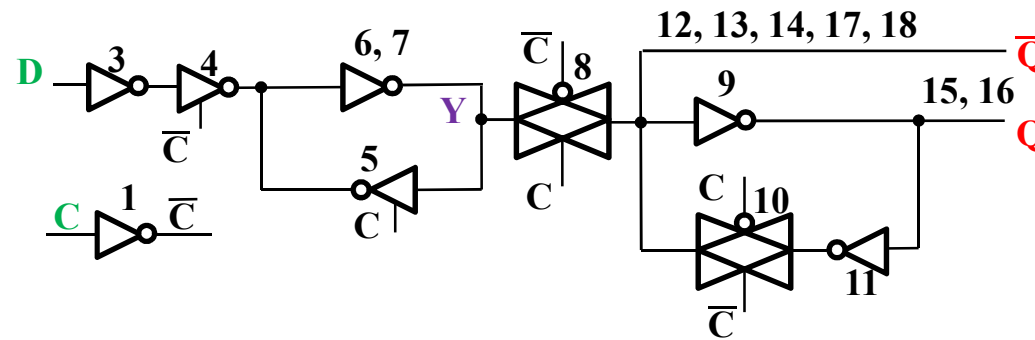
Q indeterminado

7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.

Clr = 1
Pr = 1

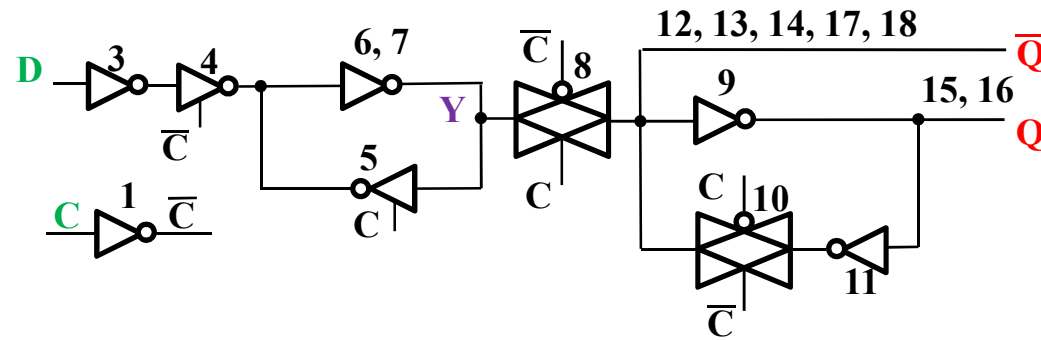


Clr = 1
Pr = 1

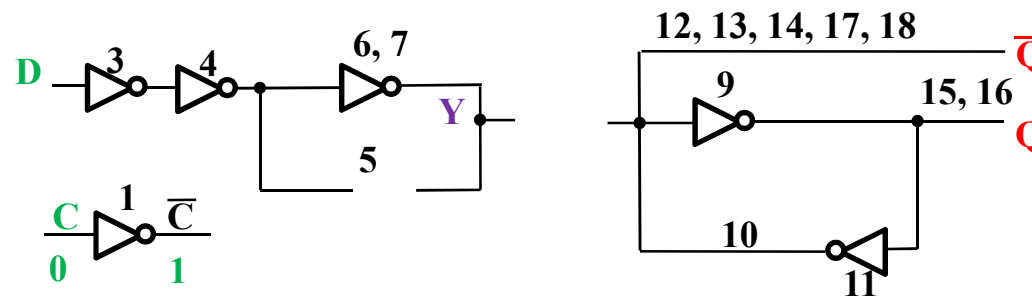
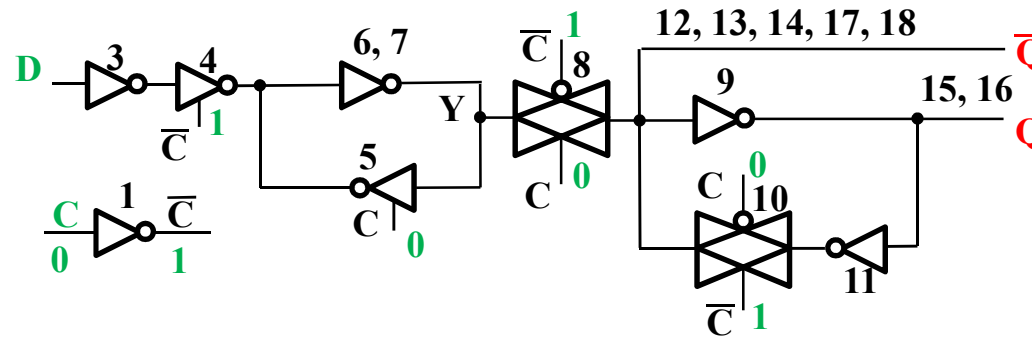


7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.

Clr = 1
Pr = 1



C = 0

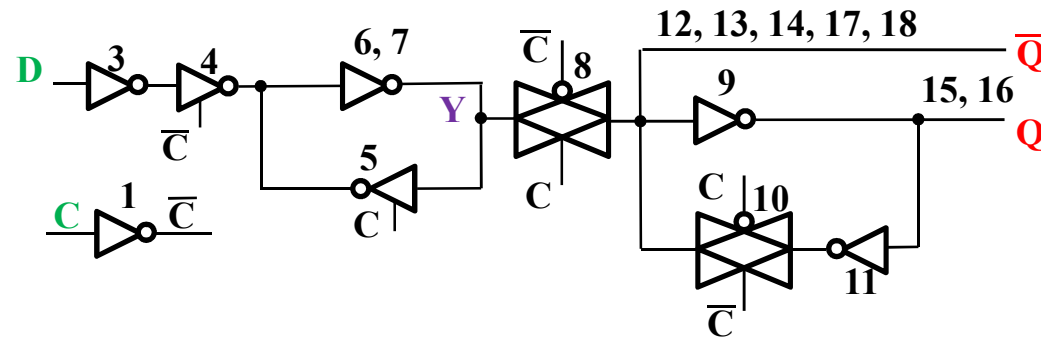


$$Y+ = \bar{D}$$

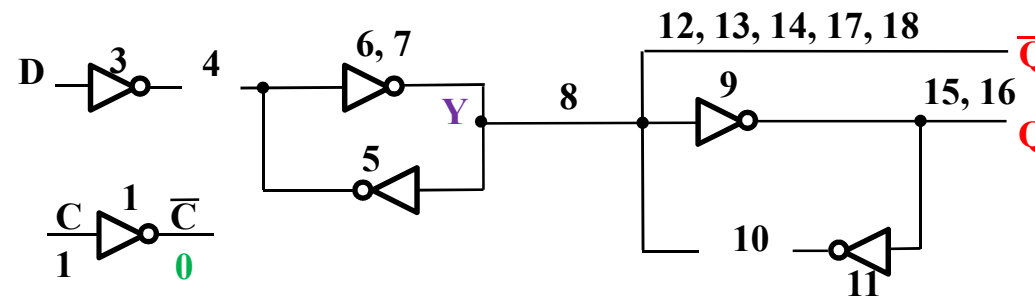
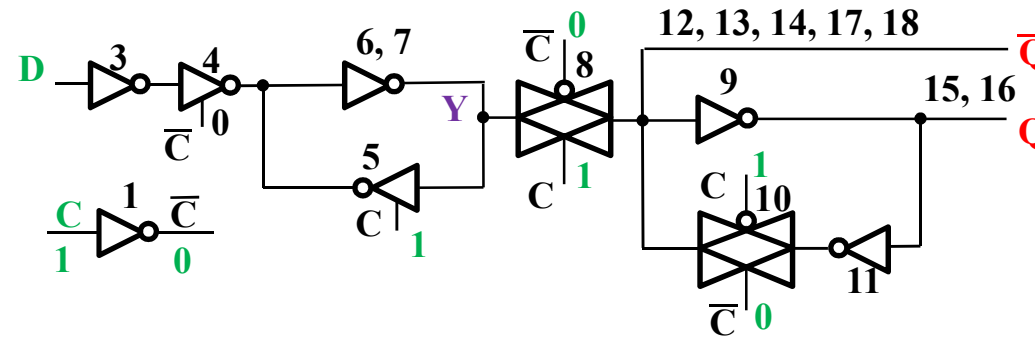
$$Q+ = Q$$

7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.

Clr = 1
Pr = 1



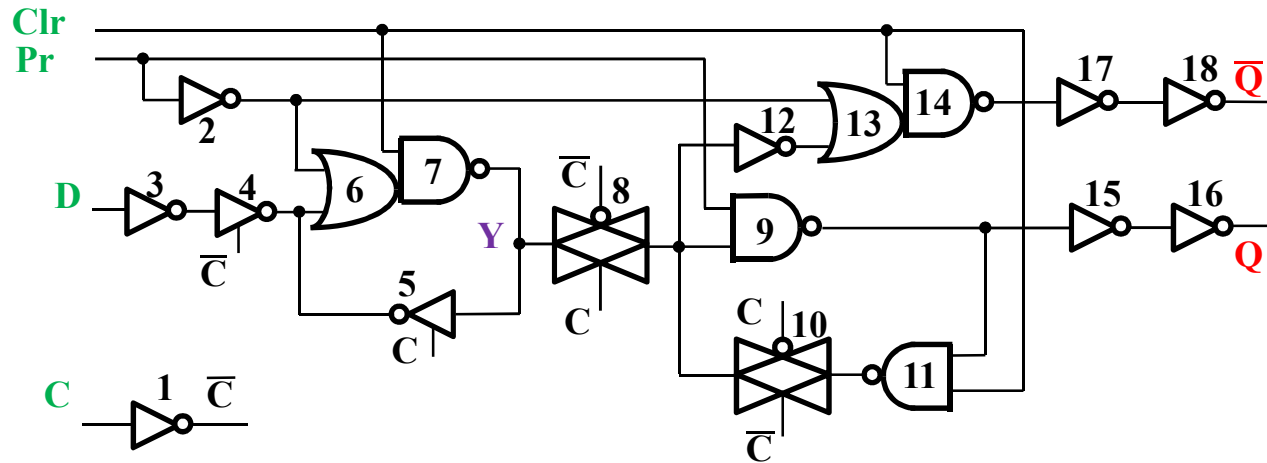
C = 1



$$Y+ = Y$$

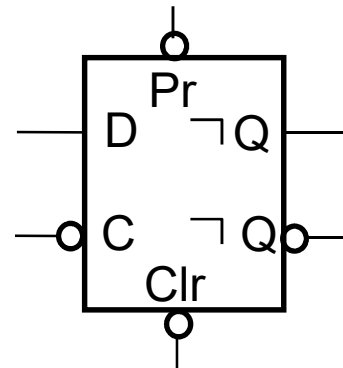
$$Q+ = \bar{Y} = \bar{\bar{D}} = D$$

7.2. Analizar razonadamente el circuito que se muestra a continuación. Indicar el circuito lógico al que corresponde y dibujar su esquema lógico.



Flip-flop D master-slave con reloj C activo bajo y señales de control asíncrono de reset (Clr) y set (Pr).

Clr	Pr	D	Q
L	H	X	L
H	L	X	H
L	L	X	No
H	H	1	L
H	H	h	H



Es equivalente también a un flip-flop D disparado por flanco positivo y con las señales de control asíncrono de reset (Clr) y set (Pr).