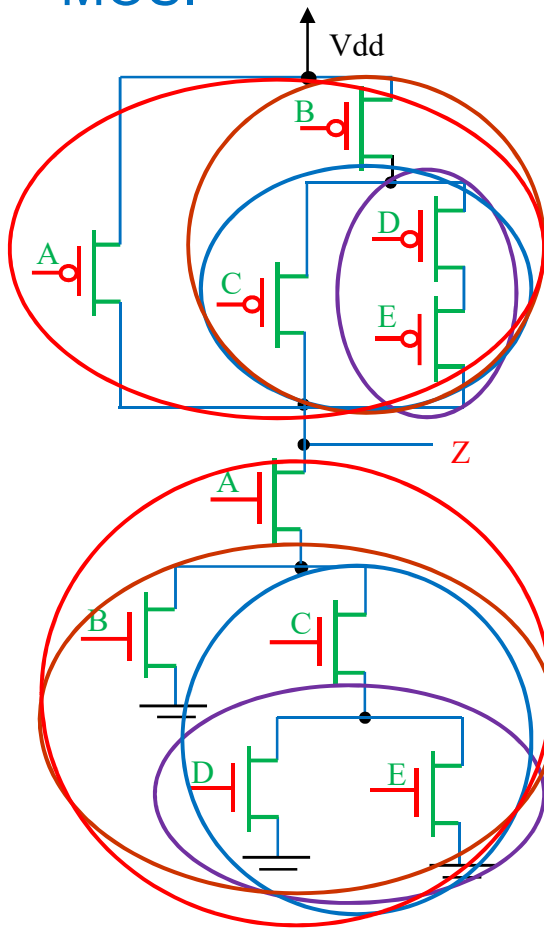


1.1.a) Encontrar la función lógica que realizan los siguientes circuitos MOS.



Parte PMOS:

D, E en serie $\Rightarrow W_p = D + E$

C, W_p en paralelo $\Rightarrow X_p = C \bullet W_p = C (D + E)$

B, X_p en serie $\Rightarrow Y_p = B + X_p = B + C (D + E)$

A, Y_p en paralelo $\Rightarrow Z_p = A \bullet Y_p = A [B + C (D + E)]$

Parte NMOS:

D, E en paralelo $\Rightarrow W_n = D + E$

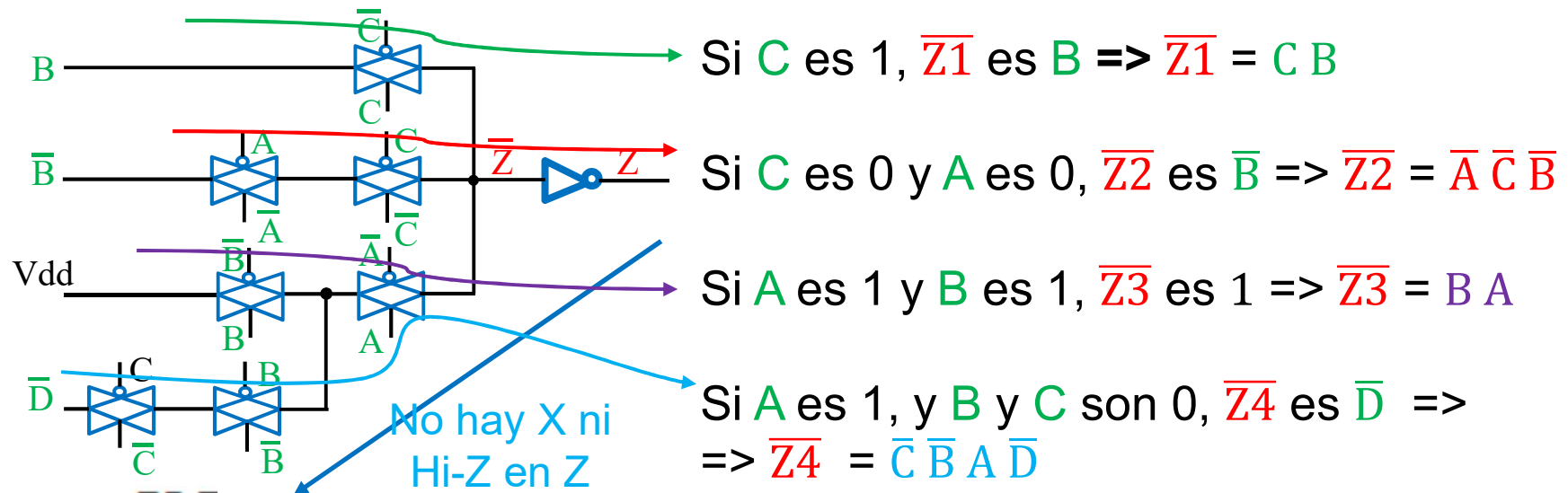
C, W_n en serie $\Rightarrow X_n = C \bullet W_n = C (D + E)$

B, X_n en paralelo $\Rightarrow Y_n = B + X_n = B + C (D + E)$

A, Y_n en serie $\Rightarrow Z_n = A \bullet Y_n = A [B + C (D + E)]$

$$Z = \overline{Z_n} = \overline{Z_p} = \overline{A [B + C (D + E)]}$$

1.1.b) Encontrar la función lógica que realizan los siguientes circuitos MOS



CD \ AB	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	1	1	1	1
10	1	0	0	0

Annotations: \overline{Z} (red box), \overline{Z} (green box), \overline{Z} (purple box), \overline{Z} (blue box)

$$\overline{Z} = BC + \overline{A} \overline{B} \overline{C} + AB + A \overline{B} \overline{C} \overline{D}$$

$$Z = \overline{BC + \overline{A} \overline{B} \overline{C} + AB + A \overline{B} \overline{C} \overline{D}}$$

CD \ AB	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	1	1	1	1
10	1	0	0	0

Annotations: \overline{Z} (red box), \overline{Z} (green box), \overline{Z} (purple box), \overline{Z} (blue box)

$$\overline{Z} = BC + \overline{A} \overline{B} \overline{C} + AB + A \overline{C} \overline{D}$$

$$Z = \overline{BC + \overline{A} \overline{B} \overline{C} + AB + A \overline{C} \overline{D}}$$

CD \ AB	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	0	0	0	0
10	0	1	1	1

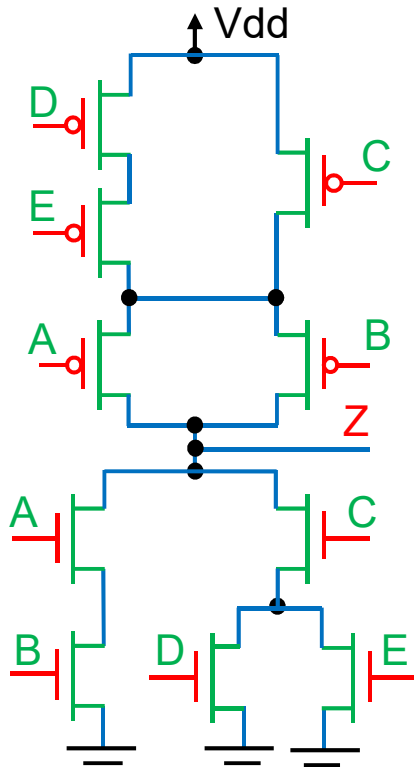
Annotations: Z (green box), Z (purple box), Z (blue box), Z (green box)

$$Z = \overline{B} C + \overline{A} B \overline{C} + A \overline{B} D$$

1.2. Diseñar las siguientes funciones lógicas usando circuitos CMOS

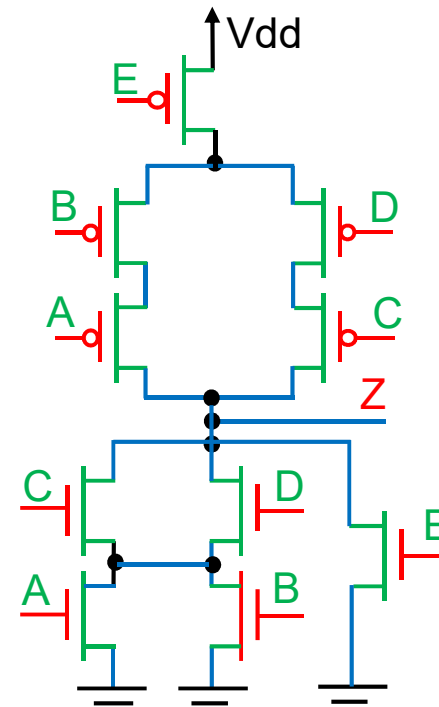
a) $F(A,B,C,D,E) = \overline{AB + C(D + E)}$

b) $F(A,B,C,D,E) = \overline{(A + B)(C + D)} + E$



PMOS
AND: paralelo
OR: serie

NMOS
AND: serie
OR: paralelo



2.1. Dados los parámetros estáticos típicos de las puertas TTL y de las puertas 4000 CMOS y suponiendo $V_{cc} = 5V$. ¿Está garantizado el correcto funcionamiento del circuito si se conectan las salidas de puertas de una tecnología a las entradas de puertas de la otra?.

Por voltaje:

Familia	Voh	Vih	Vol	Vil	A => B	Voh > Vih	Vol < Vil
TTL	2.4 V	2 V	0.5 V	0.8 V	TTL => MOS	NO	SI
CMOS	4.95 V	3.5 V	0.05 V	1.5 V	MOS => TTL	SI	SI

Una salida TTL no debería conectarse a una entrada CMOS.

Por intensidad (valores típicos en valor absoluto):

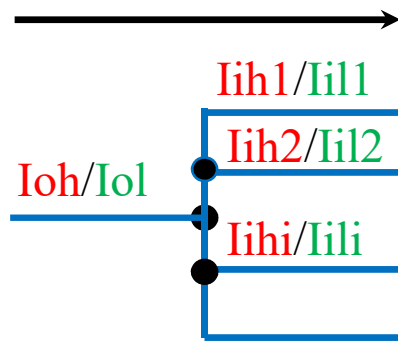
Familia	Ioh	Iih	Iol	Iil	A => B	Ioh > Iih	Iol > Iil
TTL	0.4 mA*	60 uA	1.6 mA	1.6 mA*	TTL => MOS	SI	SI
CMOS	0.5 mA	1 uA	0.5 mA	1 uA	MOS => TTL	SI	NO

Una salida CMOS no debería conectarse a una entrada TTL.

* Valores para la familia TTL estándar. Algunas familias TTL (S, LS, ALS, ...) tienen valores más bajos que sí permiten la conexión.

2.2. La salida de una puerta de tipo LS TTL está conectada a tres entradas de puertas de tipo LS TTL. ¿A cuántas puertas de tipo S TTL se puede conectar?

En un nudo:



$$|I_{ol}| > \sum_i |I_{il}|$$

$$|I_{oh}| > \sum_i |I_{ih}|$$

U.L.	$I_o(LS)$	$I_i(LS)$	$I_i(S)$
L	5	0.25	1.25
H	10	0.5	1.25

$$1 \text{ U.L.} = 40 \mu\text{A(H)} / 1.6 \text{ mA(L)}$$

1 LS

3 LS

$$L. I_{disp}(L) = 5 \text{ U.L.} - 3 * 0.25 \text{ U.L.} = 4.25 \text{ U.L.}$$

$$H. I_{disp}(H) = 10 \text{ U.L.} - 3 * 0.5 \text{ U.L.} = 8.5 \text{ U.L.}$$

$$NL. I_{disp}(L) / I_{il}(S) = 4.25 \text{ U.L.} / 1.25 \text{ U.L.} = 3.6 \Rightarrow NL = 3$$

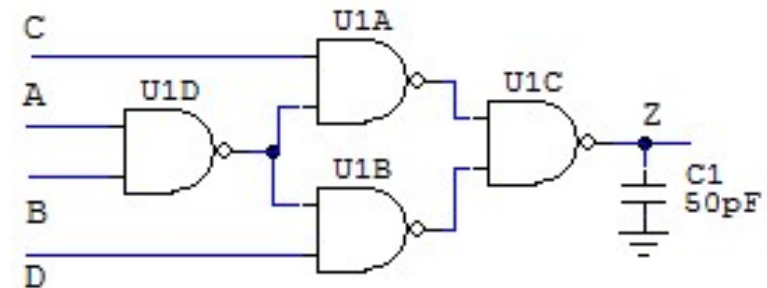
$$NH. I_{disp}(H) / I_{ih}(S) = 8.5 \text{ U.L.} / 1.25 \text{ U.L.} = 6.8 \Rightarrow NH = 6$$

$$N = \min(NL, NH) = \min(3, 6) = 3$$

2.3. El tiempo de propagación de una puerta HCMOS está dada por una expresión $t_p(C_r) = t_p(C_l) + K (C_r - C_l)$, donde C_l y C_r son la capacidad de la carga de referencia y la carga real, respectivamente. $K = 0.5 V_{cc}/I_{OS}$, donde V_{cc} es la tensión de alimentación e I_{OS} la intensidad de salida en cortocircuito para esa V_{cc} . Obtener el tiempo de propagación máximo del siguiente circuito para $V_{cc} = 5V$, $I_{OS} = 20 \text{ mA}$, $t_{phl}(15\text{pF}) = t_{plh}(15\text{pF}) = 15\text{ns}$, y la capacidad de una entrada $C_{in} = 10 \text{ pF}$.

$$T_{pLH} = T_{pHL} = T_p$$

Caminos críticos: D-A-C o D-B-C equivalentes. Uso D-A-C



$$T_p = T_p(D) + T_p(A) + T_p(C)$$

$$T_{p(i)} = T_{p(i)}(15 \text{ pf}) + K * (C_r(i) - 15 \text{ pf})$$

$$C_r = N * 10 \text{ pF}$$

$$N(D) = 2; C_r(D) = 20 \text{ pF}$$

$$T_p(D) = 15\text{ns} + K * 5 \text{ pf}$$

$$N(A) = 1; C_r(A) = 10 \text{ pF}$$

$$T_p(A) = 15\text{ns} - K * 5 \text{ pf}$$

$$C_r(C) = 50 \text{ pF}$$

$$T_p(C) = 15\text{ns} + K * 35 \text{ pf}$$

$$K = 0.5 V_{cc}/I_{OS} = 0.5 * 5 \text{ V} / 20 \text{ mA} = 125 \text{ ohms}$$

$$T_p = T_p(D) + T_p(A) + T_p(C) = 3 * 15 \text{ ns} + K * 35 \text{ pf} = 49.375 \text{ ns}$$

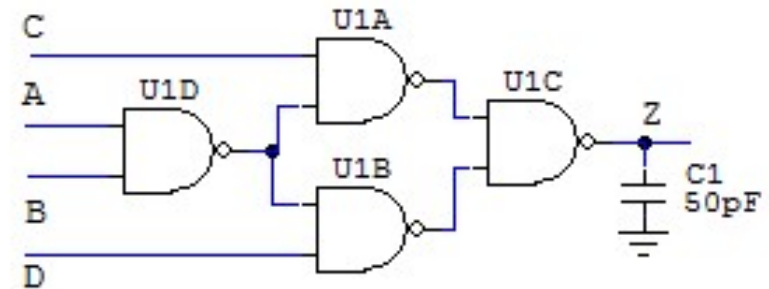
Obtener la potencia disipada por el circuito, suponiendo que todas las puertas son del mismo circuito “Quad 2-input NAND 74HC00”.

Suponer que la frecuencia F de operación de A y B es de 1 Mhz, $I_{cc(max)} = 2\mu A$ (intensidad estática en la fuente) y la capacidad interna de cada puerta es $C_{pd} = 20\text{pF}$ y la capacidad de una entrada $C_{in} = 10\text{pF}$.

$$P = P_{estática} + P_{dinámica}$$

$$P_{est} = I_{cc(max)} * V_{cc} = 2\ \mu A * 5\ V = 10\ \mu W$$

(una alimentación para las 4 puertas)



$$P_{din} = V_{cc}^2 * F * \sum_i C(i) \quad F = 1\ \text{Mhz} \quad C_{pd} = 20\ \text{pF} \quad C(i) = C_{pd} + C_r(i)$$

$C_r(D) = 20\ \text{pF}$	$C(D) = 40\ \text{pF}$
$C_r(A,B) = 10\ \text{pF}$	$C(A) = C(B) = 30\ \text{pF}$
$C_r(C) = 50\ \text{pF}$	$C(C) = 70\ \text{pF}$

$$P_{din} = V_{cc}^2 * F * \sum_i C(i) = (5\ \text{V})^2 * 1\ \text{MHz} * 170\ \text{pF} = 4.25\ \text{mW}$$

$$P = 10\ \mu W + 4.25\ \text{mW} = 4.26\ \text{mW}$$

3.1. Dada la siguiente tabla de valores de tensión para entradas A, B y C, y salida F (H valor de tensión más alto, L valor de tensión más bajo), indicar en notación decimal como suma de minterms o como producto de maxterms la función lógica correspondiente cuando:

A	B	C	F
L	L	L	H
L	L	H	L
L	H	L	H
L	H	H	H
H	L	L	L
H	L	H	L
H	H	L	L
H	H	H	H

a) A.H, B.H, C.H y F.H.

.H => H -> 1, L -> 0

b) A.L, B.L, C.L y F.L.

.L => H -> 0, L -> 1

c) A.L, B.H, C.L, y F.H.

A	B	C	F
L	L	L	H
L	L	H	L
L	H	L	H
L	H	H	H
H	L	L	L
H	L	H	L
H	H	L	L
H	H	H	H

F(A, B, C) =

a)

	4	2	1	
	.H	.H	.H	.H
	A	B	C	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

$\Sigma(0, 2, 3, 7)$
 $\Pi(1, 4, 5, 6)$

b)

	4	2	1	
	.L	.L	.L	.L
	A	B	C	F
7	1	1	1	0
6	1	1	0	1
5	1	0	1	0
4	1	0	0	0
3	0	1	1	1
2	0	1	0	1
1	0	0	1	1
0	0	0	0	0

$\Sigma(1, 2, 3, 6)$
 $\Pi(0, 4, 5, 7)$

c)

	4	2	1	
	.L	.H	.L	.H
	A	B	C	F
5	1	0	1	1
4	1	0	0	0
7	1	1	1	1
6	1	1	0	1
1	0	0	1	0
0	0	0	0	0
3	0	1	1	0
2	0	1	0	1

$\Sigma(2, 5, 6, 7)$
 $\Pi(0, 1, 3, 4)$

3.2. Dada la función lógica descrita en notación decimal:

$$F(A,B,C) = \sum(0,2,4,5,7)$$

representar la tabla de valores de tensión (valores H y L) para:

a) A.H, B.H, C.H y F.H.

b) A.L, B.L, C.L y F.L.

c) A.L, B.H, C.L, y F.H.

.H => 1 -> H, 0 -> L

.L => 1 -> L, 0 -> H

	4	2	1	
	A	B	C	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

.H	.H	.H	.H
A	B	C	F
L	L	L	H
L	L	H	L
L	H	L	H
L	H	H	L
H	L	L	H
H	L	H	H
H	H	L	L
H	H	H	H

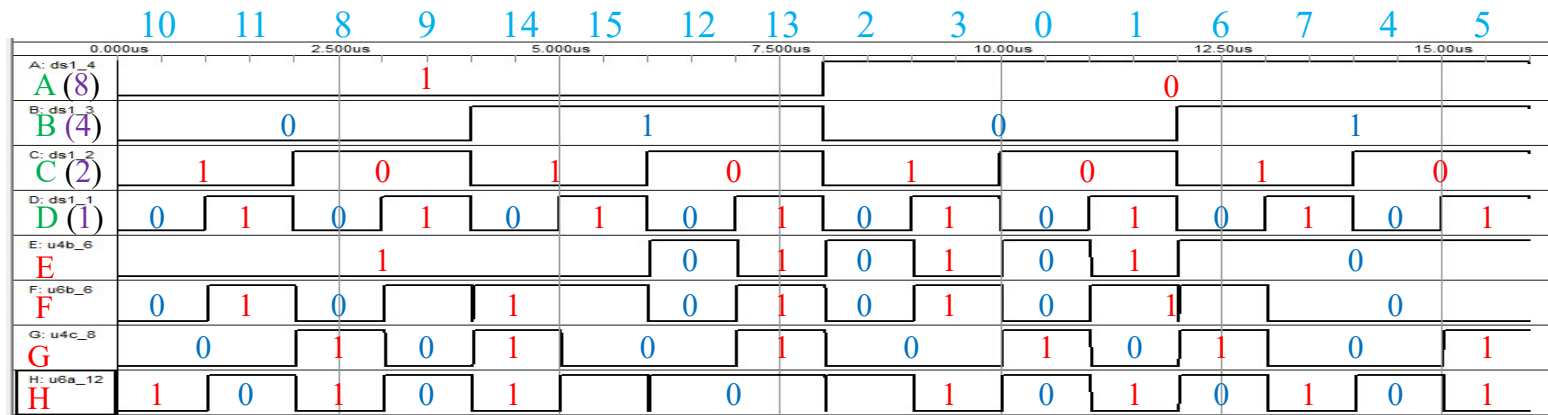
.L	.L	.L	.L
A	B	C	F
H	H	H	L
H	H	L	H
H	L	H	L
H	L	L	H
L	H	H	L
L	H	L	L
L	L	H	H
L	L	L	L

.L	.H	.L	.H
A	B	C	F
H	L	H	H
H	L	L	L
H	H	H	H
H	H	L	L
L	L	H	H
L	L	L	H
L	H	H	L
L	H	L	H

4.1. Indicar la tabla de verdad (en notación decimal) y las formas SOP mínimas de un circuito digital partir de la siguiente simulación analógica para las entradas A.L, B.H, C.L y D.H y las salidas E.L, F.H, G.H y H.L (de arriba hacia abajo en la figura A, B, C, D, E, F, G y H).

.H => H -> 1, L -> 0

.L => H -> 0, L -> 1



$$E.L = E(A, B, C, D) = \sum (1, 3, 8, 9, 10, 11, 13, 14, 15)$$

$$F.H = F(A, B, C, D) = \sum (1, 3, 6, 9, 11, 13, 14, 15)$$

$$G.H = G(A, B, C, D) = \sum (0, 5, 6, 8, 13, 14)$$

$$H.L = H(A, B, C, D) = \sum (1, 3, 5, 7, 8, 10, 14)$$

$$E.L = E(A, B, C, D) = \sum (1, 3, 8, 9, 10, 11, 13, 14, 15)$$

$$F.H = F(A, B, C, D) = \sum (1, 3, 6, 9, 11, 13, 14, 15)$$

$$G.H = G(A, B, C, D) = \sum (0, 5, 6, 8, 13, 14)$$

$$H.L = H(A, B, C, D) = \sum (1, 3, 5, 7, 8, 10, 14)$$

		CD			
		00	01	11	10
AB	00	0	1	1	0
	01	0	0	0	0
	11	0	1	1	1
	10	1	1	1	1

E

		CD			
		00	01	11	10
AB	00	0	1	1	0
	01	0	0	0	1
	11	0	1	1	1
	10	0	1	1	0

F

$$E(A, B, C, D) = A\bar{B} + AC + AD + \bar{B}D$$

$$F(A, B, C, D) = AD + \bar{B}D + BC\bar{D} + ABC$$

		CD			
		00	01	11	10
AB	00	1	0	0	0
	01	0	1	0	1
	11	0	1	0	1
	10	1	0	0	0

G

		CD			
		00	01	11	10
AB	00	0	1	1	0
	01	0	1	1	0
	11	0	0	0	1
	10	1	0	0	1

H

$$G(A, B, C, D) = \bar{B}\bar{C}\bar{D} + B\bar{C}D + BC\bar{D}$$

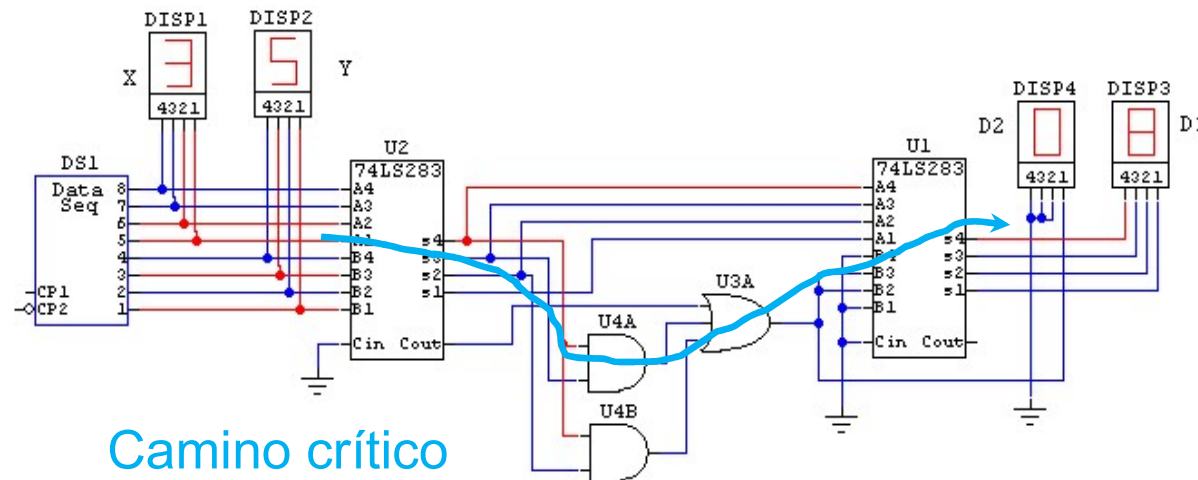
$$H(A, B, C, D) = \bar{A}D + A\bar{B}\bar{D} + AC\bar{D}$$

4.2. Indicar el tiempo de propagación del circuito de la figura usando los tiempos de propagación máximo de sus componentes.

AC CHARACTERISTICS (TA = 25°C)

Symbol	Parameter	Limits			Unit
		Min	Typ	Max	
tPLH tPHL	Propagation Delay, C0 Input to any Σ Output		16	24	ns
tPLH tPHL	Propagation Delay, Any A or B Input to Σ Outputs		15	24	ns
tPLH tPHL	Propagation Delay, C0 Input to C4 Output		11	17	ns
tPLH tPHL	Propagation Delay, Any A or B Input to C4 Output		11	17	ns

	tplh	tphl
OR	22 ns	22 ns
AND	15 ns	20 ns



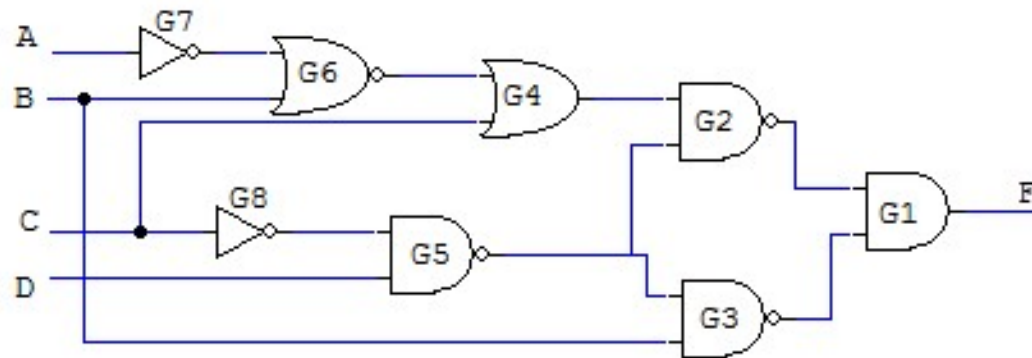
Camino crítico

$$T_p = T_{p_{83}}(A-S) + T_{p_{AND}} + T_{p_{OR}} + T_{p_{83}}(B-S)$$

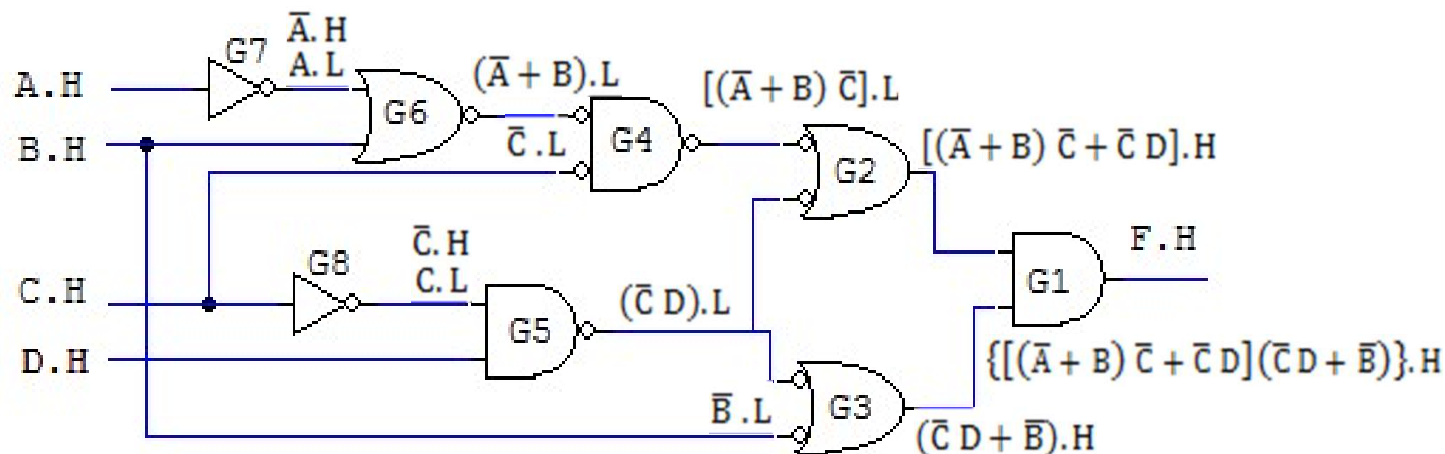
$$T_p = 24 \text{ ns} + 20 \text{ ns} + 22 \text{ ns} + 24 \text{ ns} = 90 \text{ ns}$$

5.1. Encontrar las expresiones lógicas factorizadas correspondiente a los siguientes circuitos digitales. Encontrar el tiempo máximo de propagación del circuito teniendo en cuenta los tiempos de propagación de las puertas lógicas, indicando los valores que hay que fijar en las entradas del circuito.

a)

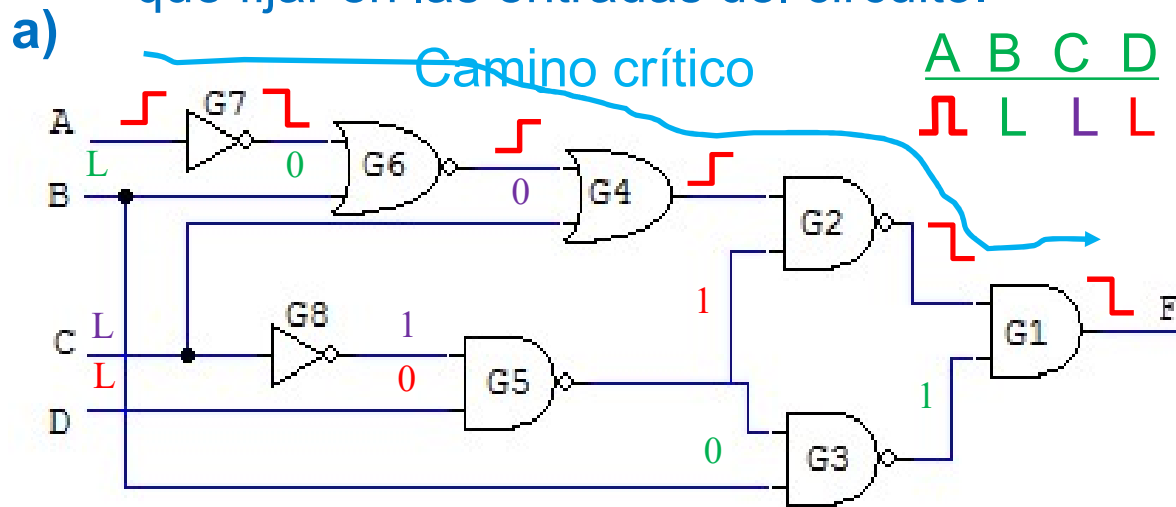


Como la salida es .H mantengo G1, y cambio la descripción de las puertas hacia las entradas



$$F.H = \{[(\bar{A} + B) \bar{C} + \bar{C} D](\bar{C} D + \bar{B})\}.H$$

5.1. Encontrar las expresiones lógicas factorizadas correspondiente a los siguientes circuitos digitales. Encontrar el tiempo máximo de propagación del circuito teniendo en cuenta los tiempos de propagación de las puertas lógicas, indicando los valores que hay que fijar en las entradas del circuito.



$$T_{p_{HL}}(A-F) = T_{p_{HL}}(G7) + T_{p_{LH}}(G6) + T_{p_{LH}}(G4) + T_{p_{HL}}(G2) + T_{p_{HL}}(G1) =$$

$$= 7 \text{ ns} + 10 \text{ ns} + 14 \text{ ns} + 10 \text{ ns} + 12 \text{ ns} = 53 \text{ ns}$$

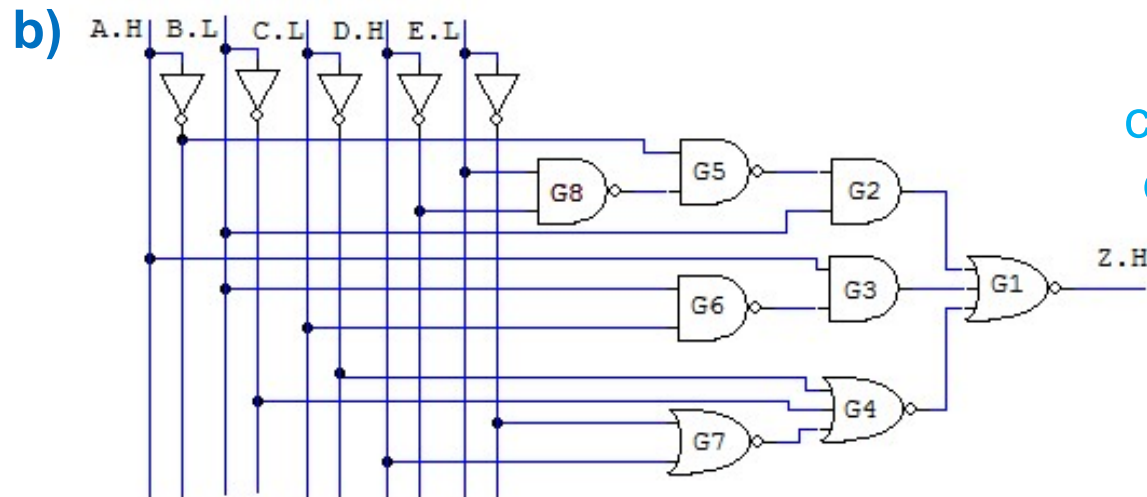
Cambio LH por HL y HL por LH

$$T_{p_{LH}}(A-F) = T_{p_{LH}}(G7) + T_{p_{HL}}(G6) + T_{p_{HL}}(G4) + T_{p_{LH}}(G2) + T_{p_{LH}}(G1) =$$

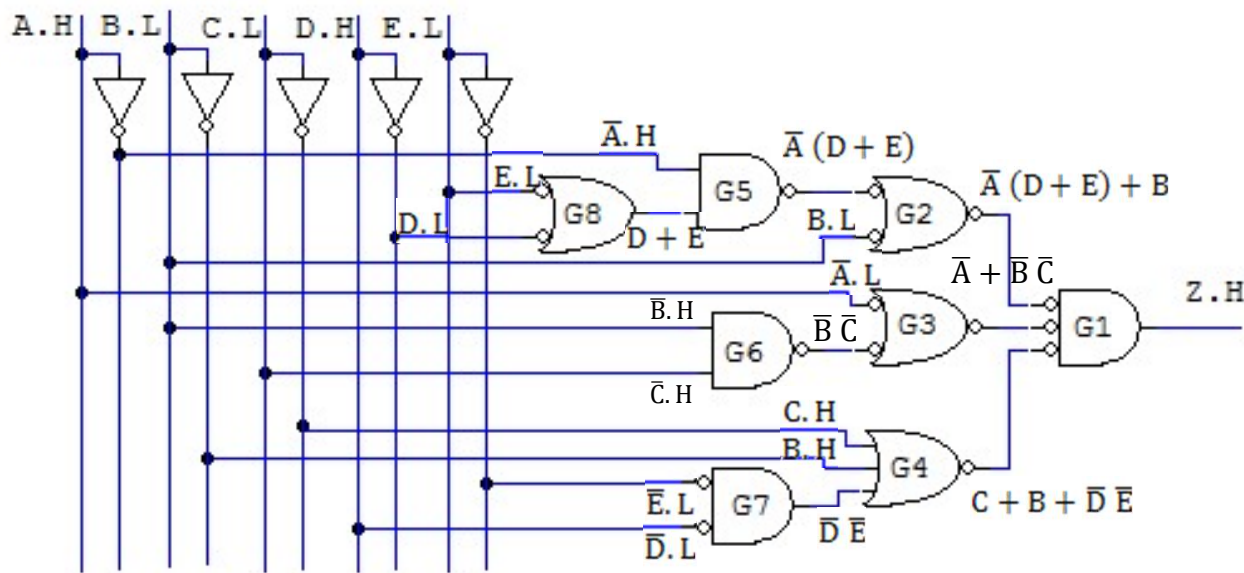
$$= 8 \text{ ns} + 10 \text{ ns} + 14 \text{ ns} + 9 \text{ ns} + 8 \text{ ns} = 49 \text{ ns}$$

$$T_{p_{max}} = 53 \text{ ns}$$

5.1. Encontrar las expresiones lógicas factorizadas correspondiente a los siguientes circuitos digitales.



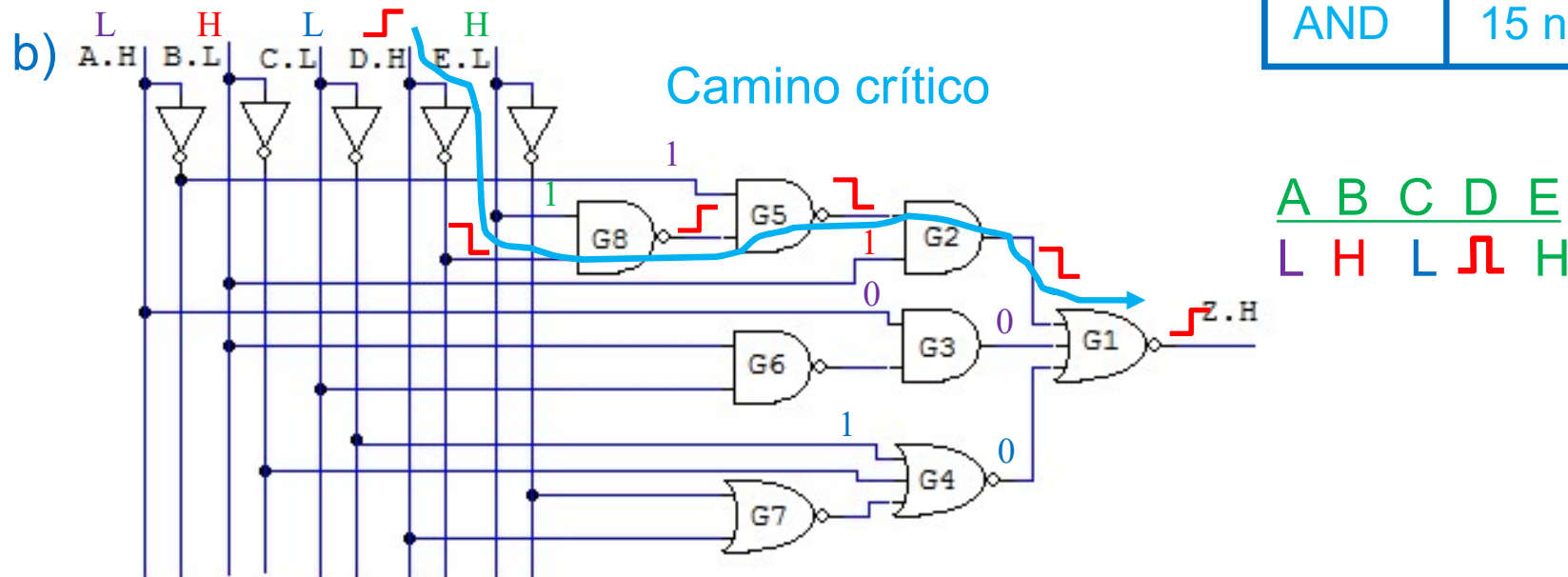
Como la salida es .H cambio las descripción de G1, y de G1 hacia las entradas



$$Z.H = [\bar{A} (D + E) + B] (\bar{A} + \bar{B} \bar{C}) (C + B + \bar{D} \bar{E})$$

5.1. Encontrar el tiempo máximo de propagación del circuito teniendo en cuenta los tiempos de propagación de las puertas lógicas, indicando los valores que hay que fijar en las entradas del circuito.

	t_{pLH} :	t_{pHL} :
NOT	10 ns	9 ns
NAND	14 ns	14 ns
NOR2	12 ns	10 ns
NOR3	15 ns	17 ns
AND	15 ns	20 ns



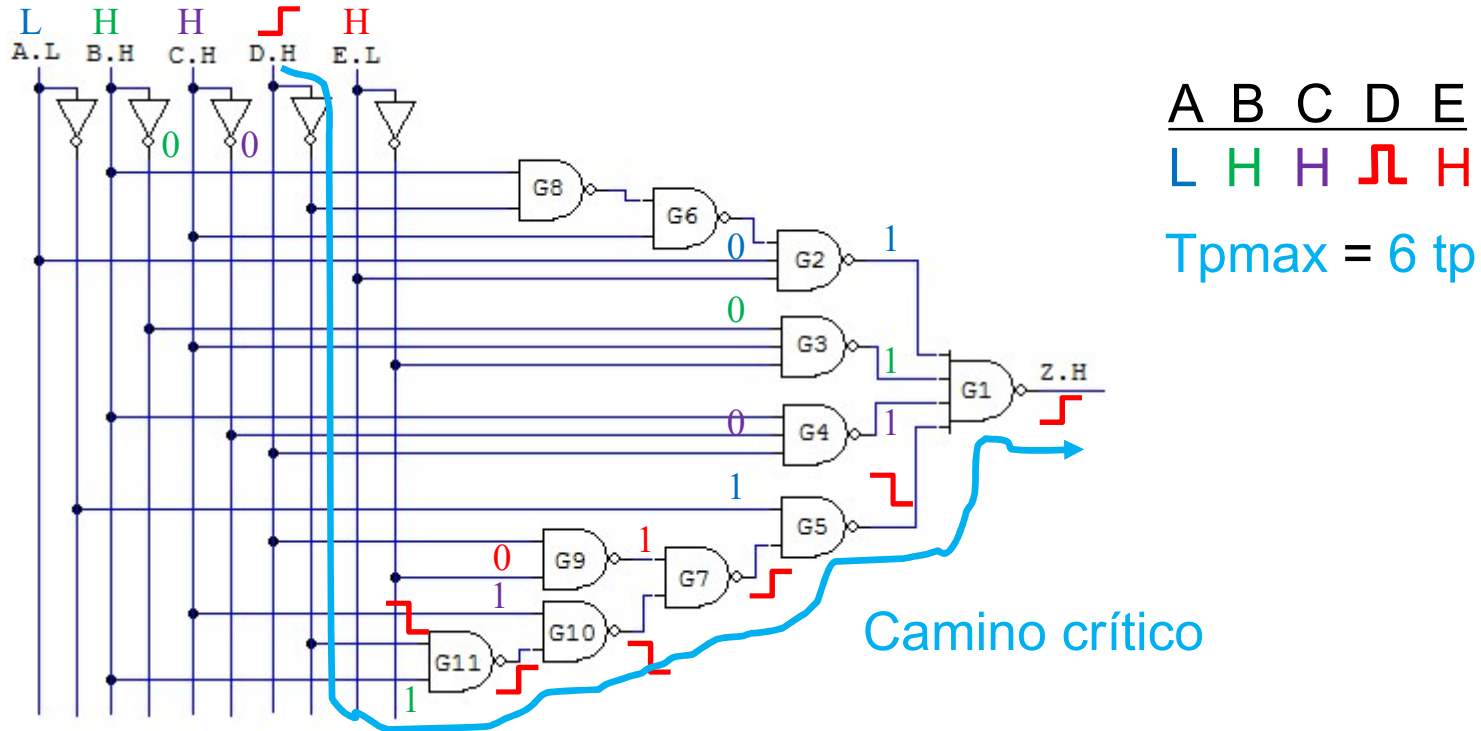
$$\begin{aligned}
 T_{pLH}(D-Z) &= T_{pHL}(\text{NOT}) + T_{pLH}(G8) + T_{pHL}(G5) + T_{pHL}(G2) + T_{pLH}(G1) = \\
 &= 9 \text{ ns} + 14 \text{ ns} + 14 \text{ ns} + 20 \text{ ns} + 15 \text{ ns} = 72 \text{ ns}
 \end{aligned}$$

Cambio LH por HL y HL por LH

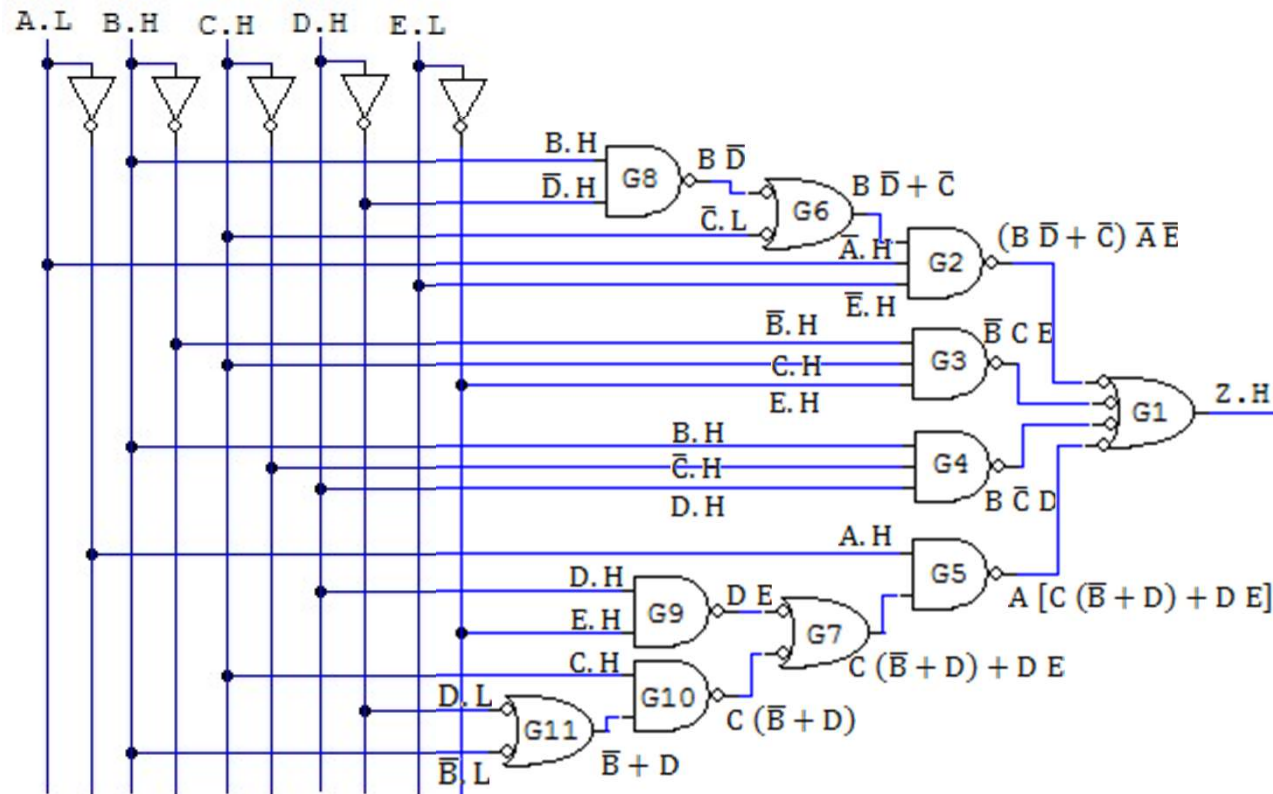
$$\begin{aligned}
 T_{pLH}(D-Z) &= T_{pLH}(\text{NOT}) + T_{pHL}(G8) + T_{pLH}(G5) + T_{pLH}(G2) + T_{pHL}(G1) = \\
 &= 10 \text{ ns} + 14 \text{ ns} + 14 \text{ ns} + 15 \text{ ns} + 17 \text{ ns} = 70 \text{ ns}
 \end{aligned}$$

$$T_{pmax} = 72 \text{ ns}$$

6.1.a) Encontrar la expresión lógica factorizada correspondiente a los siguientes circuitos digitales. Suponiendo que todas las puertas tienen el mismo tiempo de propagación t_p , encontrar el camino crítico y los valores en las entradas que permiten su activación.

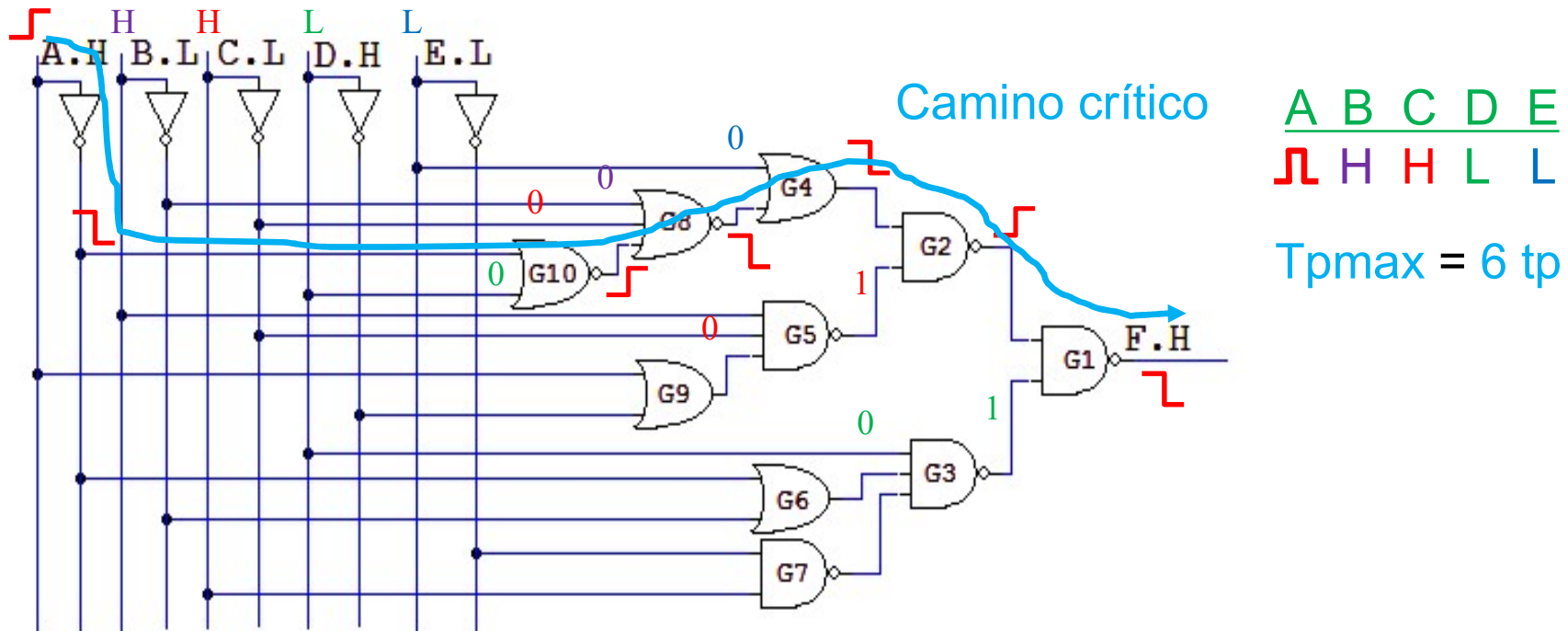


6.1.a) Encontrar la expresión lógica factorizada correspondiente a los siguientes circuitos digitales. Suponiendo que todas las puertas tienen el mismo tiempo de propagación t_p , encontrar el camino crítico y los valores en las entradas que permiten su activación.

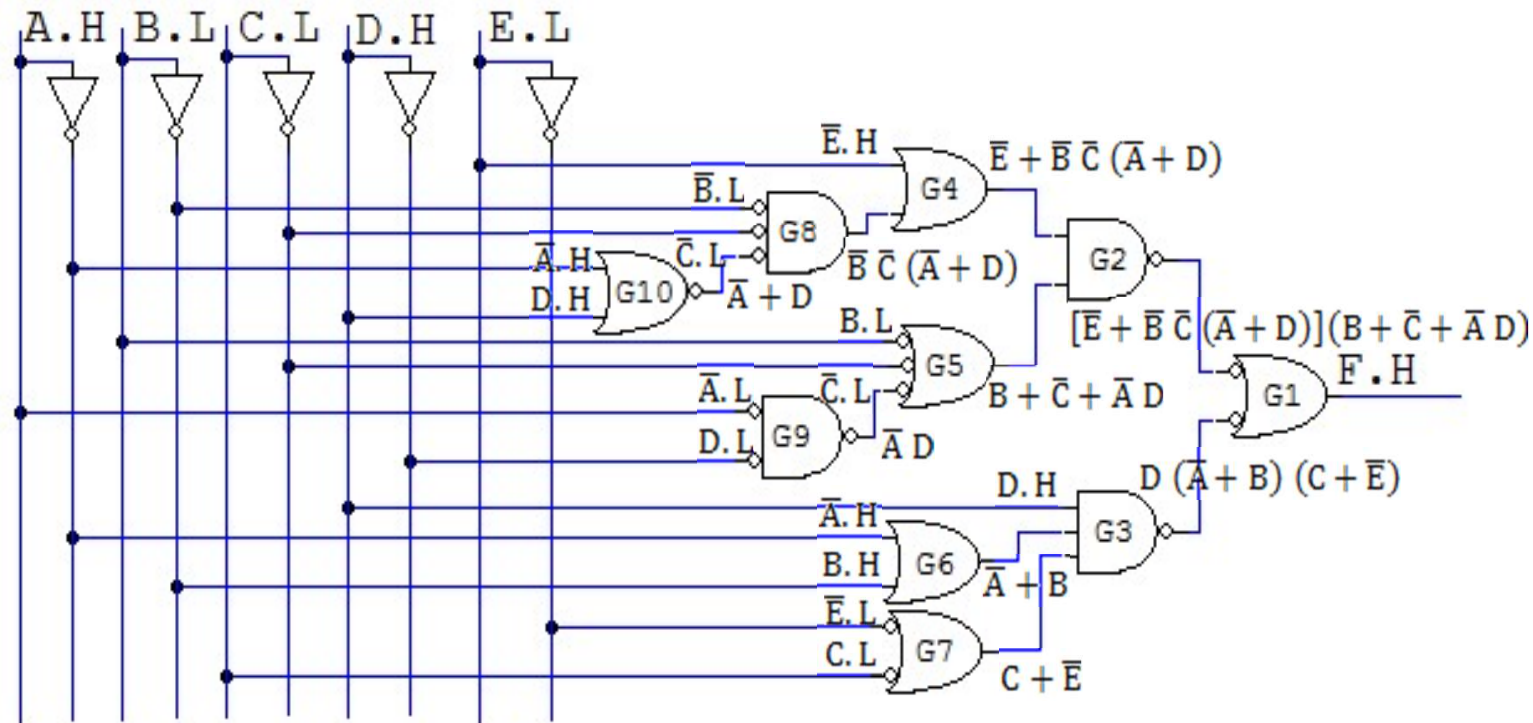


$$Z.H = (B \bar{D} + \bar{C}) \bar{A} \bar{E} + \bar{B} C E + B \bar{C} D + A [C (\bar{B} + D) + D E]$$

6.1.b) Encontrar la expresión lógica factorizada correspondiente a los siguientes circuitos digitales. Suponiendo que todas las puertas tienen el mismo tiempo de propagación t_p , encontrar el camino crítico y los valores en las entradas que permiten su activación.

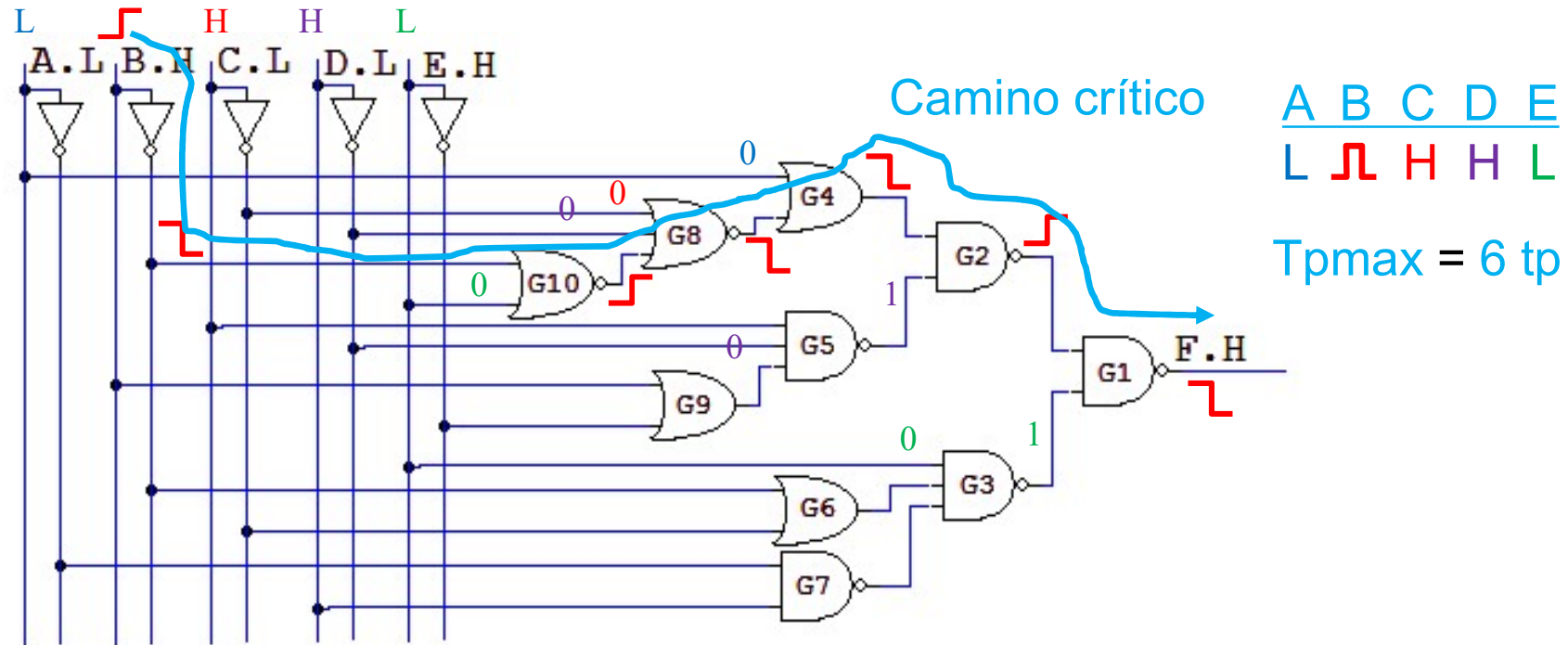


6.1.b) Encontrar la expresión lógica factorizada correspondiente a los siguientes circuitos digitales. Suponiendo que todas las puertas tienen el mismo tiempo de propagación t_p , encontrar el camino crítico y los valores en las entradas que permiten su activación.

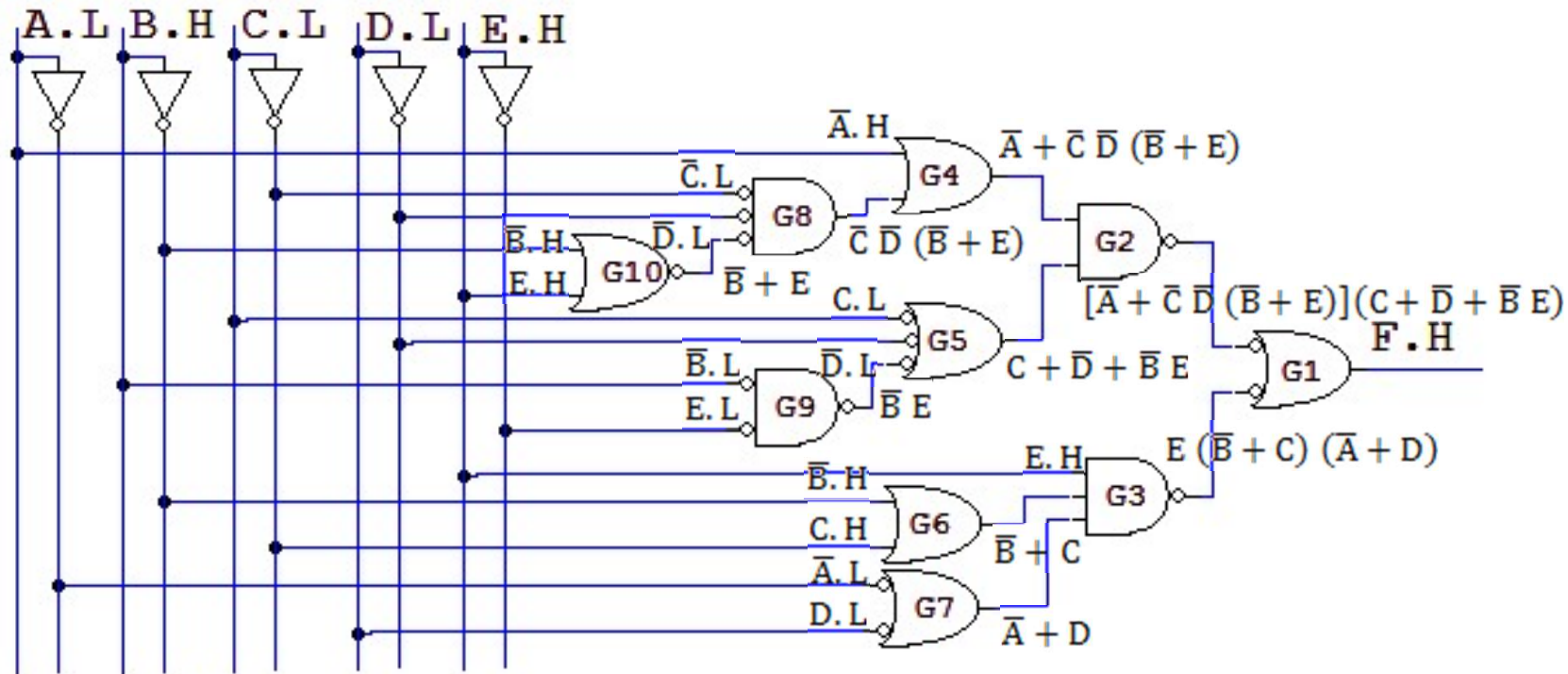


$$Z.H = [\bar{E} + \bar{B}\bar{C}(\bar{A} + D)](B + \bar{C} + \bar{A}D) + D(\bar{A} + B)(C + \bar{E})$$

6.1.c) Encontrar la expresión lógica factorizada correspondiente a los siguientes circuitos digitales. Suponiendo que todas las puertas tienen el mismo tiempo de propagación t_p , encontrar el camino crítico y los valores en las entradas que permiten su activación.



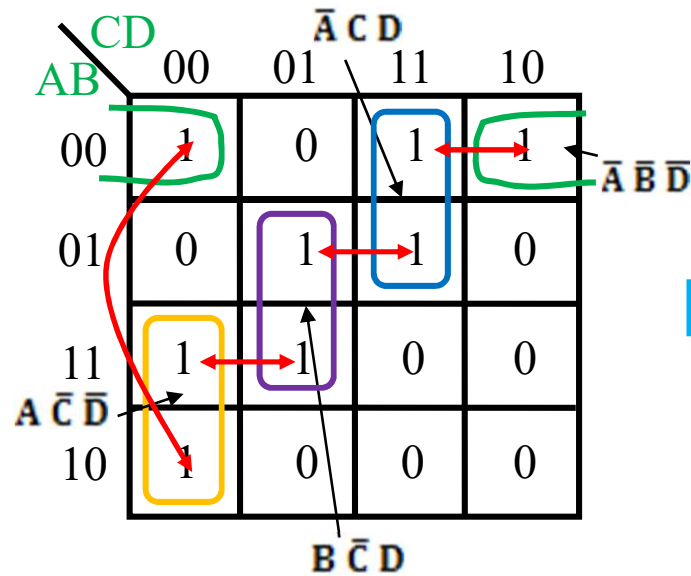
6.1.c) Encontrar la expresión lógica factorizada correspondiente a los siguientes circuitos digitales. Suponiendo que todas las puertas tienen el mismo tiempo de propagación t_p , encontrar el camino crítico y los valores en las entradas que permiten su activación.



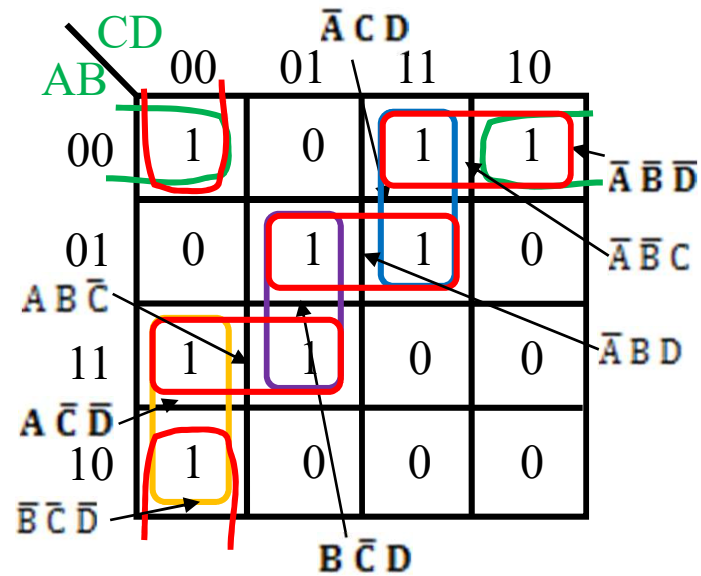
$$Z.H = [\bar{A} + \bar{C}\bar{D}(\bar{B} + E)](C + \bar{D} + \bar{B}E) + E(\bar{B} + C)(\bar{A} + D)$$

7.1. Obtener una implementación libre de peligros de las siguientes funciones lógicas:

a) $F(A, B, C, D) = \sum(0, 2, 3, 5, 7, 8, 12, 13)$



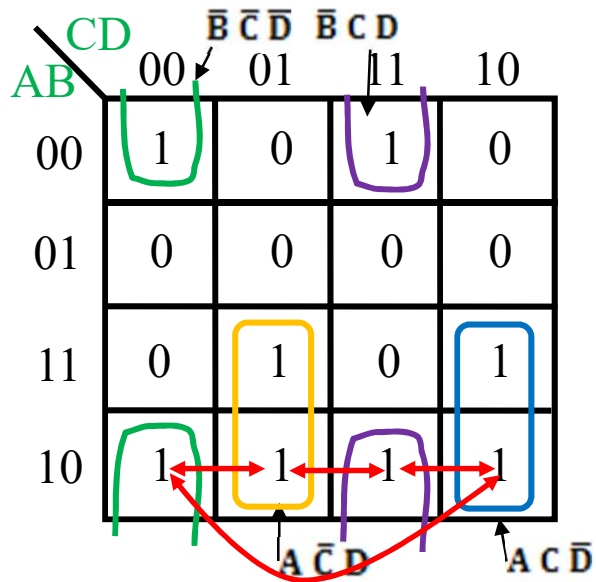
$$F = \bar{A}\bar{B}\bar{D} + A\bar{C}\bar{D} + B\bar{C}D + \bar{A}CD$$



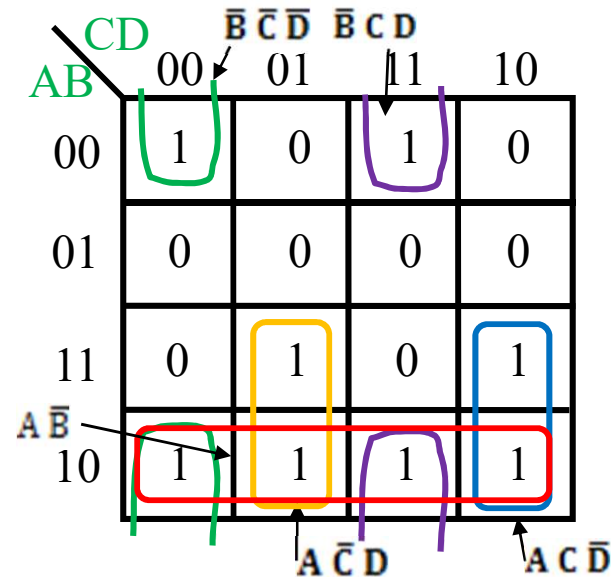
$$F = \bar{A}\bar{B}\bar{D} + A\bar{C}\bar{D} + B\bar{C}D + \bar{A}CD + \bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C + \bar{A}BD + AB\bar{C}$$

7.1. Obtener una implementación libre de peligros de las siguientes funciones lógicas:

b) $F(A, B, C, D) = \prod(1, 2, 4, 5, 6, 7, 12, 15)$



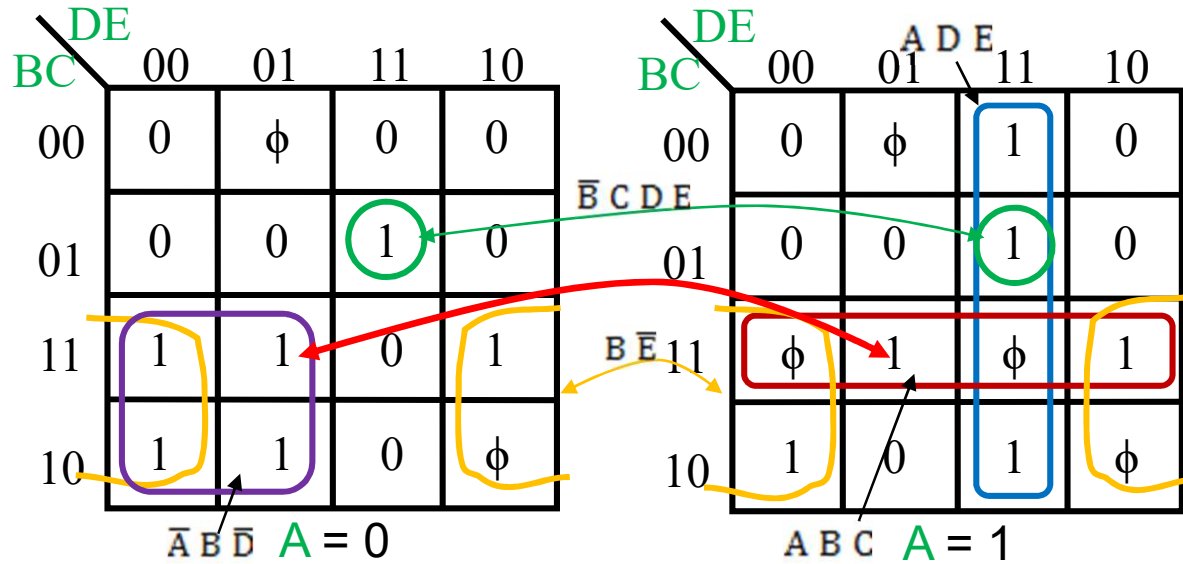
$$F = \bar{B}\bar{C}\bar{D} + \bar{A}\bar{C}D + \bar{B}CD + AC\bar{D}$$



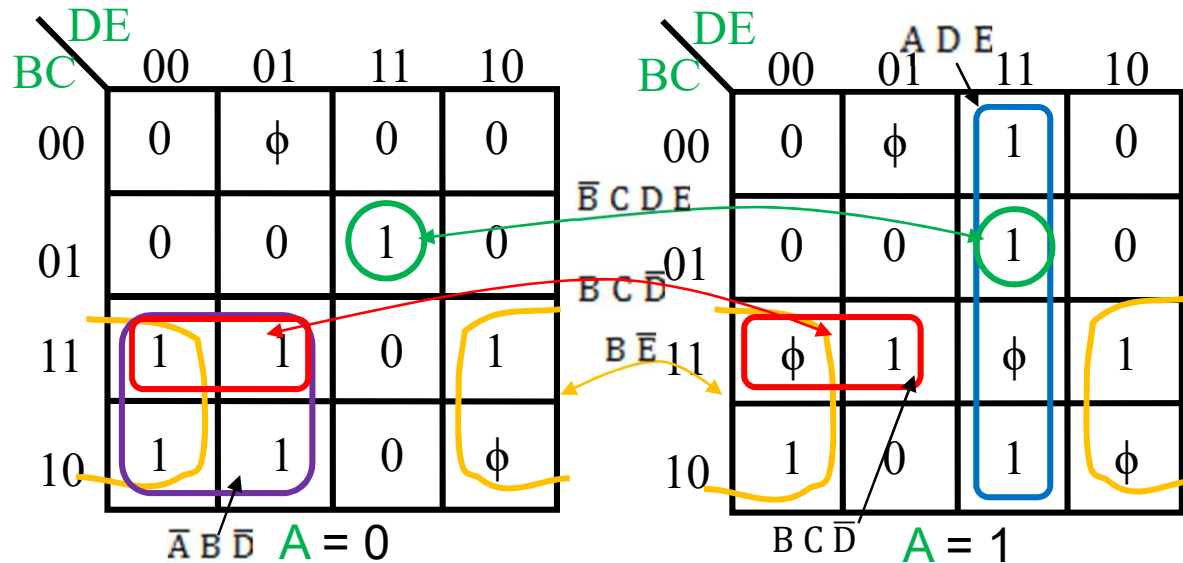
$$F = \bar{B}\bar{C}\bar{D} + \bar{A}\bar{C}D + \bar{B}CD + AC\bar{D} + A\bar{B}$$

7.1. Obtener una implementación libre de peligros de las siguientes funciones lógicas:

c) $F(A, B, C, D, E) = \sum(7,8,9,12,13,14,19,23,24,27,29,30) + \sum_{\phi}(1,10,17,26,28,31)$

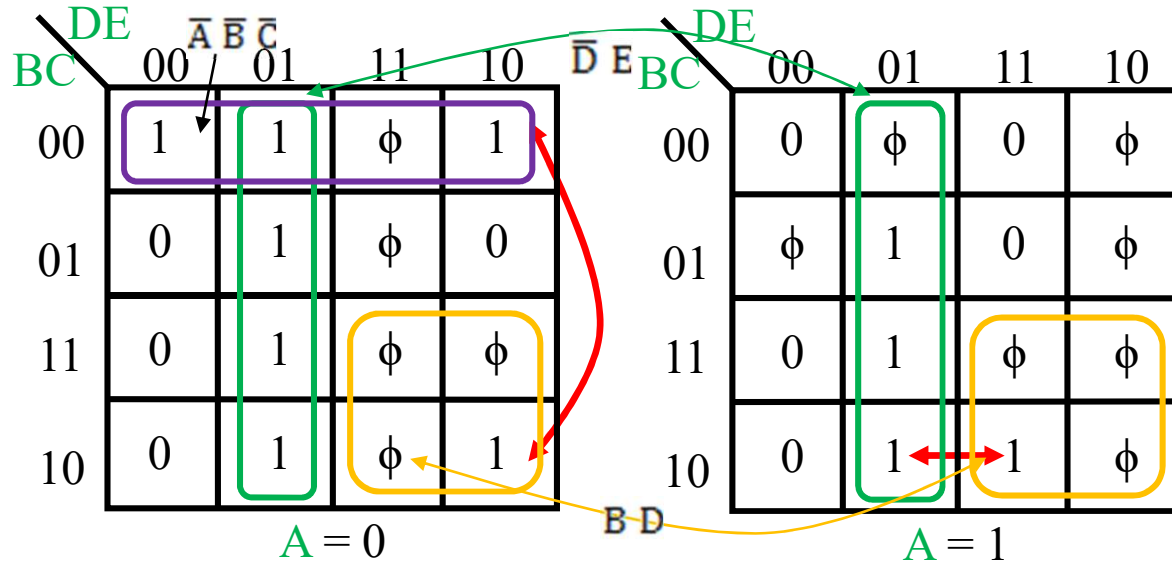


$$F = \bar{B}CDE + B\bar{E} + \bar{A}B\bar{D} + ADE + ABC$$

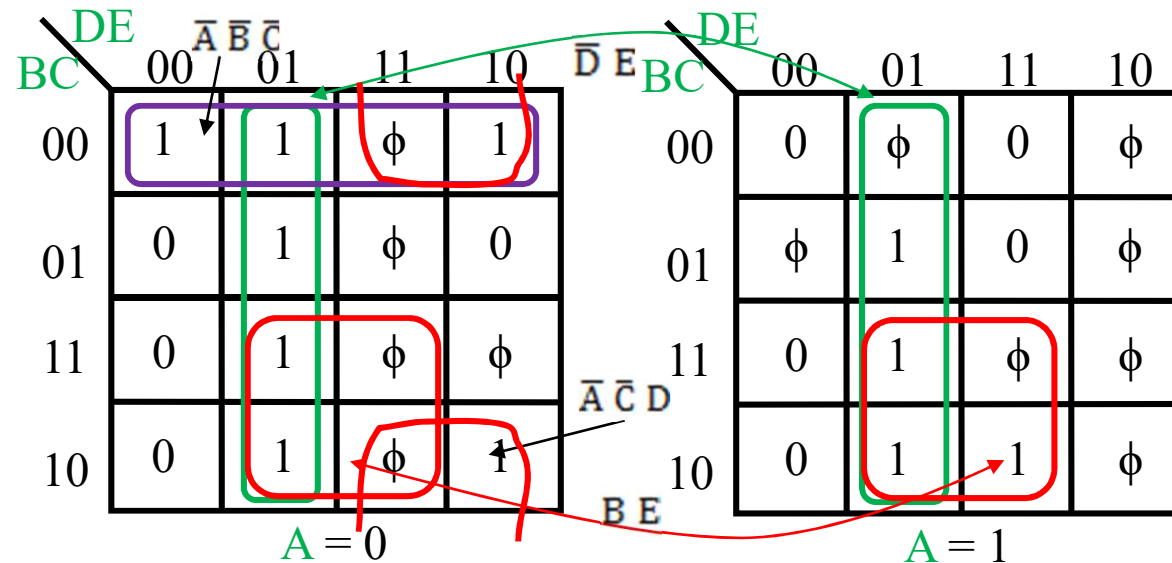


$$F = \bar{B}CDE + B\bar{E} + \bar{A}B\bar{D} + ADE + BC\bar{D}$$

7.1. Obtener una implementación libre de peligros de las siguientes funciones lógicas: **d)** $F(A,B,C,D,E) = \sum(0,1,2,5,9,10,13,21,25,27,29) + \sum_{\phi}(3,7,11,14,15,17,18,20,22,26,30,31)$



$$F = \bar{D}E + BD + \bar{A}\bar{B}\bar{C}$$

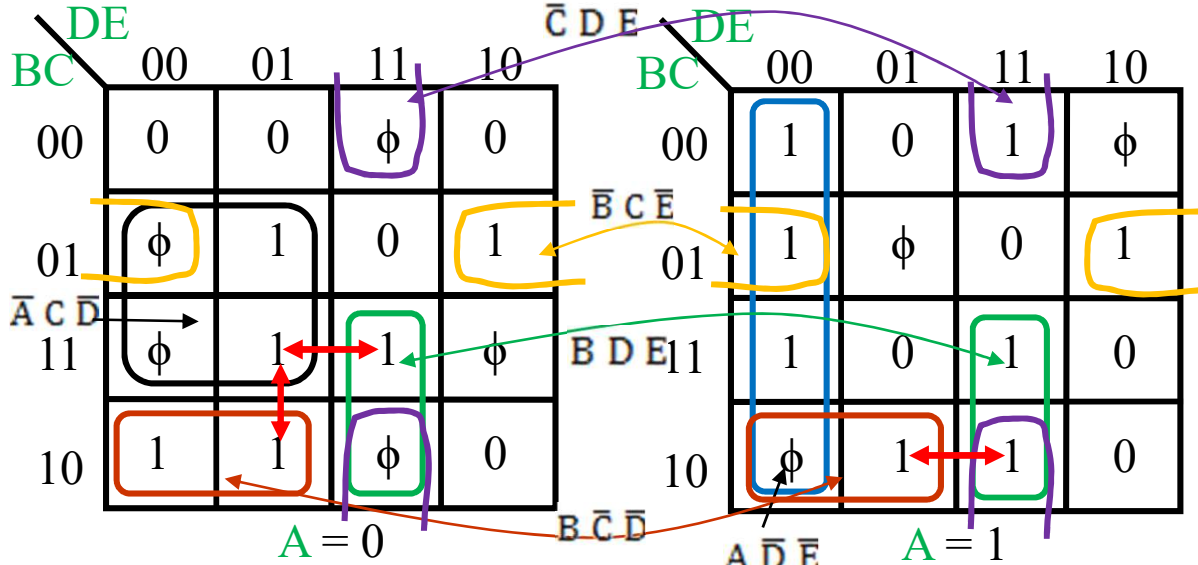


$$F = \bar{D}E + \cancel{BD} + \bar{A}\bar{B}\bar{C} + BE + \bar{A}\bar{C}D$$

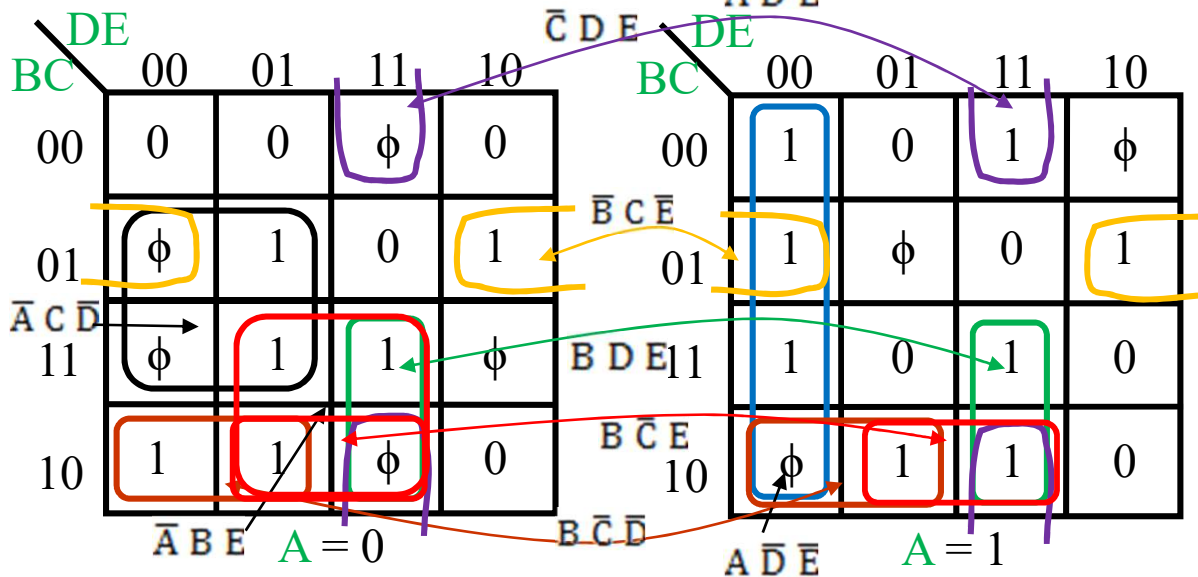
$$F = \bar{D}E + \bar{A}\bar{B}\bar{C} + BE + \bar{A}\bar{C}D$$

7.1. Obtener una implementación libre de peligros de las siguientes funciones lógicas:

e) $F(A,B,C,D,E) = \sum(5,6,8,9,13,15,16,19,20,22,25,27,28,31) + \sum_{\phi}(3,4,11,12,14,18,21,24)$

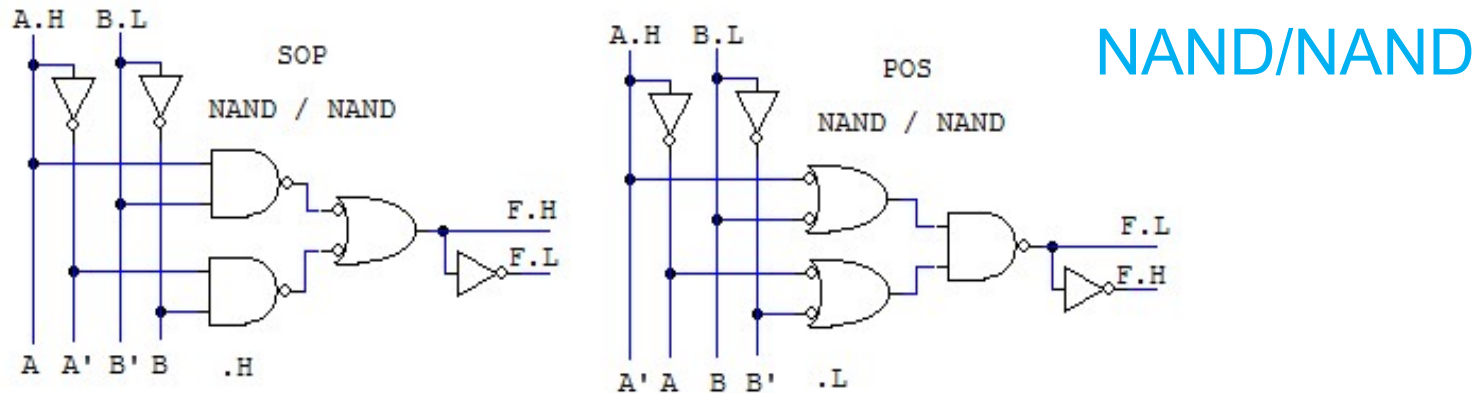


$$F = BDE + \bar{B}\bar{C}\bar{E} + \bar{C}DE + A\bar{D}\bar{E} + B\bar{C}\bar{D} + \bar{A}C\bar{D}$$

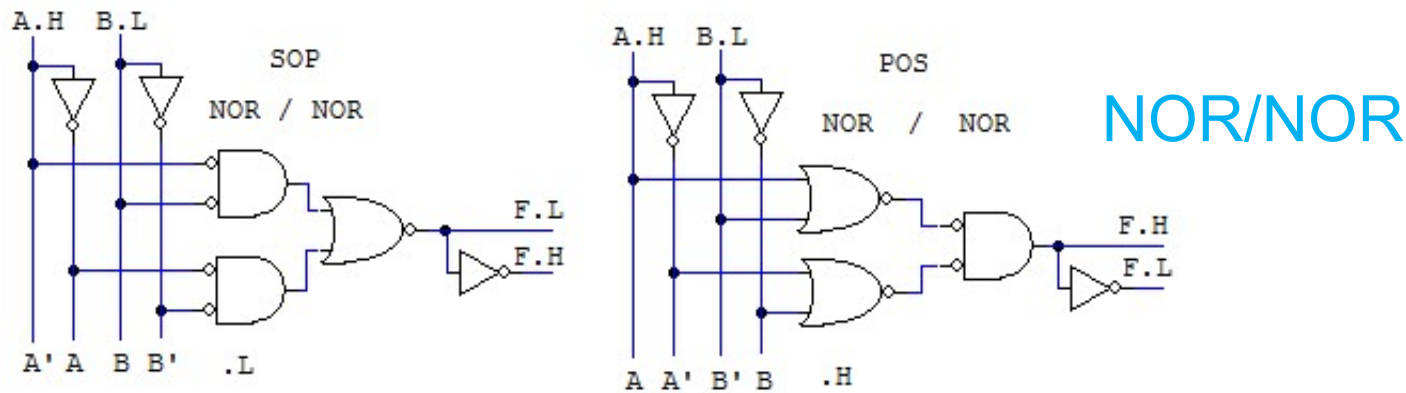


$$F = BDE + \bar{B}\bar{C}\bar{E} + \bar{C}DE + A\bar{D}\bar{E} + B\bar{C}\bar{D} + \bar{A}C\bar{D} + \bar{A}\bar{B}E + B\bar{C}E$$

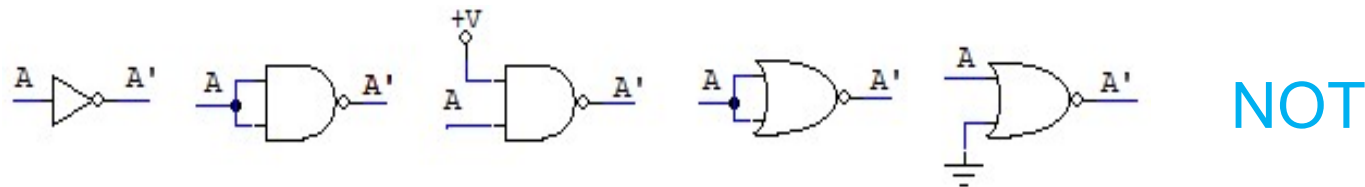
8.1. Realizar una implementación en dos niveles de las siguientes funciones, utilizando en notación (Primer Nivel/Segundo Nivel) las puertas lógicas indicadas, y puertas lógicas NOT sólo en las implementaciones que sea absolutamente necesario: NAND/NAND, NOR/NOR; OR/AND; AND/NOR.



NAND/NAND

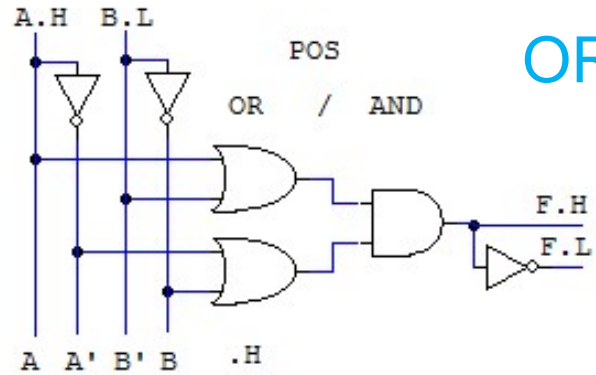
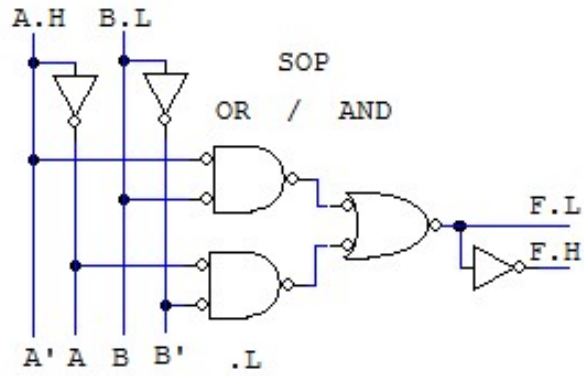


NOR/NOR

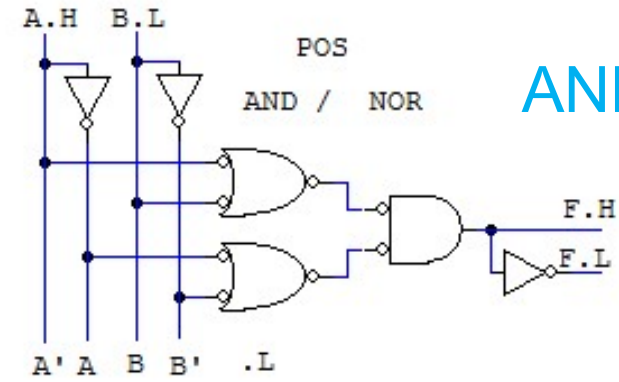
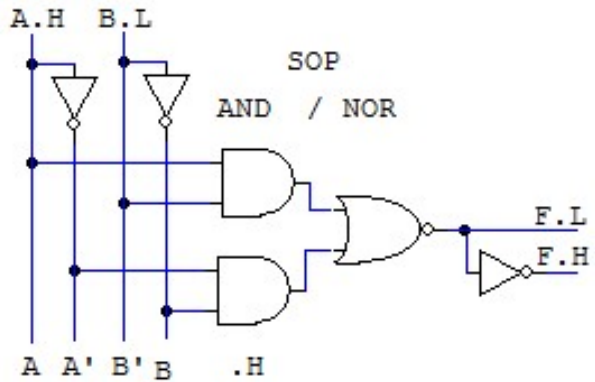


NOT

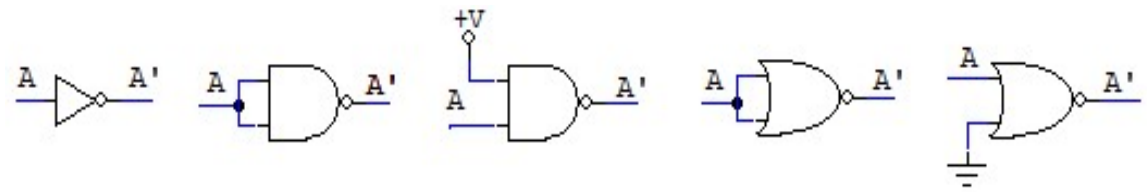
8.1. Realizar una implementación en dos niveles de las siguientes funciones, utilizando en notación (Primer Nivel/Segundo Nivel) las puertas lógicas indicadas, y puertas lógicas NOT sólo en las implementaciones que sea absolutamente necesario: NAND/NAND, NOR/NOR; OR/AND; AND/NOR.



OR/AND

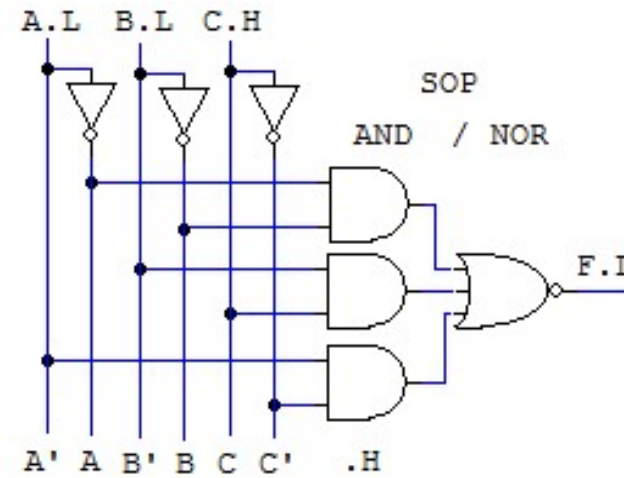
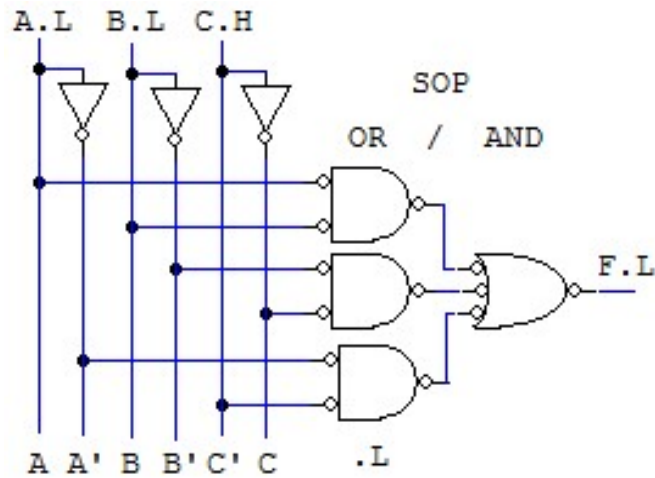
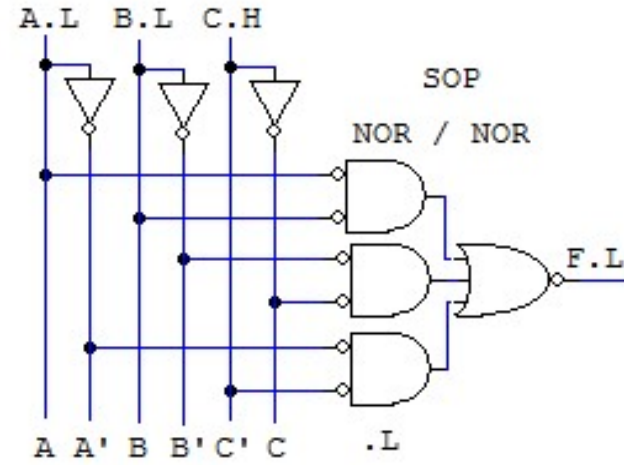
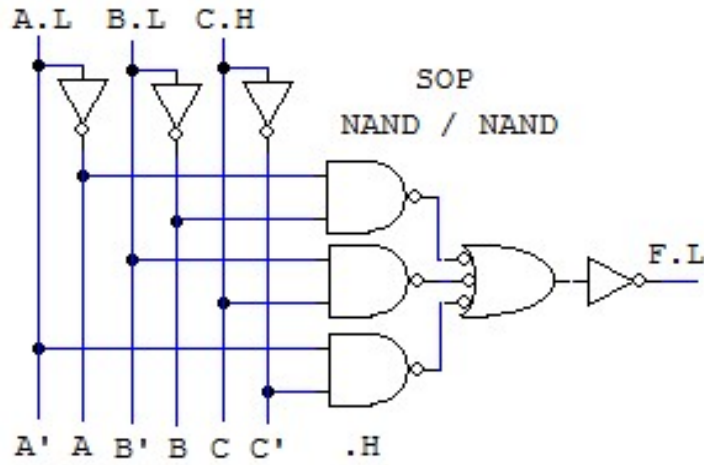


AND/NOR

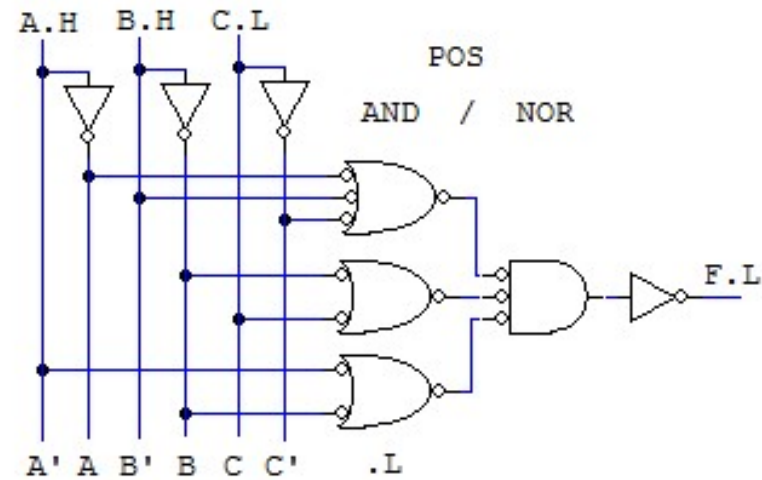
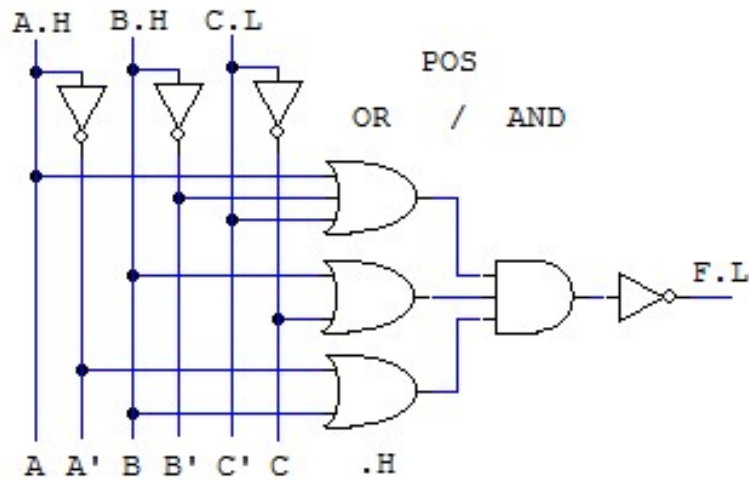
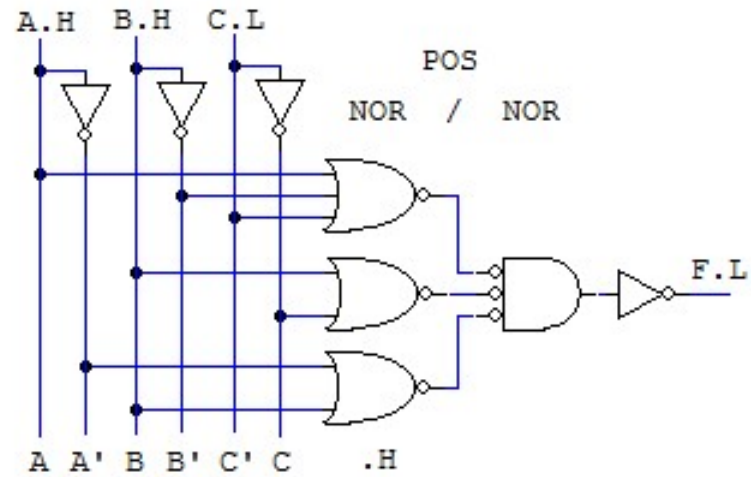
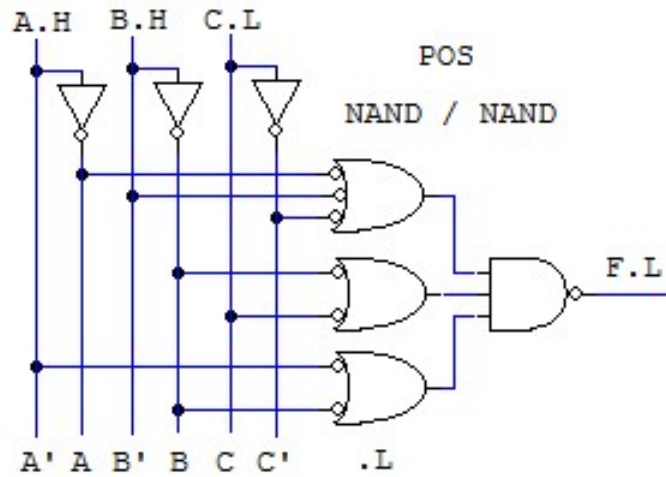


NOT

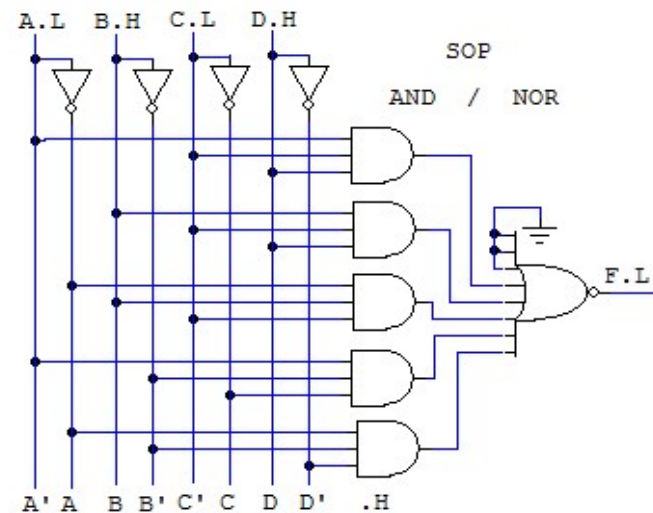
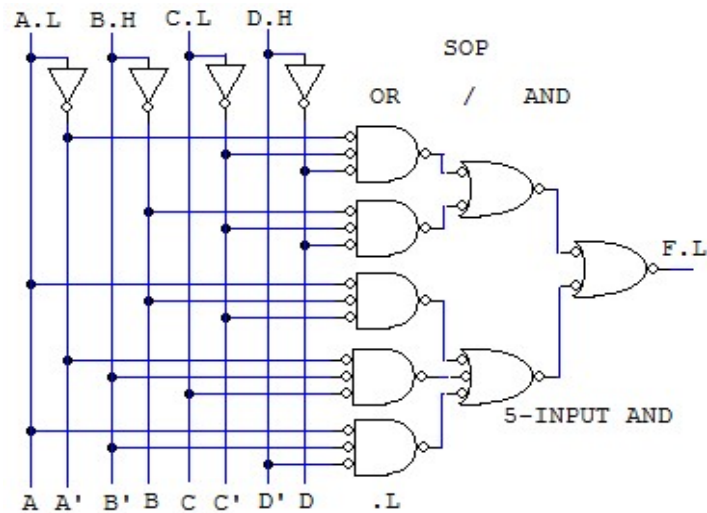
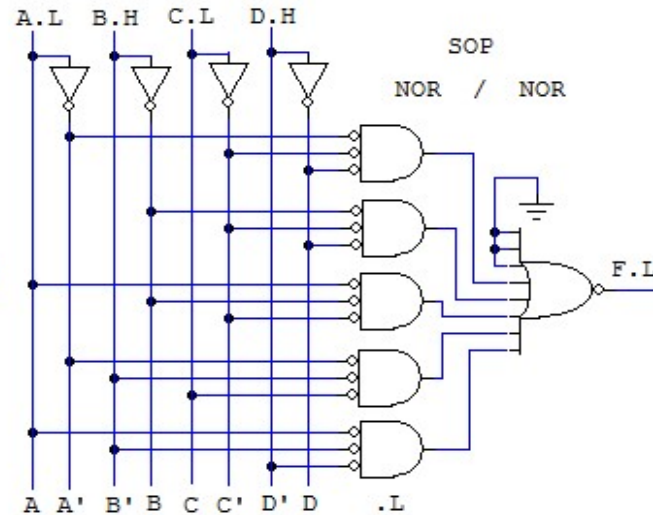
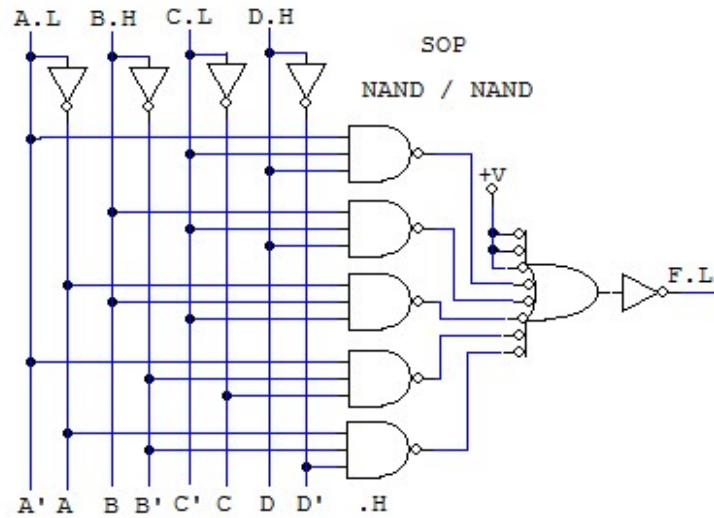
8.1. a) $F.L = [F(A, B, C)].L = [AB + \bar{B}C + \bar{A}\bar{C}].L$, con A.L, B.L y C.H.



8.1.b) $F.L = [F(A, B, C)].L = [(A + \bar{B} + \bar{C})(B + C)(\bar{A} + B)].L$,
 con A.H, B.H y C.L.

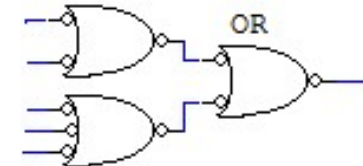
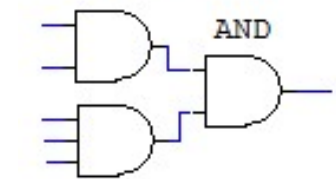


8.1.c) $F.L = [F(A, B, C, D)].L = [\bar{A}\bar{C}D + B\bar{C}D + AB\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{D}].L$,
 con A.L, B.H, C.L y D.H.

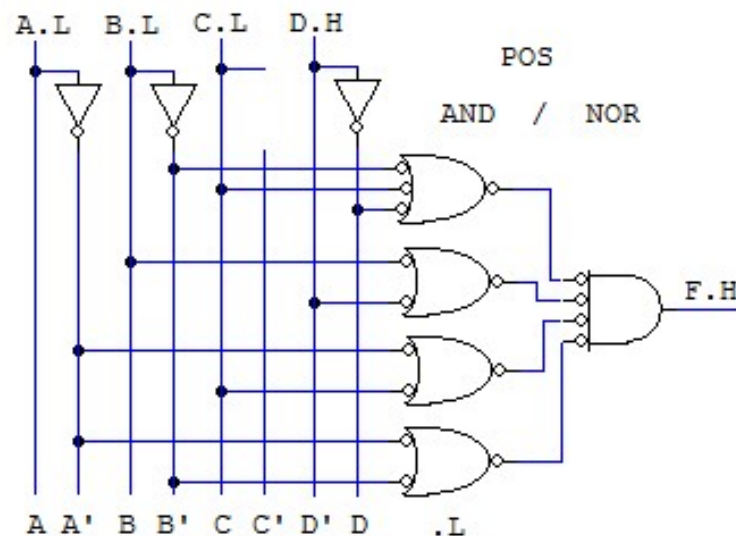
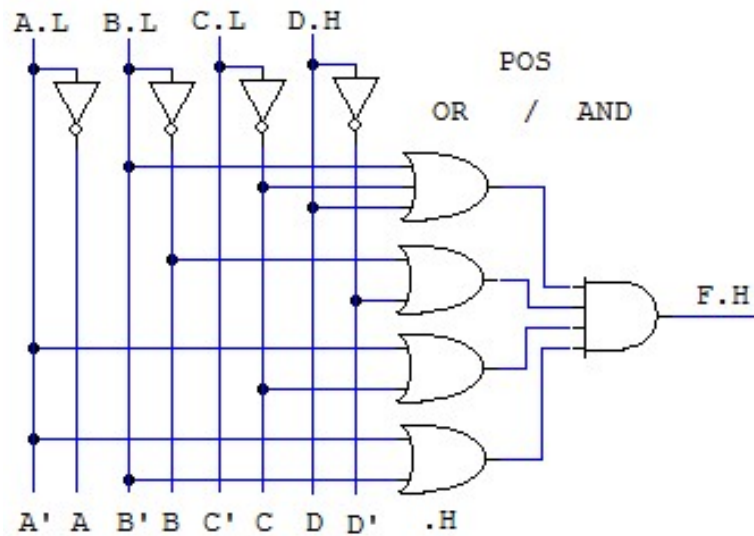
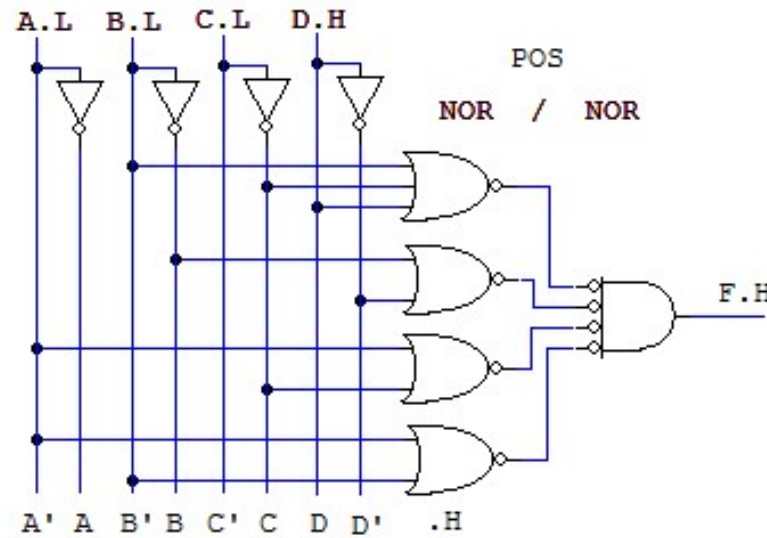
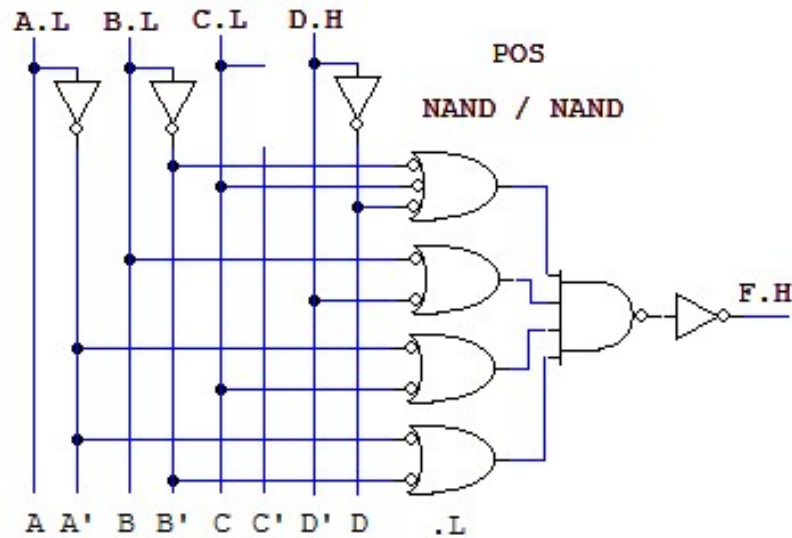


Uso puertas de 8 entradas.
 Las entradas no usadas están a valor no controlante;
 1 NAND; 0 en NOR

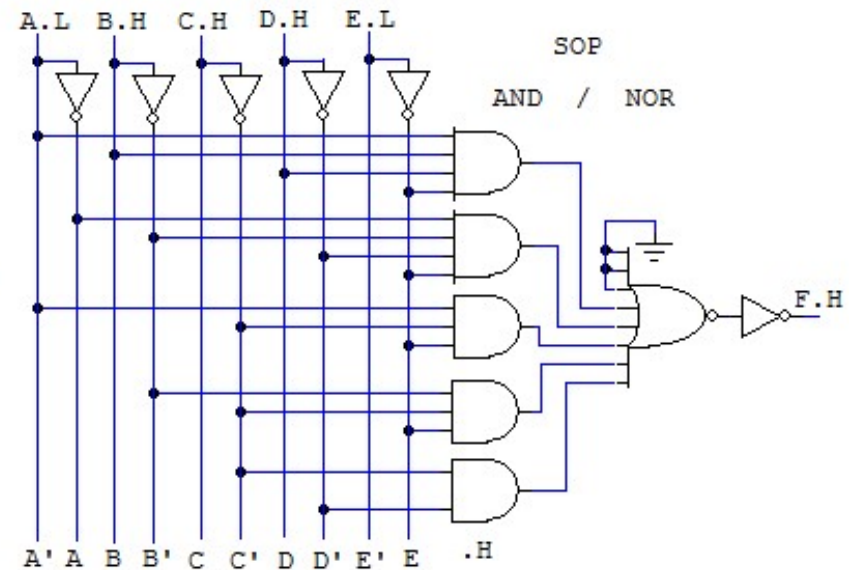
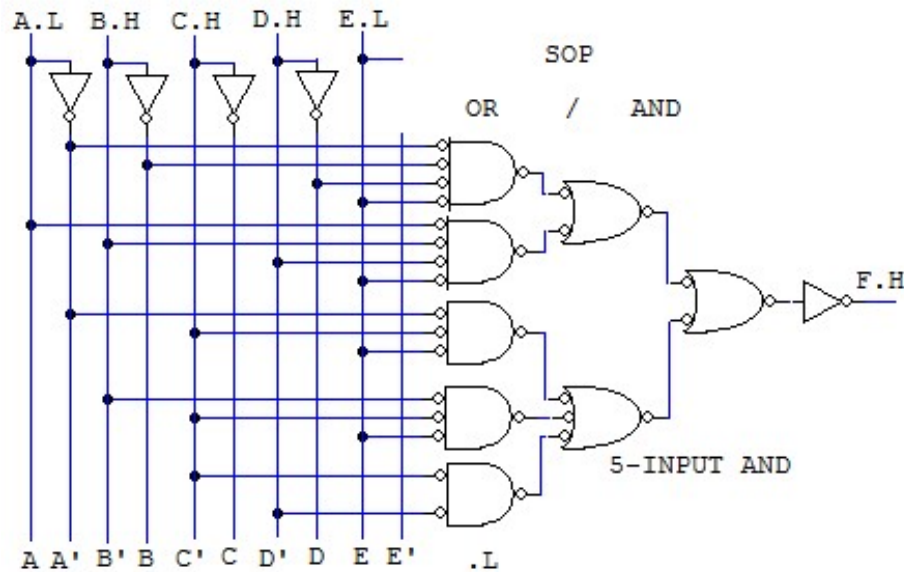
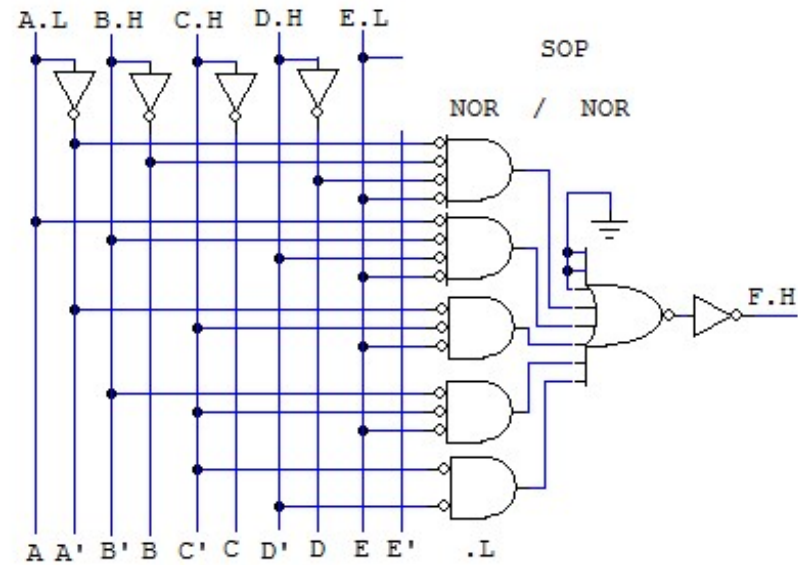
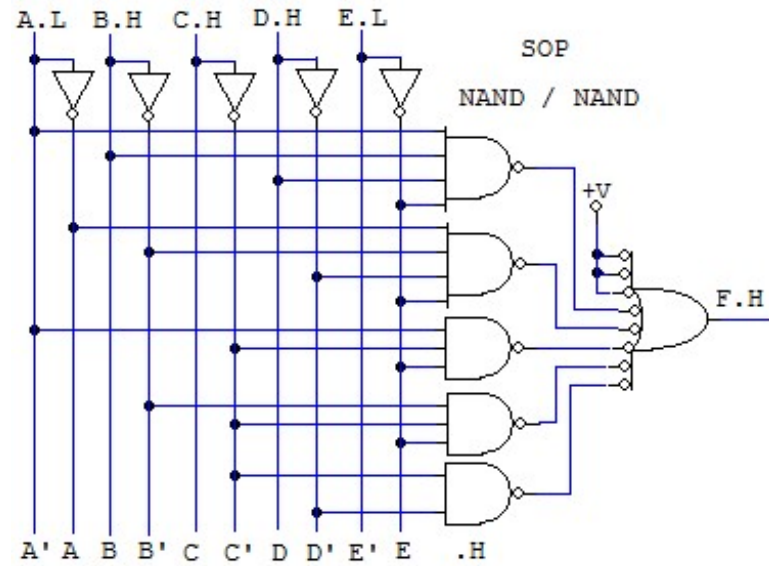
5-INPUT AND



8.1.d) $F.H = [F(A, B, C, D)].H = [(\bar{B} + C + D)(B + \bar{D})(\bar{A} + C)(\bar{A} + \bar{B})].H$,
 con A.L, B.L, C.L y D.H.



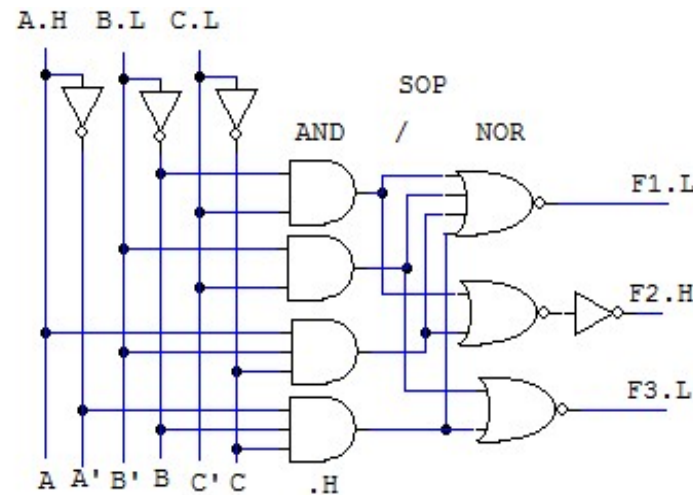
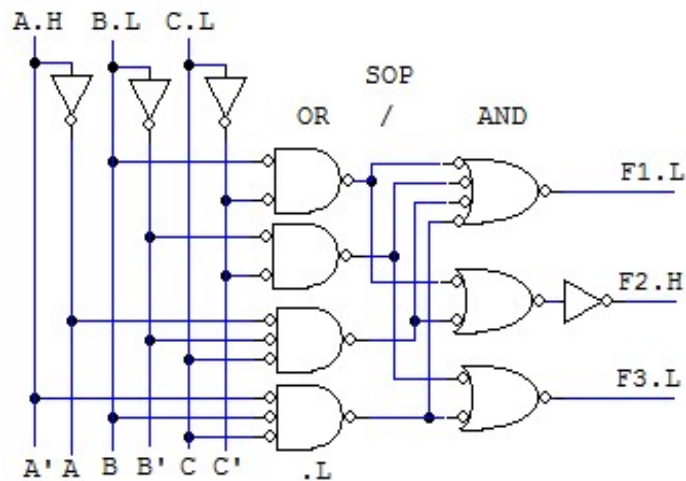
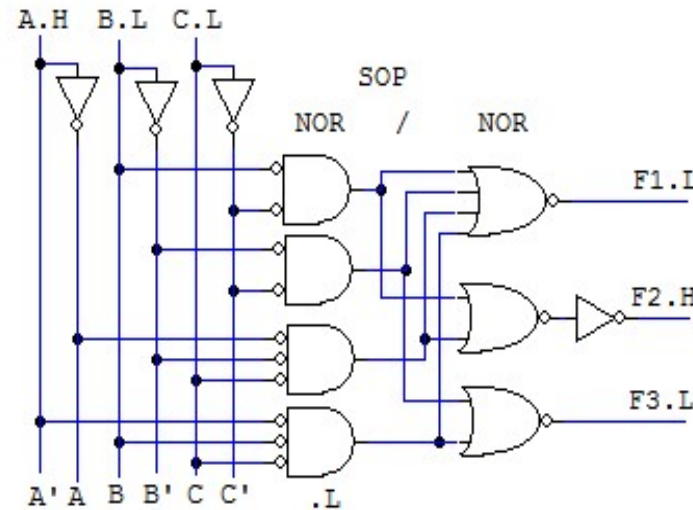
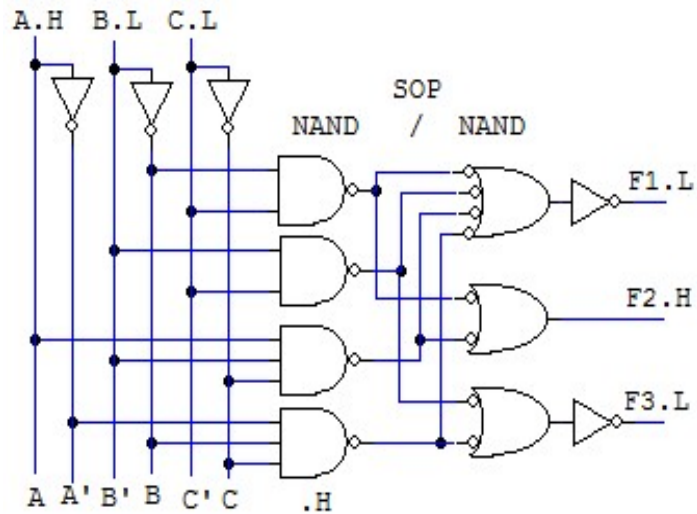
8.1.e) $F.H = [F(A,B,C,D,E)].H = [\bar{A}BDE + A\bar{B}\bar{D}E + \bar{A}\bar{C}E + \bar{B}\bar{C}E + \bar{C}\bar{D}].H$,
 con A.L, B.H, C.H, D.H y E.L.



9.1.a) $F1(A, B, C) = B\bar{C} + \bar{B}\bar{C} + A\bar{B}C + \bar{A}BC$
 $F2(A, B, C) = B\bar{C} + A\bar{B}C$
 $F3(A, B, C) = \bar{B}\bar{C} + \bar{A}BC$

A.H, B.L, C.L.
 F1.L, F2.H y F3.L.
 4 Términos productos distintos:

$B\bar{C}$
 $\bar{B}\bar{C}$
 $A\bar{B}C$
 $\bar{A}BC$



9.1.b) $F1(A, B, C, D) = \bar{A}\bar{B}C + \bar{A}C\bar{D} + \bar{B}C\bar{D}$
 $F2(A, B, C, D) = \bar{A}C\bar{D} + A\bar{D}$
 $F3(A, B, C, D) = \bar{B}C\bar{D} + A\bar{D}$

A.L, B.L, C.H, D.H.

F1.H, F2.L y F3.H

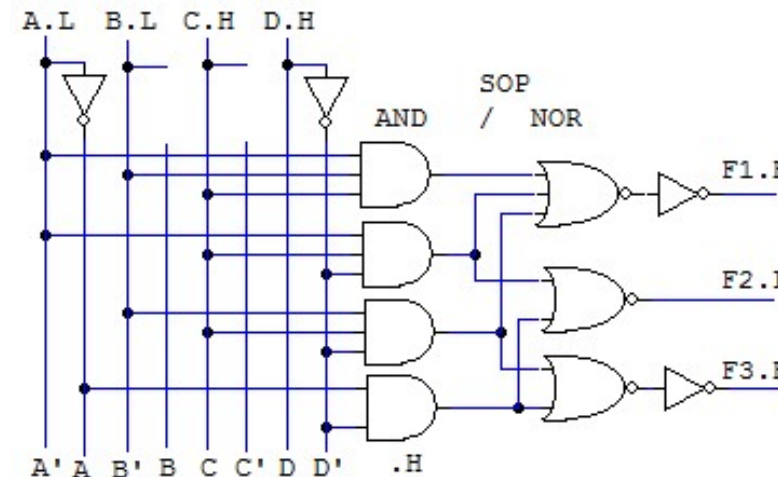
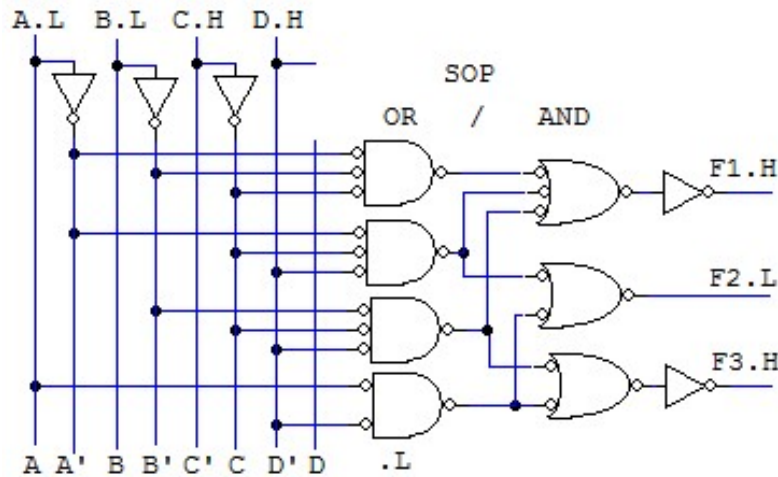
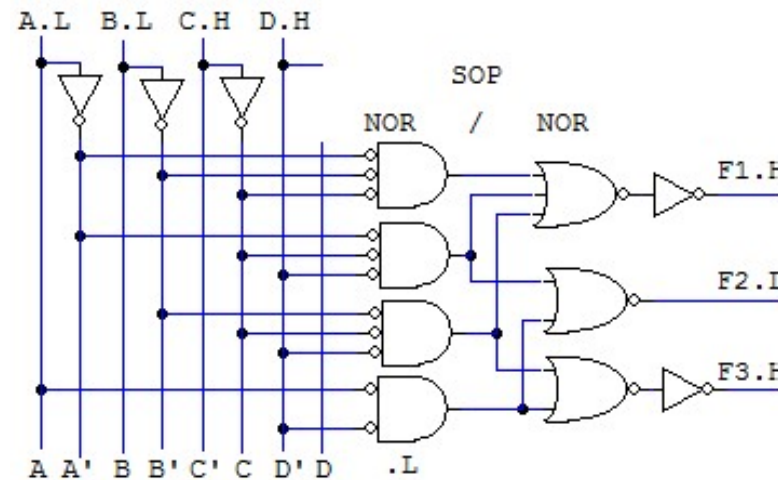
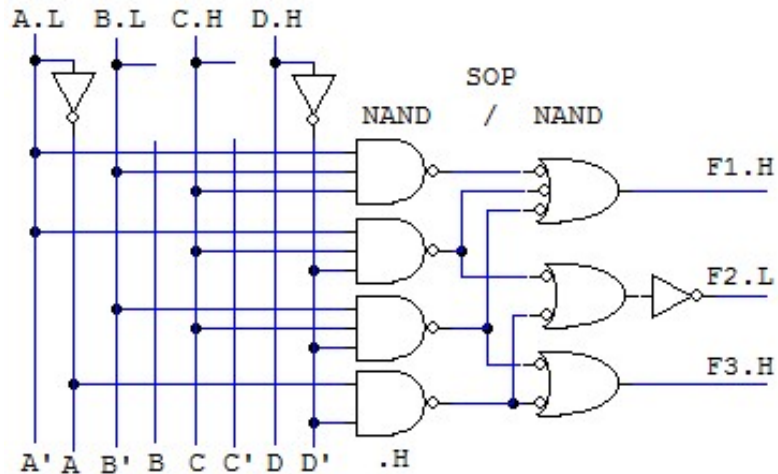
4 Términos productos distintos

$\bar{A}\bar{B}C$

$\bar{A}C\bar{D}$

$\bar{B}C\bar{D}$

$A\bar{D}$



9.1.c) $F1(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (\bar{A} + B + D) \cdot (A + B + D) \cdot (\bar{B} + C)$

$F2(A, B, C, D) = (\bar{A} + B + D) \cdot (\bar{B} + C) \cdot (B + C)$

$F3(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (A + B + D) \cdot (B + C)$

A.L, B.H, C.L, D.H.

F1.H, F2.L y F3.L.

5 Términos suma

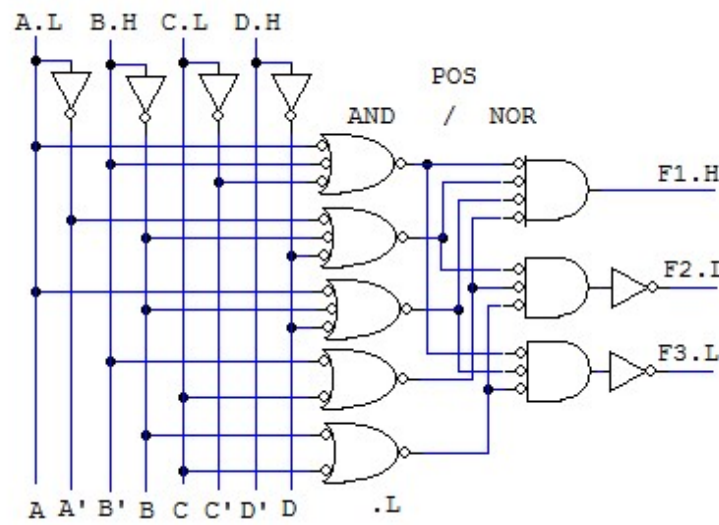
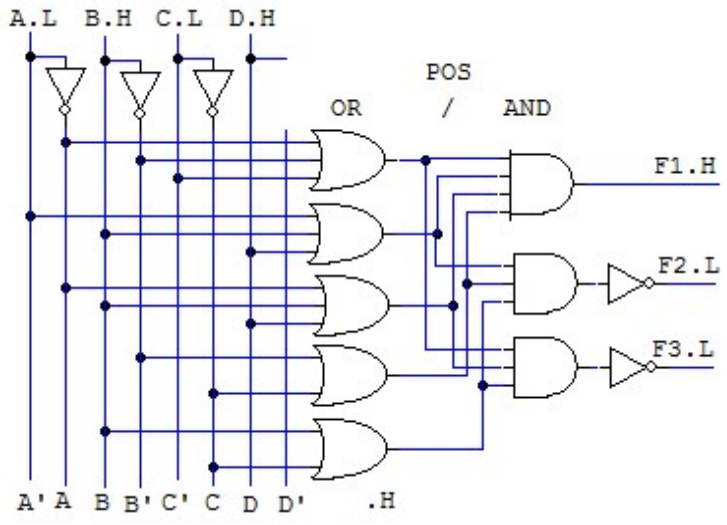
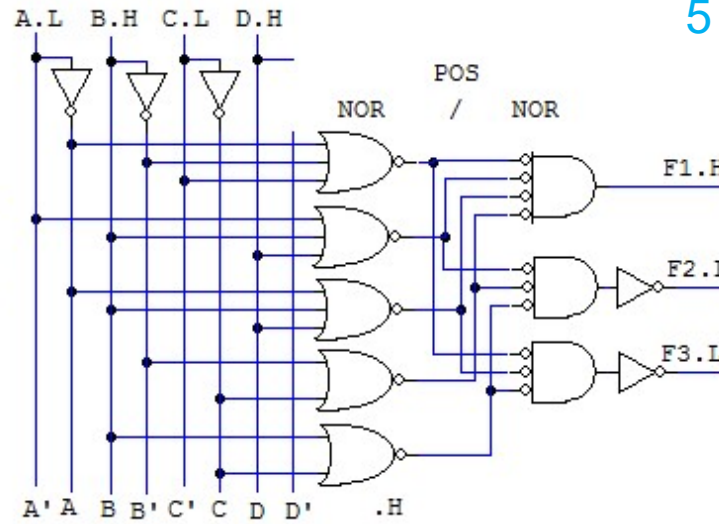
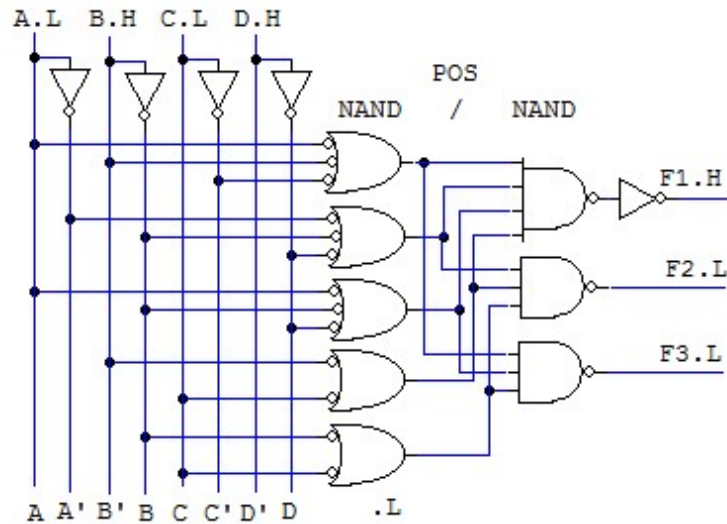
$A + \bar{B} + \bar{C}$

$\bar{A} + B + D$

$A + B + D$

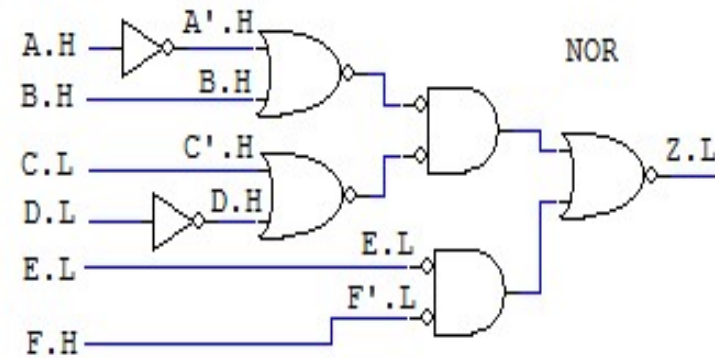
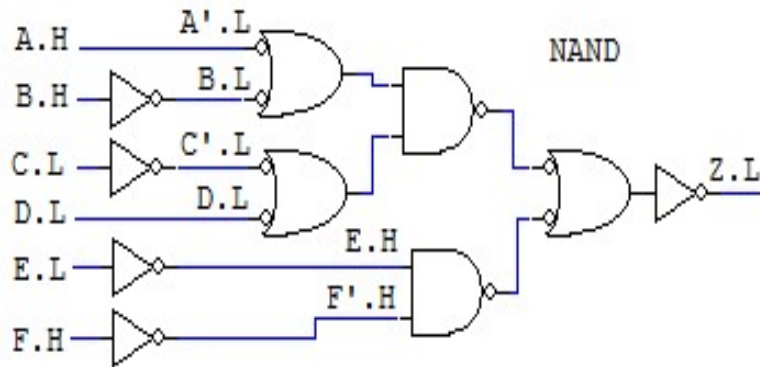
$\bar{B} + C$

$B + C$

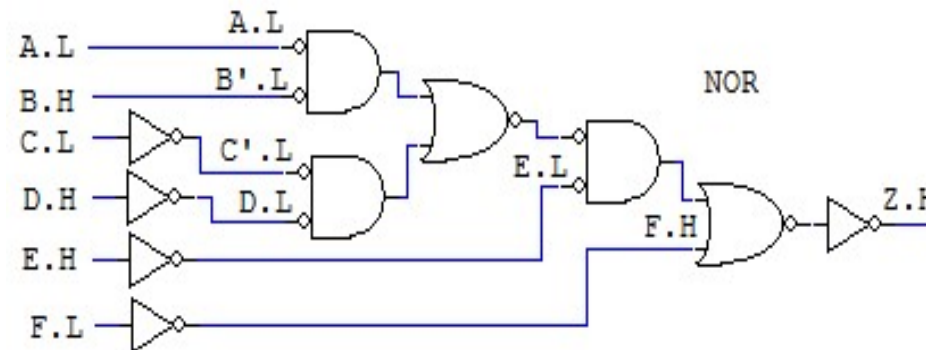
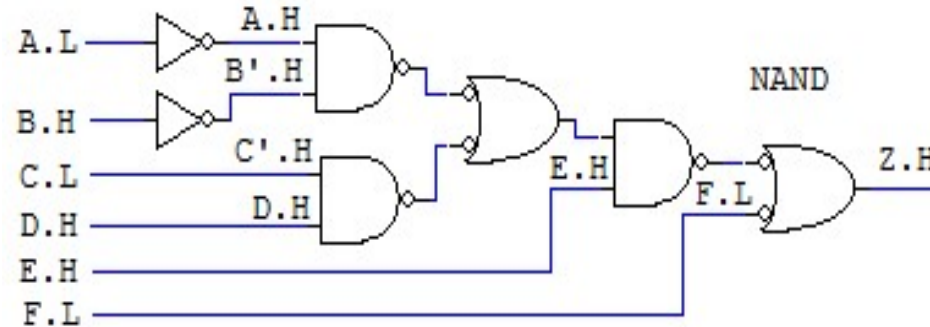


10.1. Diseñar usando solamente puertas NAND y solamente puertas NOR el circuito correspondiente a las siguientes expresiones lógicas factorizadas:

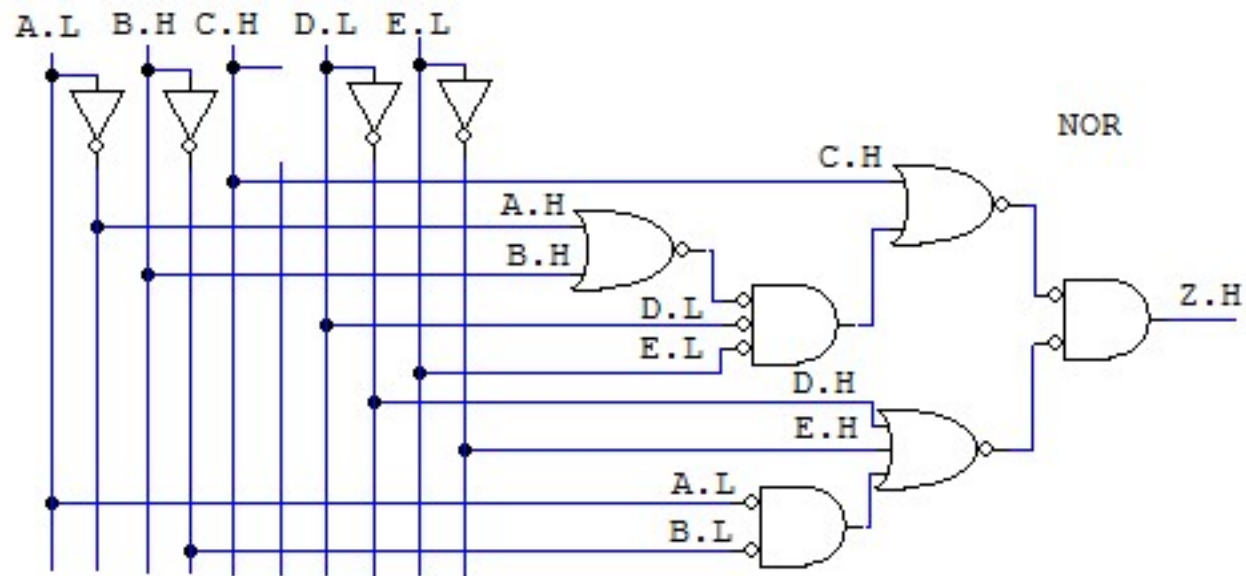
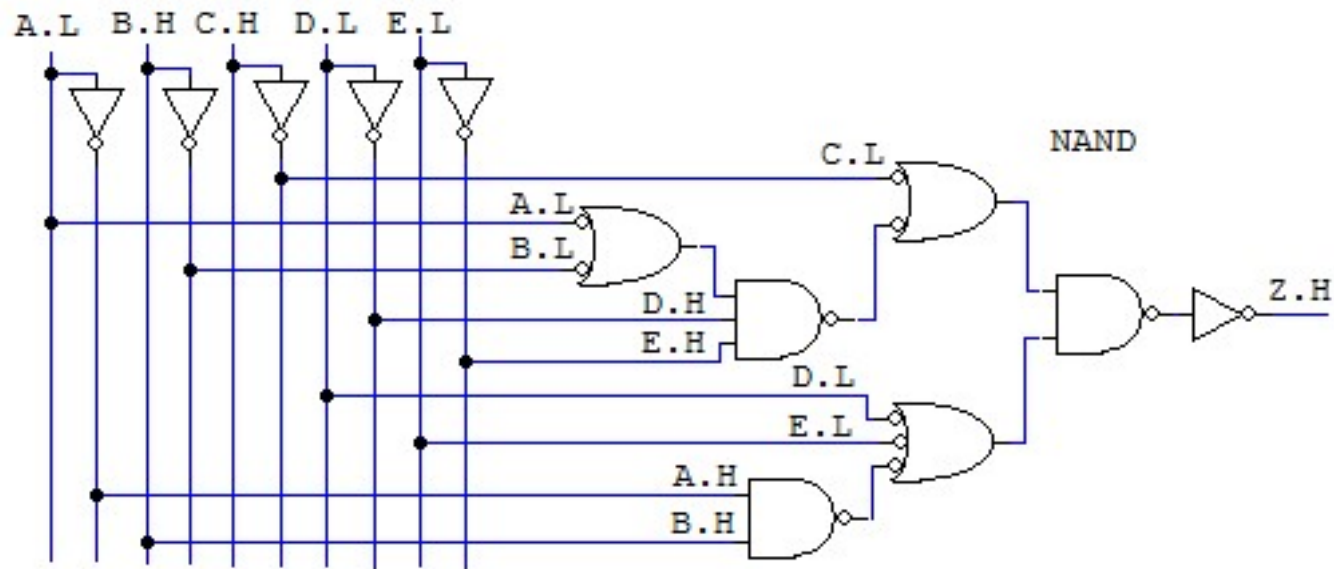
a) $Z.L = [(\bar{A} + B) (\bar{C} + D) + E \bar{F}].L$ para A.H, B.H, C.L, D.L, E.L, F.H



b) $Z.H = (A\bar{B} + \bar{C}D)E + F$
para A.L, B.H, C.L, D.H, E.H, F.L

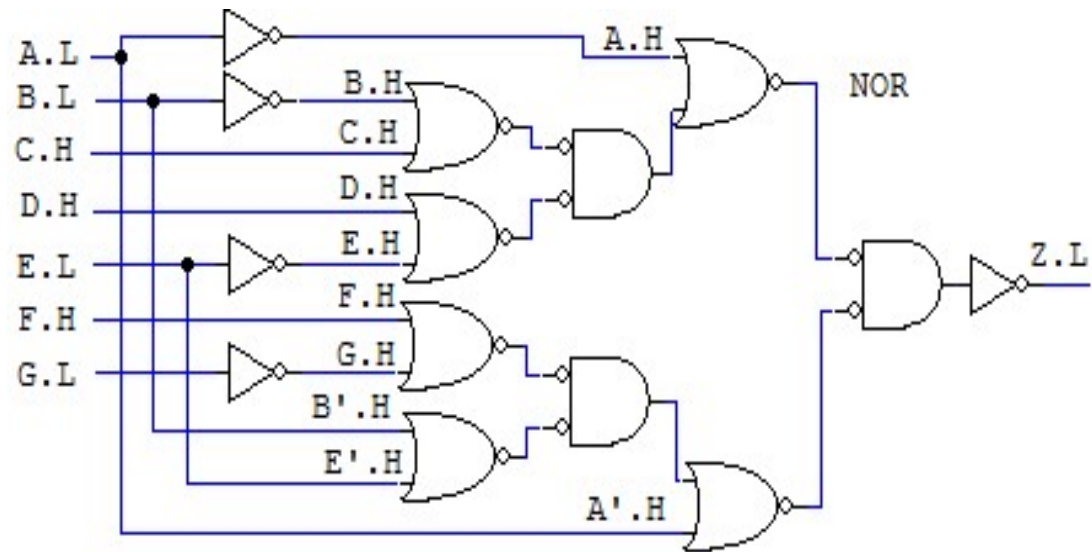
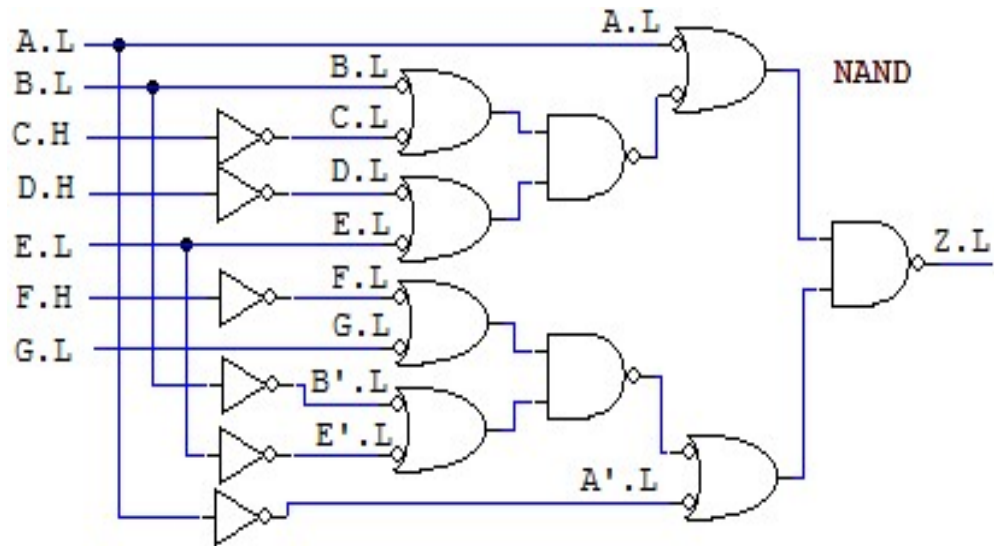


10.1.d) $Z.H = [C + (A + B) D E] [D + E + A B]$ para A.L, B.H, C.H, D.L, E.L



10.1.e) $Z.L = (A + (B + C) (D + E)) \cdot ((F + G) (\bar{B} + \bar{E}) + \bar{A})$

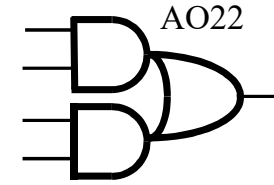
para A.L, B.L, C.H, D.H, E.L, F.H, G.L



10.2. Como resultado de una minimización multinivel se han generado las siguientes expresiones lógicas:

$$F1 = (C + (\bar{A} + B) \cdot (\bar{D} + E)) \cdot (\bar{C} + (B + \bar{E}) \cdot (A + D))$$

$$F2 = (\bar{C} + (\bar{A} + B) \cdot (\bar{D} + E)) \cdot (C + \bar{B} \cdot (\bar{A} + \bar{D}))$$

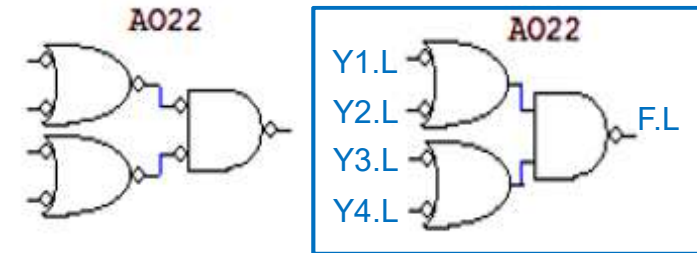


Implementar las expresiones lógicas dadas para F1 y F2 utilizando el menor número de elementos lógicos del tipo AO22 e inversores, para F1.H, F2.L, A.H, B.H, C.L, D.L, E.H.

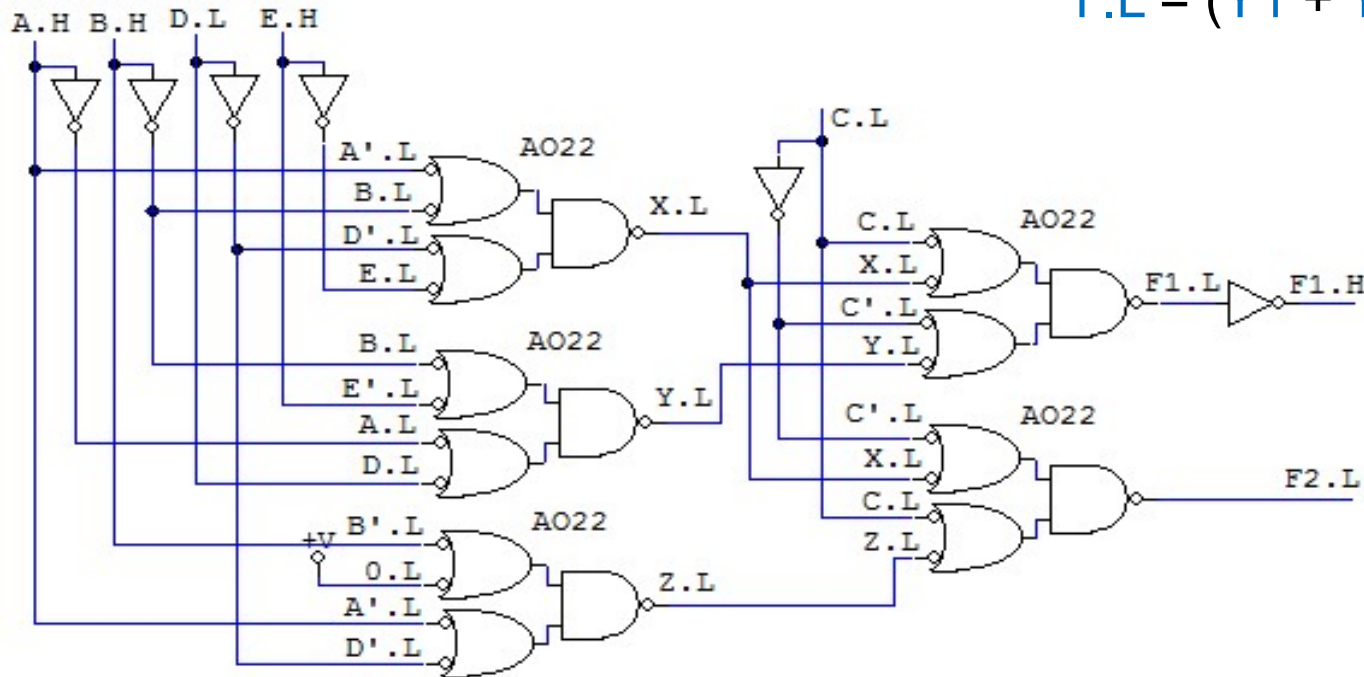
$$F1 = (C + X)(\bar{C} + Y) \quad F2 = (\bar{C} + X)(C + Z)$$

$$X = (\bar{A} + B) (\bar{D} + E) \quad Y = (B + \bar{E}) (A + D)$$

$$Z = \bar{B} (\bar{A} + \bar{D}) = (\bar{B} + 0) (\bar{A} + \bar{D})$$

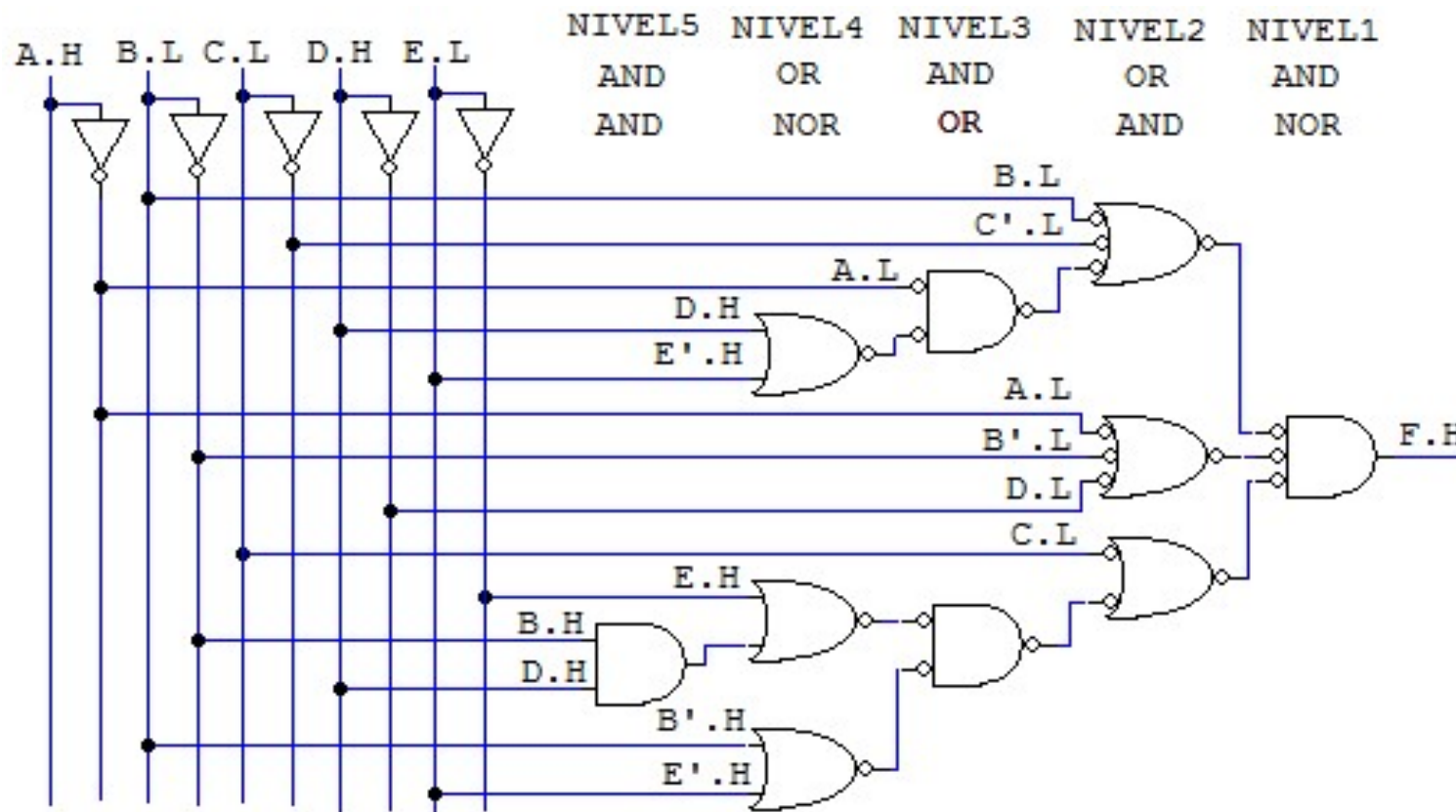


$$F.L = (Y1 + Y2) (Y3 + Y4)$$



10.3. Implementar la siguiente función lógica en cinco niveles, que desde la salida (1° nivel) hacia las entradas (5° nivel) usan puertas NOR (1° nivel), AND (2° nivel), OR (3° nivel), NOR (4° nivel) y AND (5° nivel) para entradas A.H, B.L, C.L, D.H, E.L y salida F.H.

$$F(A, B, C, D, E) = [B + \bar{C} + A(D + \bar{E})](A + \bar{B} + D)[C + (E + BD)(\bar{B} + \bar{E})]$$



11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: PLA; PAL

a) $F1(A, B, C) = B\bar{C} + \bar{B}\bar{C} + A\bar{B}C + \bar{A}BC$

$F2(A, B, C) = B\bar{C} + A\bar{B}C$

$F3(A, B, C) = \bar{B}\bar{C} + \bar{A}BC$

para A.H, B.L, C.L, F1.L, F2.H y F3.L.

Minimización por salidas.

Reduce el número de T.P.s en F1

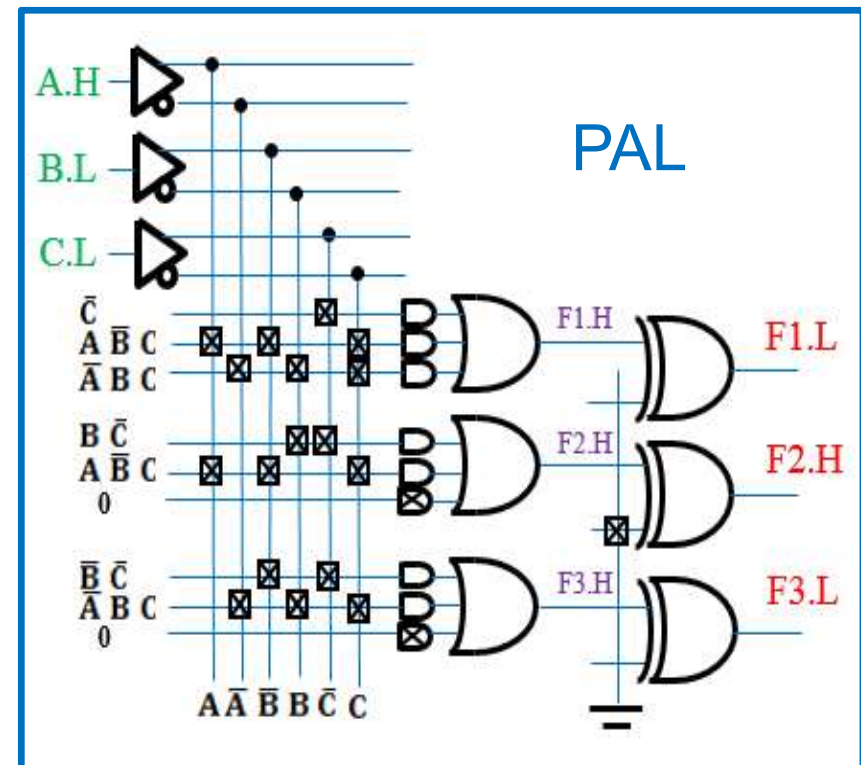
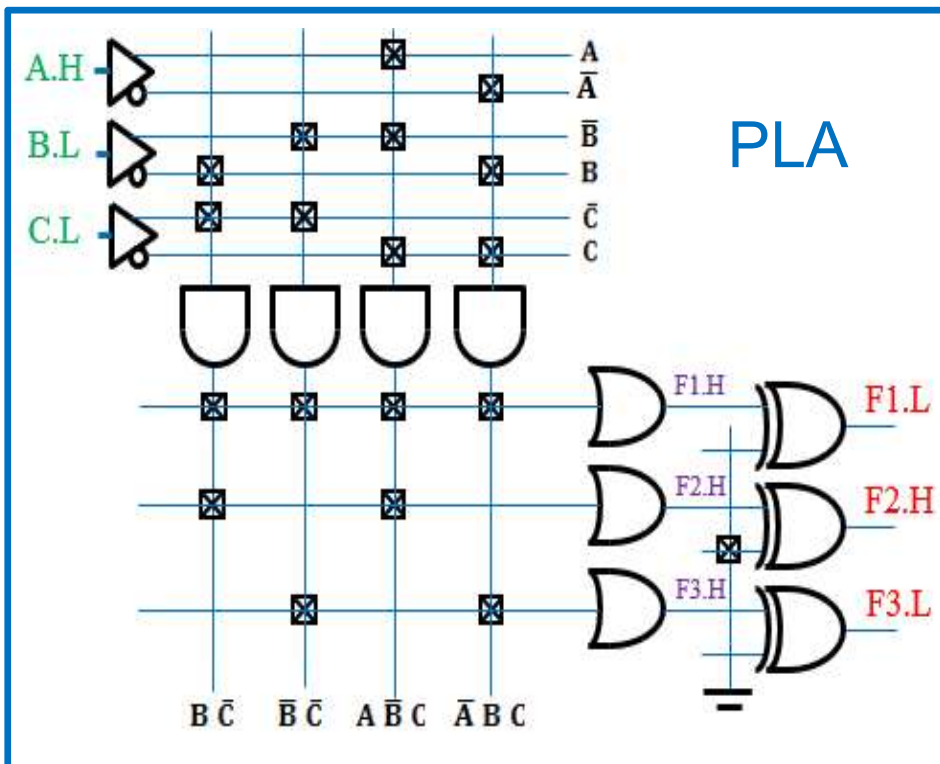
$F1(A, B, C) = \bar{C} + A\bar{B}C + \bar{A}BC$

$F2(A, B, C) = B\bar{C} + A\bar{B}C$

$F3(A, B, C) = \bar{B}\bar{C} + \bar{A}BC$

4 T.P. => 4 líneas AND

3 Salidas => 3 líneas OR



11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: ROM

a) $F1(A, B, C) = B\bar{C} + \bar{B}\bar{C} + A\bar{B}C + \bar{A}BC$

$F2(A, B, C) = B\bar{C} + A\bar{B}C$

$F3(A, B, C) = \bar{B}\bar{C} + \bar{A}BC$

para A.H, B.L, C.L, F1.L, F2.H y F3.L.

Dec	A	B	C	F1	F2	F3
0	0	0	0	1	0	1
1	0	0	1	0	0	0
2	0	1	0	1	1	0
3	0	1	1	1	0	1
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	0
7	1	1	1	0	0	0

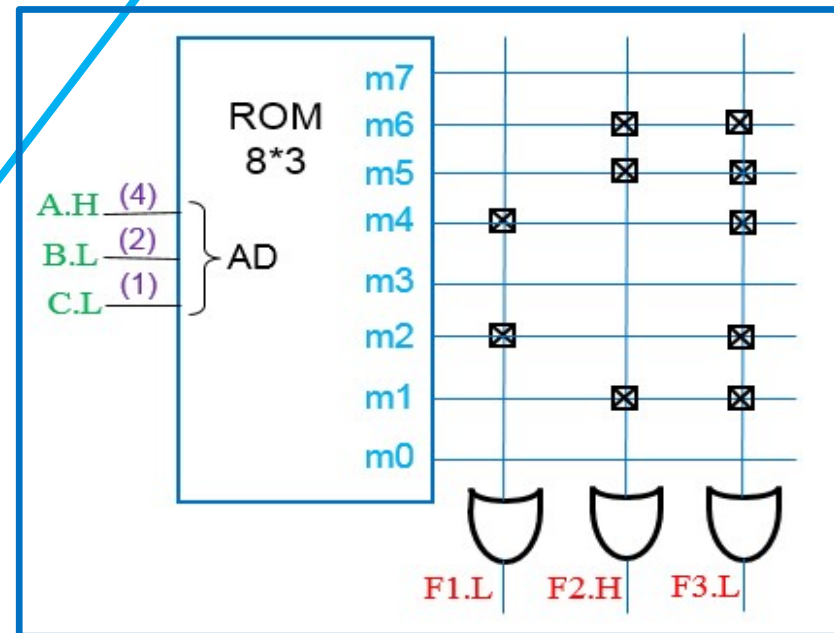
$F.L = \overline{F.H}$

A.H	B.L	C.L	F1.L	F2.H	F3.L	DecF
0	1	1	0	0	0	3
0	1	0	1	0	1	2
0	0	1	0	1	1	1
0	0	0	0	0	0	0
1	1	1	0	0	0	7
1	1	0	0	1	1	6
1	0	1	0	1	1	5
1	0	0	1	0	1	4

$F1.L = F1(A, B, C) = \sum(2, 4)$

$F2.H = F2(A, B, C) = \sum(1, 5, 6)$

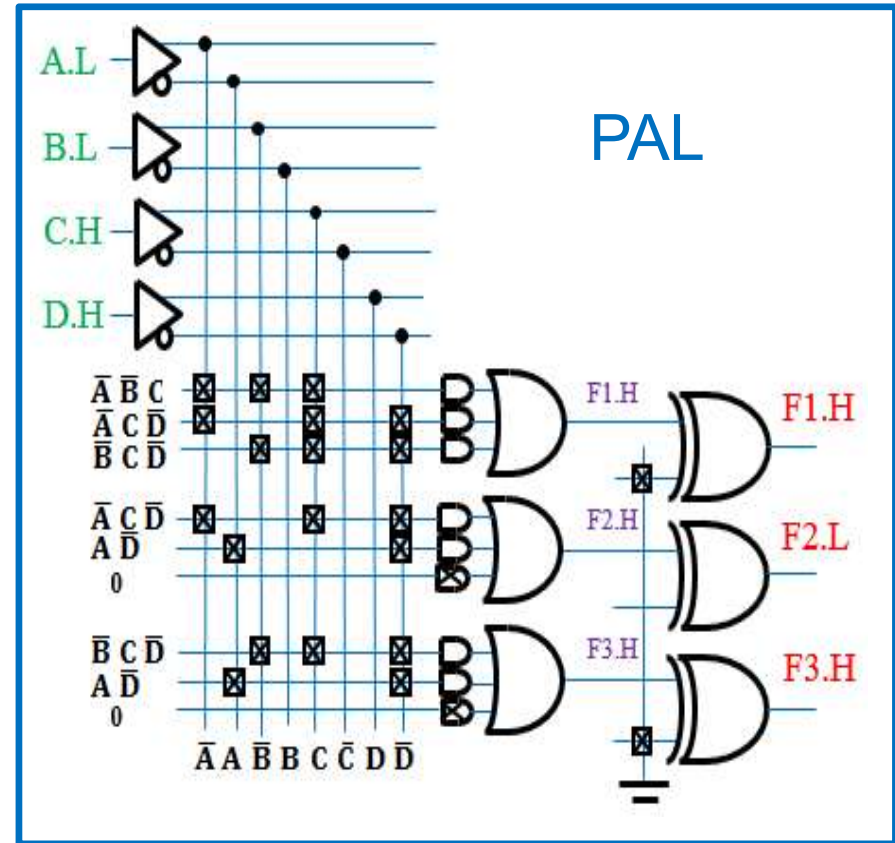
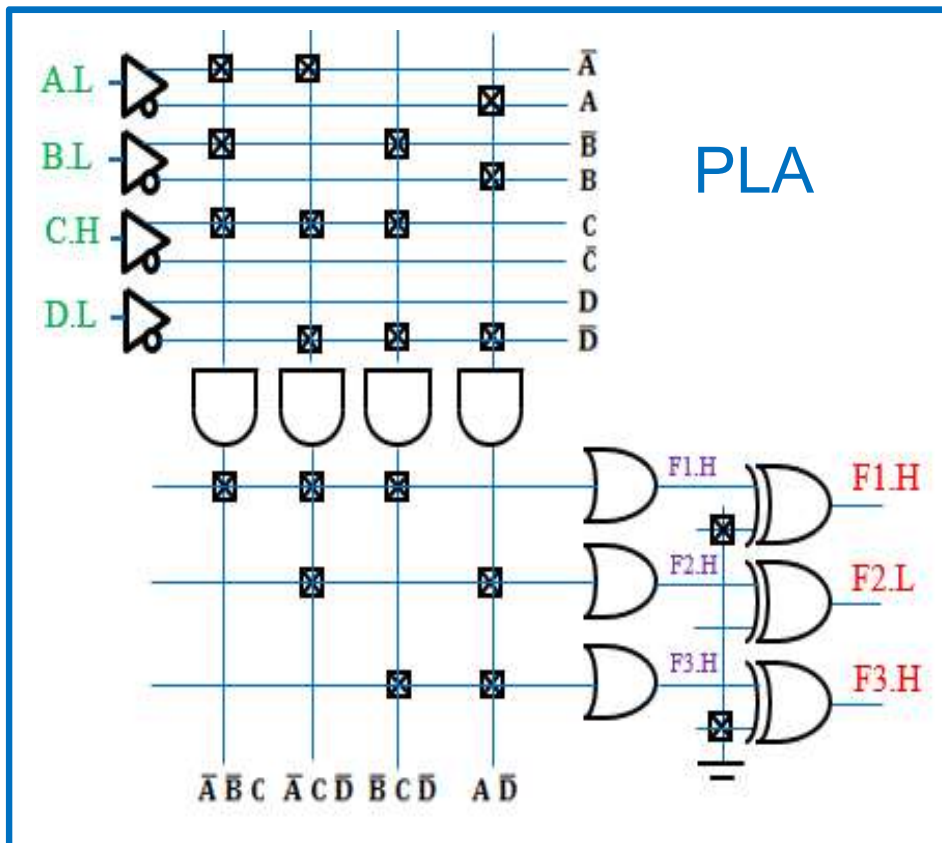
$F3.L = F3(A, B, C) = \sum(1, 2, 4, 5, 6)$



11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: PLA; PAL

b) $F1(A, B, C, D) = \bar{A}\bar{B}C + \bar{A}C\bar{D} + \bar{B}C\bar{D}$
 $F2(A, B, C, D) = \bar{A}C\bar{D} + A\bar{D}$
 $F3(A, B, C, D) = \bar{B}C\bar{D} + A\bar{D}$
 para A.L, B.L, C.H, D.H, F1.H, F2.L y F3.H.

Minimizando por salidas no se reducen T.P.s. Se mantienen las funciones para la PAL.



4 T.P. => 4 líneas AND; 3 Salidas => 3 líneas OR

11.1. Realizar una implementación en dos niveles usando: ROM

b) $F1 (A, B, C, D) = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{C} \overline{D} + \overline{B} C \overline{D}$

$F2 (A, B, C, D) = \overline{A} C \overline{D} + A \overline{D}$

$F3 (A, B, C, D) = \overline{B} C \overline{D} + A \overline{D}$

para A.L, B.L, C.H, D.H, F1.H, F2.L y F3.H.

$F.L = \overline{F.H}$

Dec	A	B	C	D	F1	F2	F3
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
2	0	0	1	0	1	1	1
3	0	0	1	1	1	0	0
4	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0
6	0	1	1	0	1	1	0
7	0	1	1	1	0	0	0
8	1	0	0	0	0	1	1
9	1	0	0	1	0	0	0
10	1	0	1	0	1	1	1
11	1	0	1	1	0	0	0
12	1	1	0	0	0	1	1
13	1	1	0	1	0	0	0
14	1	1	1	0	0	1	1
15	1	1	1	1	0	0	0

A.L	B.L	C.H	D.H	F1.H	F2.L	F3.H	DecF
1	1	0	0	0	1	0	12
1	1	0	1	0	1	0	13
1	1	1	0	1	0	1	14
1	1	1	1	1	1	0	15
1	0	0	0	0	1	0	8
1	0	0	1	0	1	0	9
1	0	1	0	1	0	0	10
1	0	1	1	0	1	0	11
0	1	0	0	0	0	1	4
0	1	0	1	0	1	0	5
0	1	1	0	1	0	1	6
0	1	1	1	0	1	0	7
0	0	0	0	0	0	1	0
0	0	0	1	0	1	0	1
0	0	1	0	0	0	1	2
0	0	1	1	0	1	0	3

$F1.H = F1 (A, B, C, D) = \sum (6, 10, 14, 15)$

$F2.L = F2 (A, B, C, D) = \sum (1, 3, 5, 7, 8, 9, 11, 12, 13, 15)$

$F3.H = F3 (A, B, C, D) = \sum (0, 2, 4, 6, 14)$

11.1. Realizar una implementación en dos niveles usando: ROM

b) $F1 (A, B, C, D) = \bar{A} \bar{B} C + \bar{A} C \bar{D} + \bar{B} C \bar{D}$

$F2 (A, B, C, D) = \bar{A} C \bar{D} + A \bar{D}$

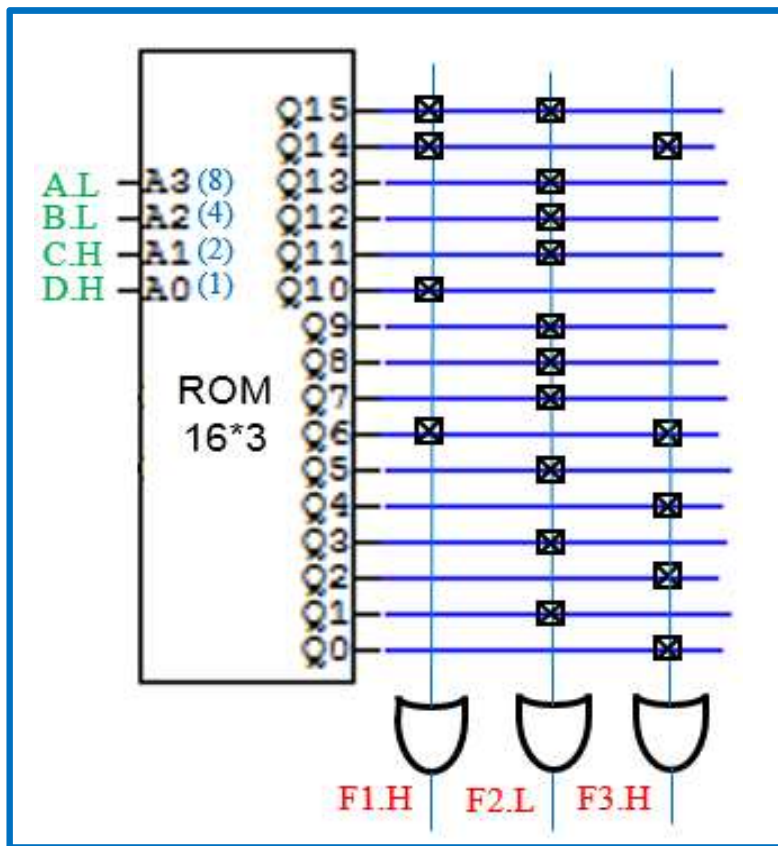
$F3 (A, B, C, D) = \bar{B} C \bar{D} + A \bar{D}$

para A.L, B.L, C.H, D.H, F1.H, F2.L y F3.H.

$F1.H = F1 (A, B, C, D) = \sum (6, 10, 14, 15)$

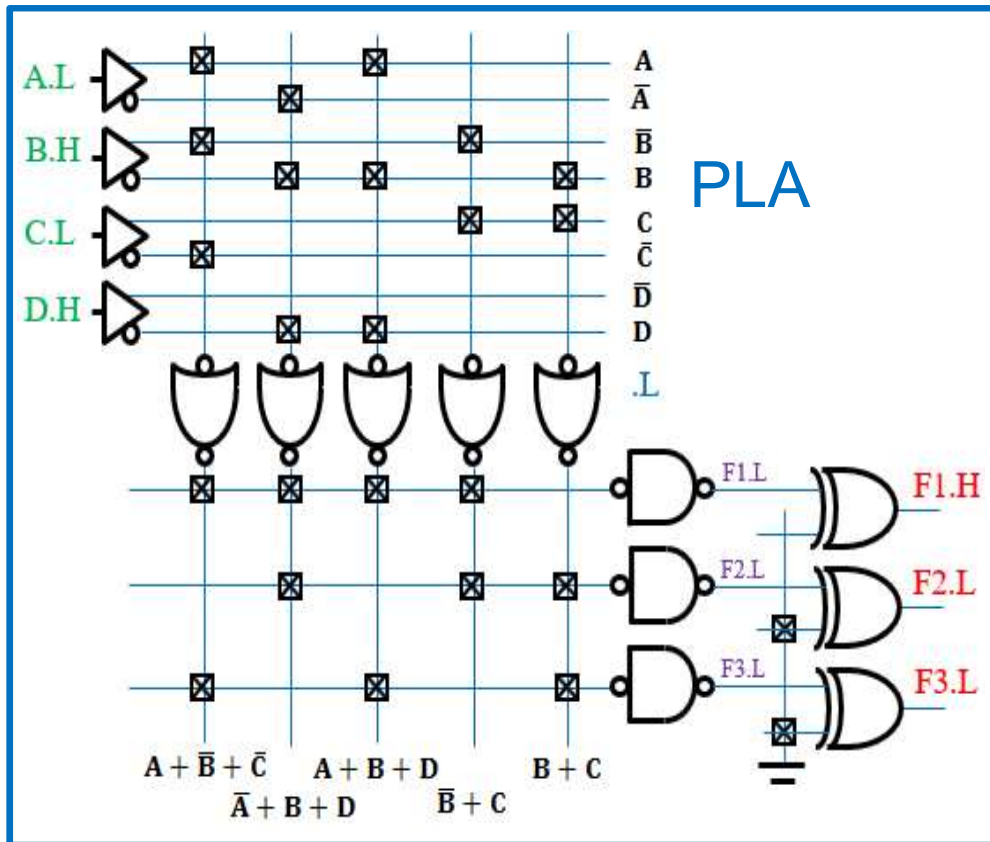
$F2.L = F2 (A, B, C, D) = \sum (1, 3, 5, 7, 8, 9, 11, 12, 13, 15)$

$F3.H = F3 (A, B, C, D) = \sum (0, 2, 4, 6, 14)$



11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: PLA

- c) $F1(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (\bar{A} + B + D) \cdot (A + B + D) \cdot (\bar{B} + C)$
 $F2(A, B, C, D) = (\bar{A} + \bar{B} + \bar{D}) \cdot (\bar{B} + C) \cdot (B + C)$
 $F3(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (A + B + D) \cdot (B + C)$
 para A.L, B.H, C.L, D.H, F1.H, F2.L y F3.L.



5 T.S. => 5 líneas AND
 3 Salidas => 3 líneas OR

11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: PAL para A.L, B.H, C.L, D.H, F1.H, F2.L y F3.L.

c) $F1(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (\bar{A} + B + D) \cdot (A + B + D) \cdot (\bar{B} + C)$
 $F2(A, B, C, D) = (\bar{A} + B + D) \cdot (\bar{B} + C) \cdot (B + C)$
 $F3(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (A + B + D) \cdot (B + C)$

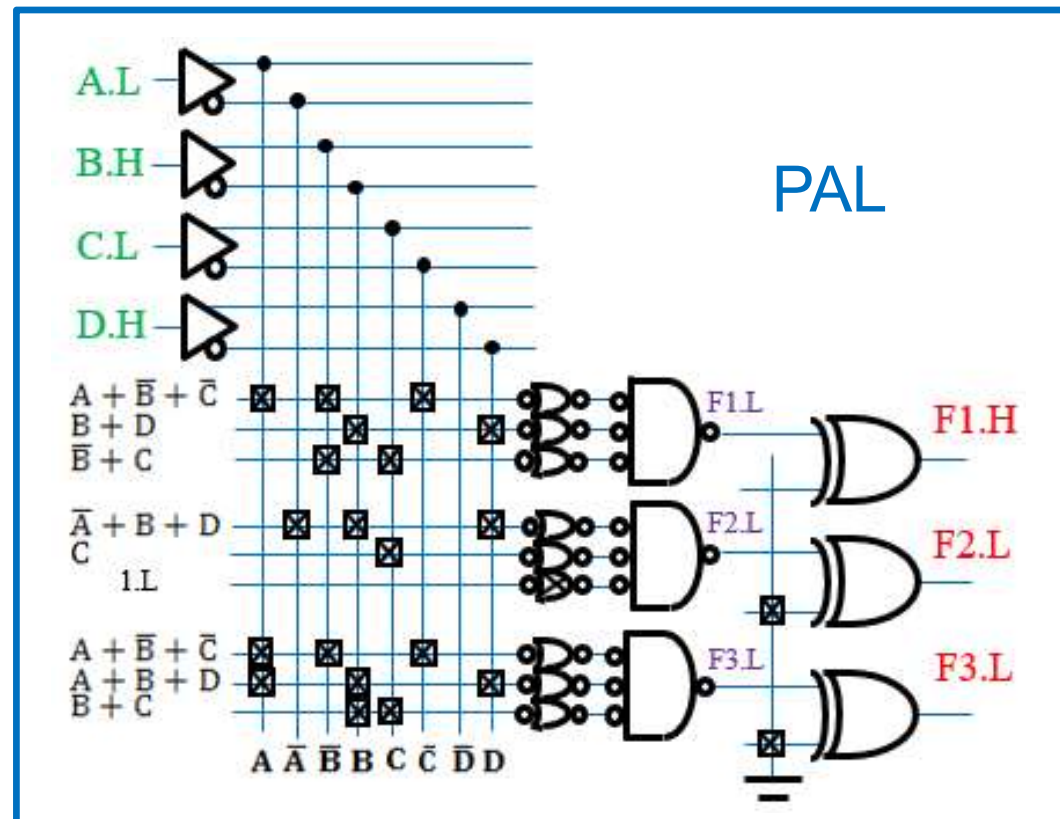
Minimización por salidas.

Reduce el número de T.S.s en F1 y F2.
 en F1 y F2.

$F1(A, B, C, D) = (A + \bar{B} + \bar{C}) (B + D) (\bar{B} + C)$

$F2(A, B, C, D) = (\bar{A} + B + D) C$

$F3(A, B, C, D) = (A + \bar{B} + \bar{C}) (A + B + D) (B + C)$



11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: ROM para A.L, B.H, C.L, D.H, F1.H, F2.L y F3.L.

c) $F1(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (\bar{A} + B + D) \cdot (A + B + D) \cdot (\bar{B} + C)$

$F2(A, B, C, D) = (\bar{A} + B + D) \cdot (\bar{B} + C) \cdot (B + C)$

$F3(A, B, C, D) = (A + \bar{B} + \bar{C}) \cdot (A + B + D) \cdot (B + C)$

$F.L = \overline{F.H}$

Dec	A	B	C	D	F1	F2	F3
0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0
2	0	0	1	0	0	1	0
3	0	0	1	1	1	1	1
4	0	1	0	0	0	0	1
5	0	1	0	1	0	0	1
6	0	1	1	0	0	1	0
7	0	1	1	1	0	1	0
8	1	0	0	0	0	0	0
9	1	0	0	1	1	0	0
10	1	0	1	0	0	0	1
11	1	0	1	1	1	1	1
12	1	1	0	0	0	0	1
13	1	1	0	1	0	0	1
14	1	1	1	0	1	1	1
15	1	1	1	1	1	1	1

A.L	B.H	C.L	D.H	F1.H	F2.L	F3.L	DecF
1	0	1	0	0	1	1	10
1	0	1	1	1	1	1	11
1	0	0	0	0	0	1	8
1	0	0	1	1	0	0	9
1	1	1	0	0	1	0	14
1	1	1	1	0	1	0	15
1	1	0	0	0	0	1	12
1	1	0	1	0	0	1	13
0	0	1	0	0	1	1	2
0	0	1	1	1	1	1	3
0	0	0	0	0	1	0	0
0	0	0	1	1	0	0	1
0	1	1	0	0	1	0	6
0	1	1	1	0	1	0	7
0	1	0	0	1	0	0	4
0	1	0	1	1	0	0	5

$F1.H = F1(A, B, C, D) = \sum(1, 3, 4, 5, 9, 11)$

$F2.L = F2(A, B, C, D) = \sum(0, 2, 3, 6, 7, 10, 11, 14, 15)$

$F3.L = F3(A, B, C, D) = \sum(2, 3, 8, 10, 11, 12, 13)$

11.1. Realizar una implementación en dos niveles de las siguientes funciones usando: ROM para A.L, B.H, C.L, D.H, F1.H, F2.L y F3.L.

c) $F1(A, B, C, D) = (\underline{A} + \overline{B} + \overline{C}) \cdot (\overline{A} + B + D) \cdot (A + B + D) \cdot (\overline{B} + C)$

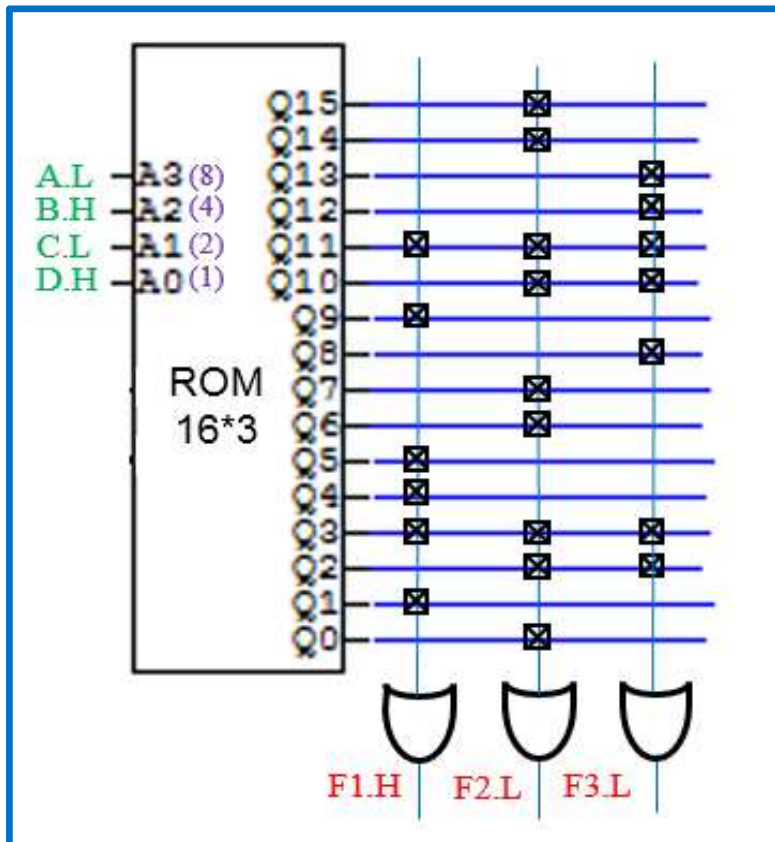
$F2(A, B, C, D) = (\overline{A} + \underline{B} + \underline{D}) \cdot (\overline{B} + C) \cdot (B + C)$

$F3(A, B, C, D) = (A + \underline{B} + \underline{C}) \cdot (A + B + D) \cdot (B + C)$

$F1.H = F1(A, B, C, D) = \sum(1, 3, 4, 5, 9, 11)$

$F2.L = F2(A, B, C, D) = \sum(0, 2, 3, 6, 7, 10, 11, 14, 15)$

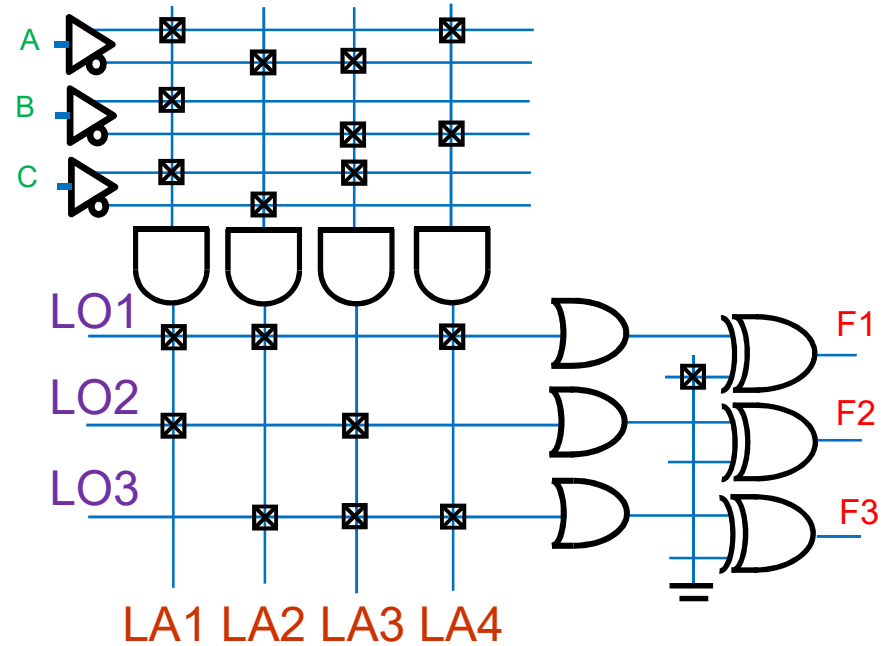
$F3.L = F3(A, B, C, D) = \sum(2, 3, 8, 10, 11, 12, 13)$



12.1. Dado el siguiente circuito PLA, indicar las funciones lógicas que realiza en notación decimal.

$$\begin{aligned}
 LA1 &= A B C; & LA2 &= \bar{A} \bar{C} \\
 LA3 &= \bar{A} \bar{B} C; & LA4 &= A \bar{B} \\
 LO1 &= LA1 + LA2 + LA4 \\
 LO2 &= LA1 + LA3 \\
 LO3 &= LA2 + LA3 + LA4
 \end{aligned}$$

$$\begin{aligned}
 F1 &= 0 \oplus LO1 = LO1 \\
 F2 &= 1 \oplus LO2 = \overline{LO2} \\
 F3 &= 1 \oplus LO3 = \overline{LO3}
 \end{aligned}$$



$$\begin{aligned}
 F1(A, B, C) &= \sum (0, 2, 4, 5, 7) \\
 F2(A, B, C) &= \sum (0, 2, 3, 4, 5, 6) \\
 F3(A, B, C) &= \sum (3, 6, 7)
 \end{aligned}$$

Dec	A	B	C	LA1	LA2	LA3	LA4	LO1	LO2	LO3	F1	F2	F3
0	0	0	0	0	1	0	0	1	0	1	1	1	0
1	0	0	1	0	0	1	0	0	1	1	0	0	0
2	0	1	0	0	1	0	0	1	0	1	1	1	0
3	0	1	1	0	0	0	0	0	0	0	0	1	1
4	1	0	0	0	0	0	1	1	0	1	1	1	0
5	1	0	1	0	0	0	1	1	0	1	1	1	0
6	1	1	0	0	0	0	0	0	0	0	0	1	1
7	1	1	1	1	0	0	0	1	1	0	1	0	1

12.2. Se quieren implementar funciones lógicas usando un dispositivo **PAL**. ¿Cuál es el criterio de minimización lógica más adecuado para este dispositivo? Implementar las siguientes funciones lógicas usando un dispositivo PAL con polaridad de salida programable, para **A.L**, **B.L**, **C.H**, **D.H**, **F1.L**, **F2.H**, **F3.H**.

$$F1(A,B,C,D) = \sum(2,3,5,7,8,9,10,11,13,15)$$

$$F2(A,B,C,D) = \sum(2,3,5,6,7,10,11,14,15)$$

$$F3(A,B,C,D) = \sum(6,7,8,9,13,14,15)$$

Minimización:
menor número de
términos producto
por salidas

		CD			
		00	01	11	10
AB	00	0	0	1	1
	01	0	1	1	0
	11	0	1	1	0
	10	1	1	1	1

F1

		CD			
		00	01	11	10
AB	00	0	0	1	1
	01	0	1	1	1
	11	0	0	1	1
	10	0	0	1	1

F2

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	0	1	1
	11	0	1	1	1
	10	1	1	0	0

F3

$$F1(A,B,C,D) = A\bar{B} + BD + \bar{B}C$$

$$F2(A,B,C,D) = C + \bar{A}BD$$

$$F3(A,B,C,D) = BC + A\bar{B}\bar{C} + ABD$$

$$F1(A, B, C, D) = A\bar{B} + BD + \bar{B}C$$

$$F2(A, B, C, D) = C + \bar{A}BD$$

$$F3(A, B, C, D) = BC + A\bar{B}\bar{C} + ABD$$

En F1 podría hacerse
 $\bar{F1} = B\bar{D} + \bar{A}\bar{B}\bar{C}$ (2 T.P.s)
 En la puerta OR se genera
 $\bar{F1}.H = F1.L.$

