

**Ingeniería Técnica de Sistemas Electrónicos.**  
**Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.**  
**Electrónica Digital I.**

Se valorará la corrección del trabajo así como la presentación del mismo. La presentación puede hacerse a mano o por ordenador. Deben entregarse también los ficheros de Circuito Maker o Quartus II generados para realizar la práctica, y mostrar personalmente que funcionan de forma correcta. Incluir una referencia al tiempo utilizado para hacer todo el trabajo (resolución y presentación), y el trabajo realizado por cada miembro del grupo indicando el tanto por ciento del trabajo total y las tareas realizadas.

**Trabajo nº 7:**

Dado el siguiente flip-flop de dos entradas X-Y definido por su tabla de operación:

(VER HOJA POR GRUPO)

a) Desarrollar en Circuit Maker un flip-flop master-slave utilizando latches internos del tipo S-R (se encuentran en la librería Digital Basics->Flip-flops->SR), y simular el circuito comprobando su correcto funcionamiento mediante la verificación completa de su tabla característica. El flip-flop debe leer las entradas mientras el reloj está a valor alto y debe cambiar la salida cuando el reloj pasa a valor bajo.

La verificación de la tabla característica debe hacerse introduciendo una secuencia en las entradas X-Y consecutivamente por ciclo de reloj. Para evitar problemas temporales, los cambios en las entradas deben realizarse suficientemente antes de que el reloj se fije a valor alto, y permanecer estables mientras que no cambie el reloj (por ejemplo nada más realizar un flanco negativo en el reloj). Una buena forma de aplicar los estímulos en Circuit Maker sería utilizar un generador de pulsos como reloj, y aplicar las entradas mediante un *Data Sequencer* controlado por el flanco negativo del reloj (activar el campo *Use External Clock* y conectar el reloj a la entrada CP2 del *Data Sequencer*). Se pueden usar SCOPES para comprobar el funcionamiento temporal del circuito.

Indicar claramente en la presentación del trabajo la secuencia de valores que se han introducido en las entradas X-Y.

b) Realizar una descripción VHDL del flip-flop disparado por flanco positivo con entrada de RESET síncrona y de SET asíncrona, y sintetizar el circuito con Quartus II sobre el dispositivo EP2C35F672C6 de la familia Cyclone II.

Una vez compilada la descripción VHDL, utilizar la herramienta de análisis temporal (Timing Analyzer Tool) y encontrar en la pestaña *Registered Perfomance* la máxima frecuencia de operación del circuito Fmax.

Comprobar mediante simulación que las entradas de Set y Reset funcionan correctamente y comprobar el funcionamiento del circuito mediante la verificación de su tabla característica, introduciendo la misma secuencia de valores en las entradas X-Y que la utilizada en el apartado anterior. Al hacer la simulación hay que tener en cuenta que el periodo de la señal de reloj debe ser suficientemente más grande que el periodo mínimo de operación ( $1/F_{max}$ ) y que los cambios en las entradas X e Y no pueden hacerse cerca del flanco positivo de reloj, ya que se podrían incumplir los parámetros temporales del flip-flop ( $T_{setup}$ ,  $T_{hold}$ ): es conveniente hacerlos coincidir con el flanco negativo de reloj, que no activa el flip-flop.

Fecha límite de entrega: 21-I-2011