

Ingeniería Técnica de Sistemas Electrónicos.
Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.
Electrónica Digital I.

Se valorará la corrección del trabajo así como la presentación del mismo. La presentación puede hacerse a mano o por ordenador. Deben entregarse también los ficheros de Circuito Maker o Quartus II generados para realizar la práctica, y mostrar personalmente que funcionan de forma correcta.

Incluir una referencia al tiempo utilizado para hacer todo el trabajo (resolución y presentación), y el trabajo realizado por cada miembro del grupo indicando el tanto por ciento del trabajo total y las tareas realizadas.

Trabajo nº 6:

Realizar un circuito ALU (unidad aritmética lógica) que realice las siguientes operaciones aritméticas y/o lógicas:

(VER HOJA POR GRUPO)

Nota: PLUS corresponde a la suma aritmética para distinguirlo del OR lógico, MINUS es la resta aritmética.

El circuito debe tener dos operandos de entrada A y B de 4 bits, y dos entradas de control C1C0 para seleccionar la operación que se realiza sobre los operandos A y B de entre las posibles. El circuito tiene una salida F también de 4 bits. Hay que tener en cuenta que en las operaciones aritméticas, las entradas y salidas están en complemento-2, y que se puede producir desbordamiento.

a) Tomar como base del diseño el circuito comercial ALU 74LS181. Localizar la hoja de características del 74LS181, diseñar el circuito sobre este elemento y, editarlo y simularlo con Circuit Maker (el dispositivo se puede encontrar en *Digital by Number*). Las hojas de características describen el funcionamiento de este circuito en dos casos, según se elija la polaridad (activo alto o activo bajo) de las entradas A, B y de las salidas F del 74S181. Para facilitar la simulación de los circuitos se recomienda considerar la polaridad positiva (activo alto), aunque en el esquema del circuito en Circuit Maker aparece en polaridad negativa (activo bajo).

Para realizar el diseño hay que realizar una decodificación que convierta los valores de entrada de C1C0 en los valores adecuados de las entradas S3-S0, M y Cn de la ALU 74LS181 para que haga la operación pedida. Hay que intentar asociar a las entradas C1C0 una codificación de las operaciones que permitan reducir la lógica de decodificación.

Simular el circuito introduciendo 20 pares de datos de entrada aleatorios mediante un *Data Sequencer*, y comprobar que los resultados son correctos en todas las operaciones. Indicar también en que casos se produce desbordamiento.

b) Realizar una descripción VHDL del problema, y sintetizar el circuito y simularlo convenientemente con Quartus II, intentando conseguir un circuito lo más pequeño posible. La simulación debe realizarse introduciendo al menos 20 pares de valores distintos en las

entradas A y B, y simulando esos valores para todas las operaciones pedidas. Para facilitar la comprobación de los resultados de la simulación se recomienda visualizar los datos de entrada y de salida como números con signo, y como datos hexadecimales o binarios en las operaciones lógicas.

Fecha límite de entrega: 14-I-2011