

## **Ingeniería Técnica de Sistemas Electrónicos.**

### **Escuela Técnica Superior de Ingeniería Industrial y de Telecomunicación.**

### **Electrónica Digital I.**

Se valorará la corrección del trabajo así como la presentación del mismo. La presentación puede hacerse a mano o por ordenador. Deben entregarse también los ficheros de Espresso, Circuito Maker o Quartus II generados para realizar la práctica, y mostrar personalmente que funcionan de forma correcta.

Incluir una referencia al tiempo utilizado para hacer todo el trabajo (resolución y presentación), y el trabajo realizado por cada miembro del grupo indicando el tanto por ciento del trabajo total y las tareas realizadas.

#### **Trabajo nº 2b:**

3º. Se quiere realizar un circuito de 5 entradas (K, X3, X2, X1, X0) y 4 salidas (Z3, Z2, Z1, Z0) que opere como un conversor entre códigos BCD con peso de forma que, según el valor de una variable de entrada K, se realice la conversión de un dígito del código de entrada A al mismo dígito del código B (con K a 0) ó del código B al código A (con K a 1), aplicando el dígito de entrada (del código A ó B según sea el caso) en las entradas X y apareciendo el dígito convertido (en el código B ó A según sea el caso) en las salida Z. Los códigos A y B son:

(VER HOJA POR GRUPO)

- Generar las funciones lógicas en dos niveles mínimas por separado que definen las cuatro salidas mediante Mapas de Karnaugh.
- Generar las funciones lógicas en dos niveles mínimas por separado que definen las cuatro salidas mediante Espresso (usar la opción –Dso). Comparar el resultado con el obtenido mediante los mapas.
- Generar las funciones lógicas en dos niveles mínimas en conjunto que definen las cuatro salidas mediante Espresso.
- Diseñar con Circuito Maker el circuito digital correspondiente a la minimización conjunta y comprobar mediante simulación que opera correctamente.

Utilizando la herramienta de diseño Quartus II:

- Realizar y editar una descripción VHDL del problema lógico. Generar un proyecto para ese fichero utilizando el dispositivo EP2C35F672C6 de la familia Cyclone II.
- Compilar la descripción depurando los errores que aparezcan. Comprobar el tiempo máximo de propagación del circuito usando la herramienta de análisis temporal.
- Simular el circuito comprobando que el funcionamiento es el correcto. Utilizar unos estímulos que comprueben sólo las 20 combinaciones válidas de las entradas (10 con K a 0 y 10 con K a 1). Los cambios en las entradas deben hacerse con un tiempo mayor que el tiempo de propagación máximo del circuito (aproximadamente 5 veces, por ejemplo) para poder medir correctamente las salidas.
- Asignar pines válidos al circuito. Programar las opciones de compilación para intentar reducir el tiempo de propagación en un 25% aproximadamente (en la versión 6.0 se introduce el valor máximo deseado para el tiempo de propagación en el menú Assignments->Timing Analysis Settings, en el campo *tpd*). Volver a compilar, comprobar si se cumple el objetivo fijado y volver a simular el circuito bajo estas condiciones.

Fecha tope de entrega: 19-Nov-2010.