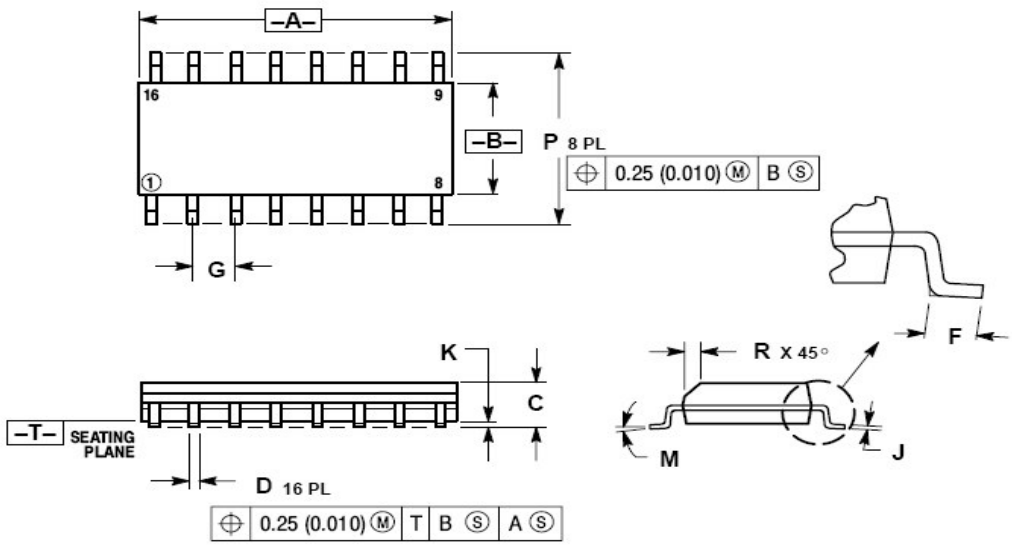
Codificadores con prioridad



Definición

Un **codificador** es un circuito combinacional con 2^n entradas y n salidas, cuya función es presentar en la salida el código binario correspondiente al índice de la entrada activada.

Entradas 2^n

Salidas n

Esto solo se cumple para código binario

Ejemplo para n=3:

8

3

Nomenclatura:

8 a 3

Codificadores sin prioridad

El rango de entradas válido corresponde a las salidas típicas de un decodificador (sólo una entrada a 1). Otras combinaciones (más de una entrada a 1) producirían error en la salida.

I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	O_2	O_1	O_0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

$O2 = I4 + I5 + I6 + I7$
$O1 = I2 + I3 + I6 + I7$
$O0 = I1 + I3 + I5 + I7$

Este tipo de codificadores es usado únicamente cuando el rango de datos de entrada está correctamente acotado y su funcionamiento garantizado.

No se comercializa con ellos ya que su funcionamiento se basa únicamente en puertas OR

Codificadores con prioridad

En estos circuitos, cuando existe más de una señal activa, la salida codifica típicamente la de mayor prioridad (HPRI, corresponde al bit de mayor índice), ó la de menor prioridad (LPRI, corresponde al bit de menor índice), .

I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	O_2	O_1	O_0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	X	0	0	1
0	0	0	0	0	1	X	X	0	1	0
0	0	0	0	1	X	X	X	0	1	1
0	0	0	1	X	X	X	X	1	0	0
0	0	1	X	X	X	X	X	1	0	1
0	1	X	X	X	X	X	X	1	1	0
1	X	X	X	X	X	X	X	1	1	1

HPRI

Implementación (4 a 2)

Tabla:

I_3	I_2	I_1	I_0	O_1	O_0
0	0	0	1	0	0
0	0	1	X	0	1
0	1	X	X	1	0
1	X	X	X	1	1

$$O1 = I2 * \cancel{\overline{I3}} + I3 = I2 + I3$$

$$O0 = \cancel{\overline{I3}} * \overline{I2} * I1 + I3 = I3 + \overline{I2} * I1$$

Esquema de este codificador por dentro:

Descripción VHDL

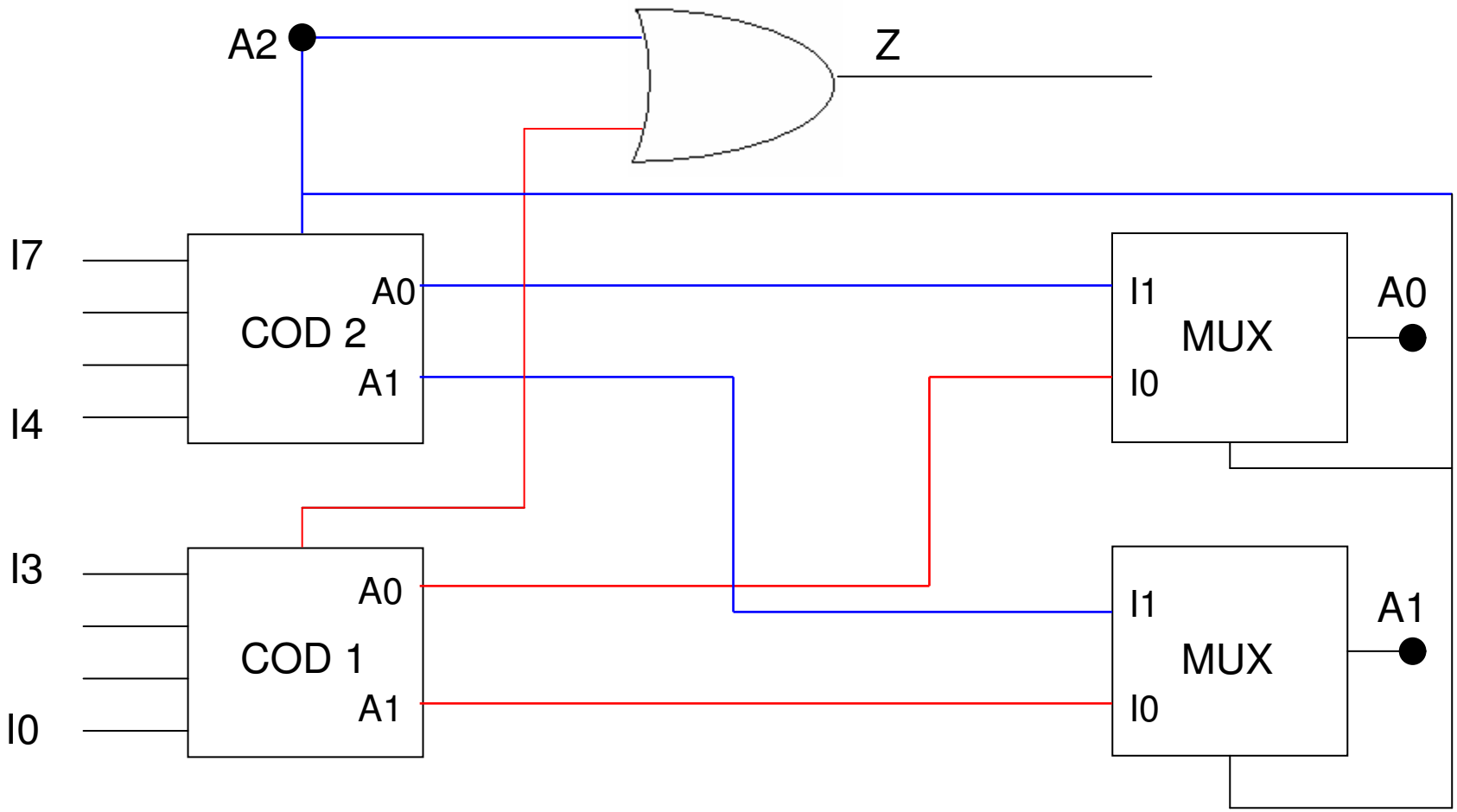
```
Library ieee;
Use.ieee.std_logic_1164.all
Entity cod is
Port        (I: in std_logic_vector(3 downto 0);     -- Entradas
            A: out std_logic_vector(1 downto 0);  -- Salidas
            Z: in std_logic);                          -- Indica alguna entrada a 1
End cod;

Architecture comportamiento of cod is
Begin
Process (I,Z)
Begin
    If (I(3)='1') then
            A<="11";
    elsif (I(2)='1') then
            A<="10";
    elsif (I(1)='1') then
            A<="01";
    Else A<="00";
    End if;
    If ( I = "0000" ) then Z <= '0'
    else Z <= '1';
    end if;
End process;
End comportamiento;
```

Codificador 4 a 2

Extensión del codificador

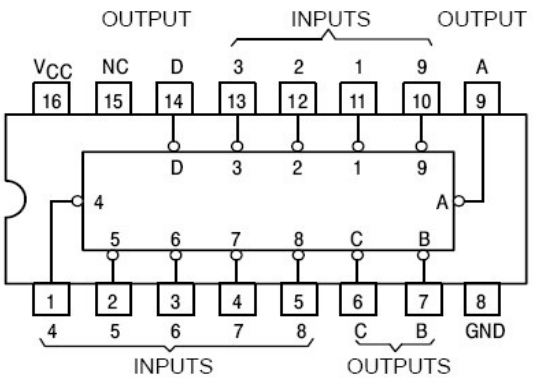
Con dos codificadores 4 a 2 y dos multiplexores podemos fabricar un codificador 8 a 3



Familia 74

SN74LS147, SN74LS148

SN74LS147
(TOP VIEW)



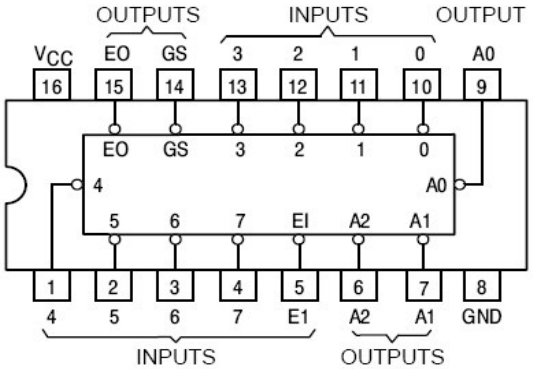
10 a 4

SN74LS147
FUNCTION TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Logic Level, L = LOW Logic Level, X = Irrelevant

SN74LS148
(TOP VIEW)



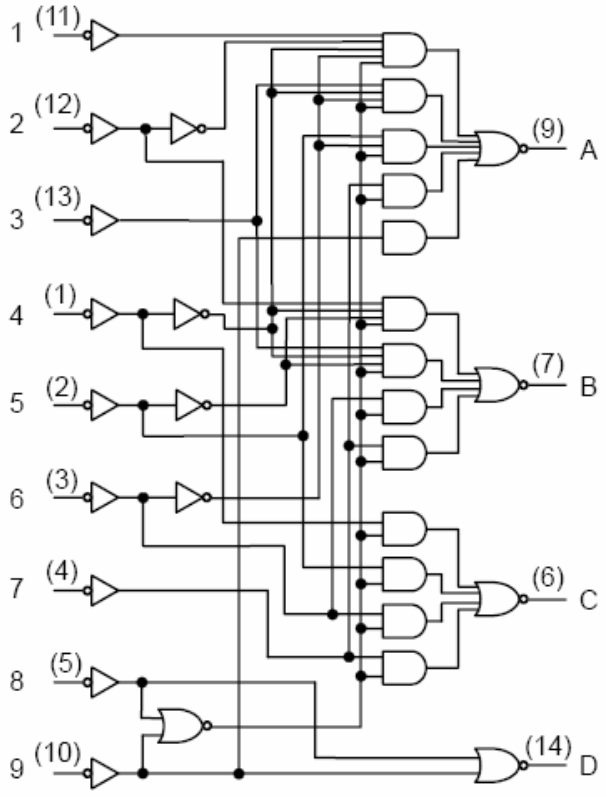
8 a 3

SN74LS148
FUNCTION TABLE

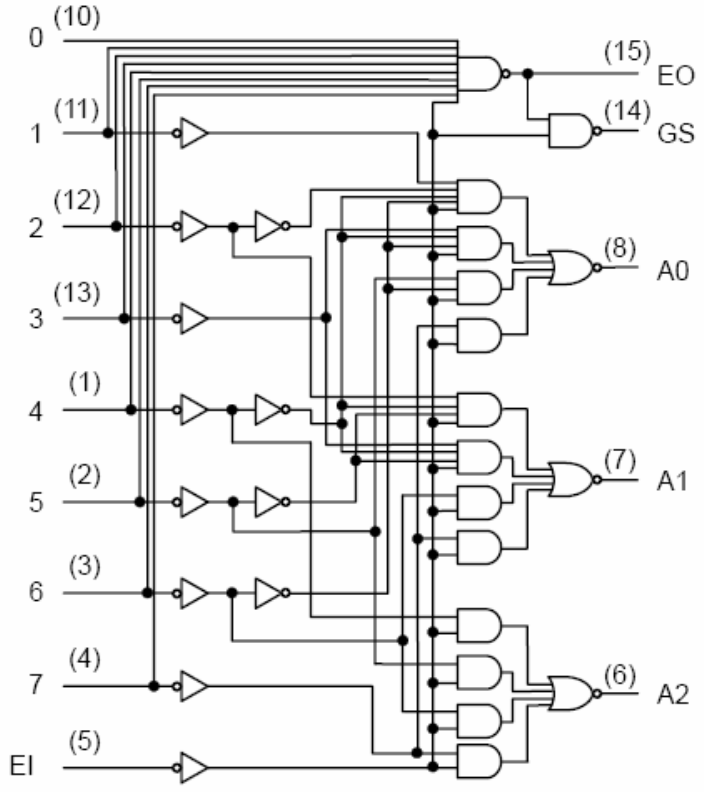
INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Familia 74

FUNCTIONAL BLOCK DIAGRAMS



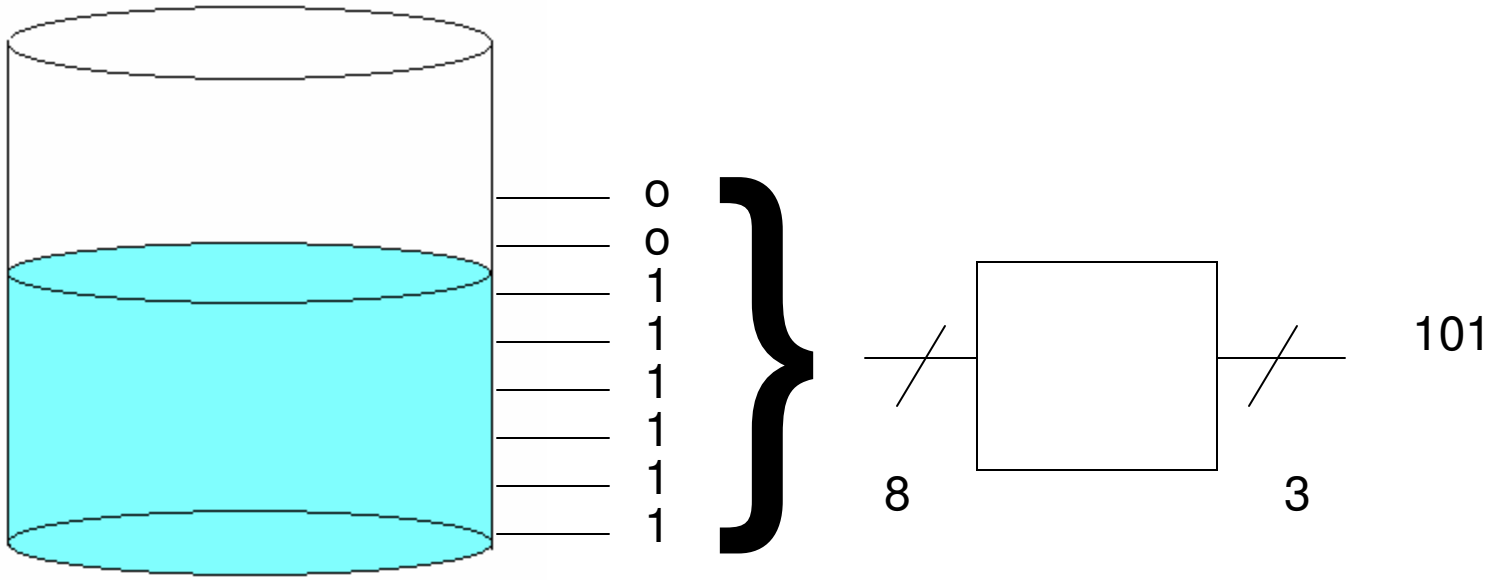
SN74LS147



SN74LS148

Aplicación

Bidón con 8 sensores



Ejercicios

1.Calcular las salidas de un codificador de prioridad con 4 entradas (I0,I1,I2,I3)=(L,H,H,L):

a) Prioridad alta y entradas en polaridad negativa

b) Prioridad baja y entradas en polaridad negativa

c) Prioridad baja y entradas en polaridad positiva

2.Obtener las ecuaciones lógicas minimizadas que permiten encontrar cuál de 7 líneas de entrada A1,A4,A6,A8,A9,A13,A14 está puesta a valor lógico 1,dando como resultado su correspondiente codificación binaria.

a) Sólo una entrada está a 1 cada vez.

b) Se permite que varias líneas de entrada estén simultáneamente a 1, en la salida se obtiene el índice más bajo de las entradas a 1.

3.Se quiere realizar un circuito de 8 entradas (I8-I1) y 8 salidas (O8-O1), tal que la salida muestra la entrada pero eliminando todos los unos menos el mas significativo. Por ejemplo si I="01101101", O="01000000".Si todos lo bits de entrada son 0, los de salida también.

-Implementar el circuito con un codificador 8 a 3 y un decodificador 3 a 8.

-Implementar el circuito con un codificador 74'148 (8 a 3) y un decodificador 74'138 (3 a 8). Suponer las entradas I y las salidas O asertadas bajas.